

White Paper 2: A Case for Lowering Component Level CDM ESD Specifications and Requirements

白書 2 : 部品レベルの CDM ESD
の仕様と要求レベルを低くする事例

Industry Council on ESD Target Levels

ESD 目標値に関するインダストリ会議



March 2009

2009 年 3

第 1 版

概要

CDM は IC 素子の自動機械による取扱、製造及び組立に於ける静電気の帯電及び急速な放電を計量的に表現する、実世界の ESD（静電気放電）現象の中で主要な地位を占めるようになった。ここ数年、パッケージ形状寸法、容量、ピン数の増大により、その重要性は飛躍的に増している。近年、現在の現実的な CDM 現象レベル、及び、IC 部品を安全に製造するためのコントロールとデバイス設計に関して利用可能な保護方法に関しての、背景となる情報が十分でないままに、任意の CDM 保護レベルが、IC の認証目標値として仕様化されている。IC の微細化技術の急速な進展と、高速回路性能に対する要求の高まりが組み合わさって、一般的に顧客が指定する“500V”の CDM 仕様を保証する事は、ますます困難になっている。それと同時に、各工程段階に於ける、製造領域の CDM 保護のために利用可能な、要求される静電気コントロール法は、まだ、完全に全体像がつかめていない。従って、現実的な CDM の目標仕様は、利用可能で、一般に実用化されている CDM コントロール法から決めなければならない、さらに、現在の ESD 設計に対する制限を反映していなければならない。これが本白書 II の意図するところである。

CDM に関する改良した静電気コントロール技術と、現在の先端技術に於ける ESD 設計能力の制限をバランスさせることによって、私たちは、CDM 仕様の目標レベルとして 250V を推奨する。この値は、基本的な CDM コントロール法を使う事によって、今日の製品を製造し、取り扱うために現実的で、安全な CDM レベルであると考えられる事ができる。

同時に、現在の、シリコン技術の微細化の動向はさらに継続し、実現可能な CDM レベルに関する制限は一層厳しくなる事も示します。それゆえ、今後、さらに 2 レベルの微細化により、22nm またはそれ以下に向かっている産業界のために、私達が、現実的な CDM のロードマップを提示する事が必要と考えます。

ESD 目標値に関するインダストリ会議に関して

この協議会は、米国、ヨーロッパ、アジアの主要半導体会社数社が ESD 目標値を決定し、推奨するために集合した後の 2006 年に発足しました。そのゴールは IC 製品の ESD に関する要求値を、ESD 保護エリア内で IC の製品を安全に取り扱い、実装するための ESD に関する要求を、シリコン技術の微細化及び IC の設計からの束縛に焦点を当てながら、設定する事です。この協議会は、活動的なフルメンバー会社からの代表者と種々の支持会社からの多くの準メンバーで構成しています。全会員は、IC の供給者、契約製造会社 (CM)、ESD テスタ製造会社、ESD コンサルタント、及び ESD IP 会社を代表しています。出荷した製品から言うと、EE タイムスの 2007 年 8 月 6 日の記事によると、会員の IC 製造会社は、上位 10 社中の 7 社を、上位 20 社中の 12 社を代表しており、そして、上位 20 社によって出荷された製品中、70%を出荷しています。この産業協議会の会員は継続して増加しており、関心のある団体は、当協議会の議長にご連絡ください。

<u>Core Contributing Members</u>	<u>Supporting Members (Feb 2009)</u>
Stephen Beebe, AMD	Robert Ashton, ON Semiconductor
Brett Carn, Intel Corporation	Jon Barth, Barth Electronics
Charvaka Duvvury*, Texas Instruments (Chairman)	Michael Chaine, Micron Technology
David Eppes, AMD	Freon Chen, VIA Technologies
Melanie Etherton, Freescale Semiconductor	Stephanie Dournelle, ST Microelectronics
Yasuhiro Fukuda, OKI Engineering	Ted Dangelmayr, Dangelmayr Associates
Reinhold Gärtner, Infineon Technologies	Horst Gieser, FhG IZM
Robert Gauthier, IBM	Leo G. Henry, ESD/TLP Consulting
Ron Gibson, Celestica	Kelvin Hsueh, UMC
Harald Gossner*, Infineon Technologies (Chairman)	Natarajan Mahadeva Iyer, Chartered
Hiroyasu Ishizuka, Renesas Technology	Marty Johnson, National Semiconductor
Satoshi Isotoku, Tokyo Electronics Trading	Michael Jones, Sun Microsystems
Larry Johnson, LSI Corporation	ChangSu Kim, Samsung
John Kinnear, IBM	David Klein, IDT
Timothy Maloney, Intel Corporation	Marcus Koh, Everfeed
James Miller, Freescale Semiconductor	Brian Langley, Sun Microsystems
Alan Richter, Analog Devices	Alan Liang, TSMC
Theo Smedes, NXP Semiconductors	Tom Meuse, Thermo Fisher Scientific
Arnold Steinman, MKS Ion Systems	Homi Nariman, AMD
Teruo Suzuki, Fujitsu	Nate Peachey, RFMD
Benjamin Van Camp, Sarnoff Europe	Roger Peirce, Simco
	Joachim Reiner, AustriaMicroSystems
	Donna Robinson-Hahn, Fairchild Semiconductor
	Jeff Salisbury, Flextronics
* - Charvaka Duvvury: c-duvvury@ti.com	Jay Skolnik, Skolnik-Tech
* - Harald Gossner: harald.gossner@infineon.com	Jeremy Smallwood, Electrostatic Solutions Inc.
	Jeremy Smith, Silicon Labs
	Bart Sorgeloos, Sarnoff Europe
	David E. Swenson, Affinity Static Control Consulting
	Koen Verhaege, Sarnoff Europe
	Tetsuaki Wada, Matsushita Electric Industrial
	Nobuyuki Wakai, Toshiba
	Terry Welscher, Dangelmayr Associates

使命に関する声明

ESD 目標値に関するインダストリ会議の使命は、最新の IC 製品の ESD 強度に対する要求を、ESD 保護領域で安全に取扱い、実装できるに十分なレベルに見直すことにある。当協会は、組立側の能力と、実用的な保護設計に対する微細化の進むプロセス技術による制約とを調整しつつ、将来の ESD 目標値に関する、整理統合した勧告を行う。当協会の会員および、準会員はこれらの勧告される目標値が各社の目標となるよう促進する。当協会は独立した団体として、結果と、その裏付けとなるデータを、関心ある標準化団体に提示する予定です。

序文

本書は、半導体製造会社及びその顧客の品質組織に対して、安全な ESD CDM レベルに対する要求を評価、決定するための情報を提供する目的で記述してあります。本書を通じて、部品レベルの ESD CDM の目標値を現実的なレベルに下げることが単に極めて重要なだけでなく、緊急を要する事を明白にします。本書は概要に示した目的を支持するために、可能な限り多くの詳細な技術情報を提供できるよう、章に分けて構成し、追加情報を付属書部に載せています。私たちは、本書を、まず、Executive Summary、管理者のための要約、で始め、各章／付属書の重要事項、FAQ（よくある質問）と進め、本書全体を読まなくても、読者にとって重要な情報が容易に得られるようにしてあります。更に、これらの FAQ は本書に含まれるデータおよび結論を解釈する時に、しばしば発生する誤解を防ぐ事を目的としています。本書の内部で指摘する部品レベルの ESD 試験は、JEDEC、ANSI/ESDA 及び JEITA など適切な仕様で定義された手順によるものであります。

声明書

ESD 目標値に関するインダストリ会議は、いかなる規格標準化団体とも提携せず、JEDEC、ESDA、JEITA、IEC または AEC に後援された作業部会でもありません。

本書は、異なる半導体供給会社、ないしは、契約製造会社からの ESD エキスパート、個々人によって編纂されました。本書のデータは、多くの異なる種類と大量の IC 製品に対して収集した CDM 及びフィールドでの故障情報を提供しており、特定の部品に関するものではありません。読者は、本書の情報を、EOS イベント、またはシステム・レベルの ESD 事故に起因する、(ESD とは) 無関係なフィールドでの不良の証拠であると誤解してはいけません。本書は、システム・レベル ESD に対する要求に対して影響を及ぼす事のない、部品レベルの ESD に関する、勧奨のみに言及しています。

本インダストリ会議は、これらの勧奨を提供しますが、適切な ESD コントロール測定を受け入れない団体に対して、いかなる責任も、義務も負いません。

用語の解説

AEC	自動車エレクトロニクス協会
BGA	ボールグリッドアレイ
CBE	チャージド・ボード事象
CCD	電荷結合素子
CC-TLP	容量結合 TLP
CDM	デバイス帯電モデル
CM	契約製造業者
CMOS	相補型 MOS
CPM	チャージ・プレート・モニタ
DC	直流
DIP	デュアル・イン・ライン
DRAM	ダイナミック・ランダム・アクセス・メモリ
DSP	ディジタル・シグナル・プロセサ
DUT	テスト対象デバイス
DTSCR	ダイオード・トリガ SCR
EMC	電磁適合性
EMI	電磁干渉
EMS	電子製造供給者
EOS	電氣的過ストレス
EPA	ESD 保護領域
ESD	静電気放電
ESDA	ESD 協会
ESDS	ESD センシティブ・デバイス
FA	故障解析、不良解析
FAR	不良解析レポート
FCDM(FICDM)	電界誘導デバイス帯電モデル
FCBM(FICBM)	電界誘導ボード帯電モデル
FIM	電界誘導モデル
FWHH	半値幅
GND	負電圧供給電源
HBM	人体モデル
HF	HF（高周波数）
HSS(HSSL)	高速シリアル・リンク
IC	集積回路
ICT	イン・サーキット試験
I/O	入力/出力
IEC	国際電気工学委員会
JEDEC	JEDEC
JEITA	電子情報技術産業協会
LGA	ランド・グリッド・アレイ
LNA	低雑音増幅器
LV	低電圧
MCM	マルチチップ・モジュール
MLF	マイクロ・リードフレーム（パッケージ）
MM	機械モデル
MV	中間電圧
NMOS	n チャンネル MOS
NPN	n-p-n（トランジスタ）

Node	2 またはそれ以上の回路接合点
PCB	印刷回路配線板
PCTA	工程の特性と移行の分析
PMOS	P チャンネル MOS
QFP	クオッド・フラット・パッケージ
RC	抵抗・容量回路
RLC (LRC)	抵抗・インダクタンス・容量回路
RF	無線周波数
SBLK	シリサイド・ブロック
SCR	シリコン制御整流器
SDM	ソケット・デバイス・モデル
SERDES	並列データをシリアルに変換するシリアル／デシリアル・トランシーバ
SiP	システム・イン・パッケージ
SMT	表面実装技術
SoC	システム・オン・チップ
TLP	トランスミッション・ライン・パルス
TQFP	薄型 QFP
ULSI	超 LSI
VDD	正電圧供給電源
Vds	ドレイン・ソース電圧
VFTLP	Very Fast TLP
VSS	負電圧電源
WCDM	ウェーハ・レベル CDM
WSM	ウェーハ・スケール・パッケージ
ZIF	零挿入力

ESD 設計ウィンドウ (ESD Design Window) : リーク電流、容量、ノイズその他の I/O 特性パラメータをそれぞれのテクノロジノードでの要求レベルに維持しつつ、特定の ESD 目標レベルに合わせるための ESD 保護設計スペース

ESD 強度 (ESD Robustness) : デバイスが、完全に機能を維持しながら、要求 ESD 仕様に耐えうる能力

I_{t2} : トランジスタが ESD ストレスを受けた状態で、2 次降伏の領域に入り、壊れて元に戻らなくなる電流点

経営者、管理者のための要約

IC 産業では、デバイス帯電モデル (CDM、Charged Device Model) の ESD が IC の製造や取扱中に於ける、実世界での部品レベルの ESD 事象を最も良く表している事は、今では広く知られている。[詳細は第 1 章を参照。](#)工場レベルの基本的な ESD コントロール手段を実施していれば、単一の安全で現実的な仕様水準 (例えば、白書 1 [1] で報告した HBM、1000V) を保証できるような HBM と対比すると、CDM 保護には、特定の工程では、全ての製品設計に関して、安全で現実的なレベルを保証するためには、絶縁物の帯電に対処するなどの追加的 ESD コントロールが要求される。

CDM に対する挑戦に関するいくつかの重要なポイントを理解しなければならない。

1. シリコンのテクノロジー・スケーリング、IC の高速回路設計要求、より大きい IC パッケージ寸法への動向に起因する IC 設計／開発に対する束縛。[詳細は第 2 章参照。](#)これらの束縛は、一般に顧客が要求する 500V CDM レベルの仕様に適合する設計を禁止している。この事は、特に非常に高速で高性能のピンの設計に関して特別に正しく、CDM 放電電流のピーク値に制限を加える。その結果、実用的な設計では、CDM ピーク電流は 2~6A に制限され、これは、(ピン数にもよるが)、最新技術の製品では CDM 電圧に換算して 200~400V になってしまう。下の、表 1 は、高速ピン設計の束縛に起因する CDM 保護回路のピーク電流の制限と、対応する CDM 電圧レベルを示している。

表 I : 最新回路設計の CDM 電圧レベルに対する影響

テクノロジー	設計タイプ	CDM ピーク電流	パッケージ寸法	CDM レベル
65nm	高速シリアル・リンク	5-6A	>300 ピン	300-400V
45nm	高速シリアル・リンク	4-5A	>300 ピン	250-300V
45nm	無線周波数 (RF)	2-3A	>200 ピン	200-250V

2. 500V またはこれを越える CDM レベルは困難と認識すべき。上に述べた理由により、これらのレベルには通常適合できず、認証に時間がかかったり、あるいは、出荷に遅れが生じる。さらに重く考えるべき事は、設計自体が最早、以前のレベルはサポートできない事、および、利用可能な CDM コントロール法により、回路性能のためには設計できなくなるような高い CDM レベルは必要なくなる事である。

3. 改良した最新式 CDM ESD コントロール法が今日、業界で実用化されている。これらのコントロールにより、100V の CDM レベルにパスしていれば、その部品を安全に取り扱う事が出来るようになってくる。この業績により、安全で実用的な CDM レベルを提言する前に、考えておくべき以下の事が明らかになった。

- A. 110 億個の製品からのフィールド返品データでは、200V-2000V の CDM レベルにパスした製品が返品されている。この事は、生産箇所での CDM コントロールが性能目標レベルより重要である事を意味している。[第 5 章を参照。](#)
- B. フィールドでの破壊は、製品の立ち上げ時(認証前)に、CDM コントロールが確立していない時にも、起こり得ている。この事は、製造不良は、設計で得られる以上の高電圧を設計に要求す

るのではなく、危ない工程の CDM コントロール法を修正する方向も追及すべきである事を意味している。[第 3 章を参照。](#)

- C. CDM コントロール法は 100V 以上の製品を安全に製造し、取り扱えるよう、業界すべてで使用できるので、250V または 500V の CDM レベルを持つように設計した製品は十分な余裕度を持って、低い電圧レベルの製品と同等に安全かつ信頼できる。[第 3 章を参照。](#)
- D. 上記の理由で、250V またはそれ以上の CDM パス・レベルの製品はすべて、基本的な CDM コントロール法を備えた工場で安全かつ信頼度高く取り扱う事が出来る。このレベルの保護は、設計に関しても、IC の回路性能要求に関しても最低の影響しか与えないし、現在の技術トレンドと両立可能である。[第 6 章を参照。](#)
- E. 将来の IC テクノロジーを可能にする為には、CDM コントロールを継続して改良し、さらに進んだ方法が実用化されなければならない。

4. **推奨 CDM レベル:** この広範な研究によって、安全で実用的な CDM 合格レベルとして、この度は、2 表 II に概略を示した通り、250V を推奨する。CDM レベルが 250V 未満の製品に対しては、CDM コントロールのために工程独自の手段を追加して導入しなければならない。特に、製品の立ち上げ時にはこのような措置が必要である。

CDM クラス分けレベル (JEDEC にて試験)	ESD コントロール要求
$V_{CDM} \geq 250V$	● 金属機械部分の接地と絶縁部分のコントロールを備えた基礎的な ESD コントロール法
$125V \leq V_{CDM} < 250V$	● 金属機械部分の接地と絶縁部分のコントロールを備えた基礎的な ESD コントロール法 プラス ● デバイスの帯電を緩和するか又は、激しい放電を回避（デバイス・リードへの高抵抗材料による接触）する為の工程独自の方法
$V_{CDM} < 125V$	● 金属機械部分の接地と絶縁部分のコントロールを備えた基礎的な ESD コントロール法 プラス ● デバイスの帯電を緩和し、及び、激しい放電を回避（デバイス・リードへの高抵抗材料による接触）する為の工程独自の方法 プラス ● 個々の工程ステップでの帯電／放電測定

5. 継続するシリコンのテクノロジー・スケーリングに関する未来のロードマップ。テクノロジーはさらに 22nm 及びそれ以下に向かって微細化するので、切迫した更なる微細化と、40Gb/sec またはそれ以上に近づきつつある、より高速の回路スピードに向かっての進行により、ここで推奨した 250V という安全レベルも、設計できなくなるであろう。それ故、私たちは、今後 5 年以内に、図 1 に示すとおり、125V 領域に突入する CDM レベルが次の、新しい実用的な目標値となるであろうことを予見する。その為に、製造領域における CDM コントロールと監視の継続的な改良がルーチン的に実施されなければならない。今日利用可能な工場のコントロール法と、専門技術より判断すると、前記は大きな問題とはならないと予測され、また、問題となるべきでもない。記憶すべき重要な事は、50V に対する CDM コントロールは、かなりの製造環境ではすでに成功裏に実現できているという事である。下の図 1 に記すとおり、50V レベルに向かっての、CDM コントロール法の継続的な改良は、単に期待されているのみでなく、将来の IC 技術に対する、義務でもある。

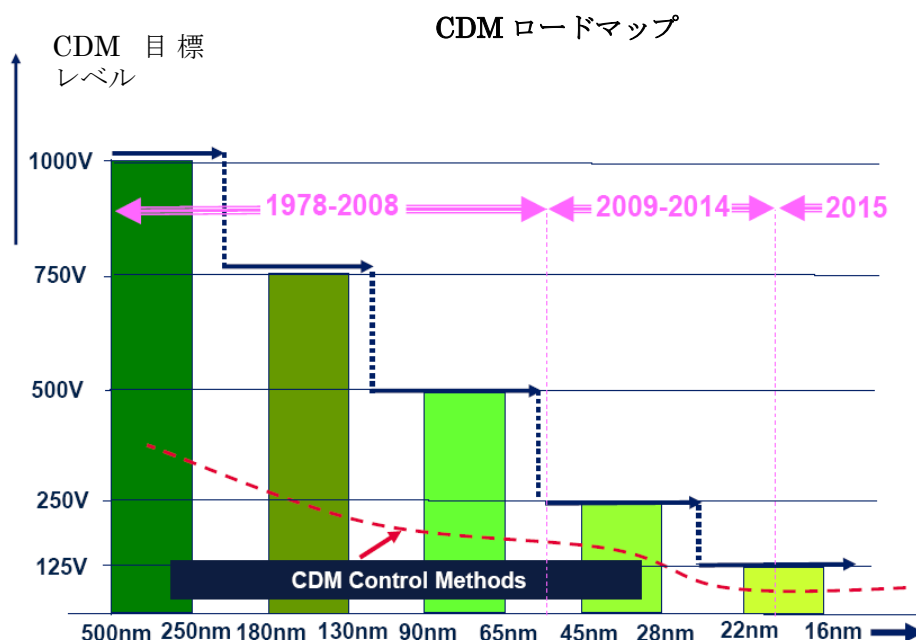


図 1. 実用的な CDM レベルとそれに関連した CDM コントロール要求に関するテクノロジー・スケーリング効果

- [1] White Paper 1: “A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements,” August 2007, www.esdtargets.blogspot.com.

目次

用語の解説	5
経営者、管理者のための要約	7
各章の要約	12
付属書の要約	13
良くある質問	14
第1章:CDMの背景と歴史	23
第2章:IC 部品の ESD 設計に対する CDM の挑戦	27
2.0 イントロダクション	27
2.1 ESD 設計者の CDM イベントに対する展望	27
2.2 CDM に対する設計技術	28
2.3 CDM ESD 耐量に対するテクノロジー・スケーリングの効果	31
2.4 集積回路の ESD 設計に関する CDM の影響の例	33
2.5 パッケージ効果とパッケージの動向	38
2.6 現実的な CDM 目標に関する ESD 設計者の展望	41
2.7 更なるテクノロジー・スケーリング効果と現実的な CDM 目標に対する影響	43
第3章:組立ラインに於ける CDM 関連の ESD コントロール	45
3.1 CDM 保護に関する基礎的な考え方	46
3.2 プロセスに関連したリスク解析	47
3.3 プロセス能力と移行分析	54
3.4 結論	61
第4章:製品に関する CDM 要求の影響	63
4.1 CDM ESD 要求	63
4.2 製品に関する目標値の影響	64
4.3 CDM 目標値の改定の供給者／顧客への影響	66
第5章: CDM レベルとフィールドからの返品に関する整理統合した産業界のデータ	67
5.1 CDM 電圧レベルとフィールドからの返品率	67
5.2 代表例の分析	69
5.3 結論	71
第6章:現時点での現実的な CDM 目標値の推奨と将来の展望	72
6.1 序言	72
6.2 電流レベルの妥当性	72
6.3 電圧レベルの妥当性	73
6.4 製造環境に於けるコントロール手段との相関	73
6.5 推奨する CDM 目標レベル	73
6.6 シリコンのテクノロジー・スケーリングからくる CDM ロードマップの展望	75
付属書 A: CDM テスタの回路モデルのいくつかの見解	78
A.1 イントロダクション	78
A.2 CDM テスタのモデル	79
A.3 波形の解析	83
A.4 結論	87
付属書 B: 実世界の事象を表わす場合の CDM テスタの限界	89
B.1 実世界の CDM の物理	89
B.2 実世界の CDM に関する考察と分析	93
B.3 実世界の CDM とテスタでの CDM の違い	96
B.4 実世界とテスタとの CDM 波形の比較	97
B.5 結論	99
付属書 C: CDM の認証とテストの方法	100
C.1 CDM ESD テスト法	100
C.2 現存する CDM スタンドardsの比較	103
C.3 現存するテスト法とスタンダードの弱点	109
C.4 電圧分類レベルに起因する問題	117
C.5 結論	117
C.6 展望	118
付属書 D: CDM は他の ESD ストレスと相関があるのか?	121

D.1 理論的な分析	121
D.2 例とケース・スタディ	124
D.3 結論	128
付属書 E：ボード帯電事象と CDM との関係	129
E.1 ボード帯電事象の問題の報告	129
E.2 ボード帯電事象(CBE)のあらまし	130
E.3 ボード帯電事象(CBE)と部品レベル ESD テスト法との関係	130
E.4 帯電ボードとそれに関連した破壊のケース・スタディ	130
E.5 ボード帯電事象のテスト法の例	131
E.6 ボード帯電事象の試験結果	133
E.7 ボード帯電事象(CBE)破壊の確認とその最小化	134
E.8 要約	135

各章の要約

第 1 章： 1974 年の最初の発表以降のデバイス帯電モデル（Charged Device Model、CDM）の歴史を振り返り、主として CDM テスタに関しての主要な開発を年代順に記している。

第 2 章： この章では、シリコンのテクノロジー・スケーリング及び高速回路性能に対する要求に関係した保護設計の制限を概説する。これらの保護設計の制限は、面積及びピン数の増大傾向により、一層顕著になっている。このような束縛を視野に入れ、本章で、今日得られる現実的な CDM 目標レベルを指摘する。

第 3 章： この章では CDM に対するリスクに関して、組立を解析する 2 種類の類似した方法を記述し、その 2 種の方法を実際の製造ラインでいかに使うかを具体例と共に解説する。もしこのような CDM リスクの分析を実施しなければ、ボードが帯電し、同一電圧の単一部品に対する電流よりは大きな電流による放電を引き起こすことにより、CDM に対して丈夫と考えられているデバイスでも、組立、テスト中に壊れる可能性があることをも紹介して、フィールドでの問題を示している。本章で記述した方法論に続くリスク分析により、CDM によってより壊れやすいデバイスを取り扱う事が出来る製造工程も可能となる。

第 4 章： 製造業者及び顧客から見た IC の現在の CDM 目標値と、現在の CDM 目標レベルが製造業者及び最終顧客に与える影響に関する見直し。現在の CDM 目標レベルの製造業者に対するコストに対して、設計改訂と市場への時間遅延の観点から、強調して記述する。新しい目標レベルの利点に関しても同様に強調して記述する。

第 5 章： 多くの IC 製造会社からの、110 億個の出荷部品に対する、整理統合した、フィールドからの返品データを分析している。デバイスのタイプは個別部品から ULSI（SoC、システム・オン・チップ）までを含む。ボード製造業者及び最終顧客からの主要フィールド返品を考慮した。EOS と ESD 破壊の混在と CDM の認証レベルの間にはあまり関連がない。15 億個の部分集合では、CDM に関係した破壊ではなく、EOS に関連した破壊が支配的であった。代表的な例によると、CDM に関係した返品は製造工程の立ち上げフェーズに発生していたことが確認できた。製造工程の、ESD コントロールに関する重要だが小規模の変更によりこれらの問題が解決できている事は、第 3 章に示している通りである。

第 6 章： この章では、製造領域で利用できる、CDM コントロール技術の総合的な展望を述べる。そして、それをベースとして、必要とされる CDM コントロール法と関連付けた現実的かつ安全な目標レベルの分類を推奨する。設計可能な範囲からフィールドでの信頼性の全ての面を考慮し、現在実用化されている CDM コントロール法と結びつけ、現在は、CDM レベル 250V が安全な目標認証レベルである事を提案する。技術は、22nm テクノロジー及びそれ以下に微細化が進むので、今後 5 年以内には 125V 領域の CDM レベルが新しい実用的な目標になると、私たちは予想している。その結果、製造場所での CDM コントロールの連続的な改善と監視を手順として実行しなければならなくなる。

付属書の要約

付属書 A: ESD アソシエーション及び JEDEC で仕様化された非ソケット型 CDM 試験機の主要な特性を簡単な回路モデルで説明できる。簡単な集中定数による LCR 直列モデルを想定し、1 から 2GHz までの帯域で観測される特徴を説明する。この特徴には、与えられた火花放電の抵抗値に対する実効インダクタンス、L と容量、C の平面上でプロットしているピーク電流 (I_{peak}) の主要な動向を全て含んでいる。これを分布定数回路モデルに拡張する事により、高周波 CDM 効果に関する多くの報告を説明する事が出来る。

付属書 B: 実世界の CDM 事象と、テスト内の現象の間の比較を、いくつかの代表的ケースに関して紹介する。この章では、大容量デバイスからの実世界での CDM 放電電流のピーク値は、通常、電源ピン(バス)を除いて、テストの世界でのピーク電流値程は大きくない事を示す。

付属書 C: この章では、実在する CDM の ESD テスト法とスタンダードを解説し、それら相互の違いを要約する。現存するテスト装置とテスト法の弱点を概説する。この章では、これらのテストの挑戦が、いかにして、製品の試験結果の矛盾及び、非再現性に至らしめるのかを説明している。

付属書 D: CDM とその他の型のストレス (例えば HBM、EOS 及び CBE) との間には、何の相関も期待できない事を示す。従って、CDM は、他の、どの型のストレスでも置き換える事が出来ないし、どの型のストレスを置き換える事も出来ない。従って、CDM レベルを強くする事が、他の型のストレスに対する性能を向上させる事にはつながらない。

付属書 E: この章は、印刷回路基板上に載せた IC 部品を壊す、ボード帯電事象 (Charged Board Event、CBE) を概説する。種々の帯電／放電メカニズムを解説する。CBE は IC に対して、CDM の高エネルギー版であるが、IC の破壊メカニズムは異なっており、他の ESD 事象法との相関もない。文献の再調査を紹介し、CBE をシステム上で評価する方法を提供する。CBE のインパクトを減ずるために、ESD コントロールの改良と、ボードの設計、組み込みに関するガイドラインを提供する。

良くある質問 (FAQ)

CDM 認証に関する FAQ

質問 1 : 顧客は以前は CDM レベルを指定しなかった。なぜ今はそれを要求するのか？

回答 : (仕様書レベル以下で出荷してもなお、) フィールドからの返品がないことにより立証できるように、HBM の重要性が減少するに従い、顧客は、HBM と MM と異なる、CDM に基礎を置いたフィールドでの破壊痕跡により注目し始めたためです。

質問 2 : CDM 評価法及びレベルが変更になった場合、部品レベル又はシステム・レベルの EOS に関する破壊が増えませんか？

回答 : CDM と EOS 破壊では、総エネルギーも持続時間もまったく違います。効果的な CDM 保護では、EOS 保護の保証はできません。EOS 保護はシステム・レベルで提供すべきです。部品の CDM 破壊とシステム EOS 破壊とは、何の関係もありません。EOS に起因する破壊率は CDM 評価法及び、レベルの変更により変わることはありません。

質問 3 : 低い CDM 値の製品は、導入時に問題が発生するリスクが高いため、より高い CDM レベルを目指すべきではありませんか？

回答 : 電気的な性能を損なうことなく、また、製品価格を押し上げることなく、500V CDM を設計できる場合には、確かに、そのレベルを継続すべきでしょう。しかしながら、[第 2 章](#)では、いくつかの用途では、500V は実現できない事を明確に示している。[第 3 章](#)では、CDM コントロール手段によりこの問題を解決する方が、機能性能を犠牲にして CDM 耐量レベルを増強するよりは、実は、ずっと効率が良い事を示している。

質問 4 : 500V より低い CDM レベルが、本当に安全である事をいかにして決定するのですか？

回答 : もし、適切な CDM コントロール手段 ([第 3 章](#)を参照) を採用すれば、たとえ CDM、100V の部品でも安全に組み立てられる事を証明している。ESD コントロール手段とフィールドからの返品データの評価は、近代的な製造工程では、CDM レベル、250V の部品は、500V と同様に安全であることを示している。

質問 5 : これまでの CDM 破壊は、いつ、どこで発生するのですか？

回答 : これまでの CDM 破壊メカニズムは、誘電体の絶縁破壊痕跡を残しており、半導体製造工場のテストエリアで新製品の立ち上げ時に主として発生する。また、新しい工程を導入した時に、PCB の組み立て工程または、システム組み立て工程で発生する。

質問 6：新しい仕様がパッケージの全てのピンに対してのものであれば、角のピンに対してより高いレベルを要求する事は意味のないことですか？

回答：今日の自動ピック・アンド・プレイス機械では、どのピンも最初にコンタクトする可能性がある。全てのピンを考慮すべきで、角のピンのみを、別に取り扱うべきではありません。

質問 7：会議は最近 HBM レベルを下げるケースを発表したばかりだ。CDM はこれに自動的に続いているのですか？

回答：HBM と CDM の破壊レベルは相関がほとんどない事は先に示している。この事は[付属書 D の D.2 節](#)で証明されている。その主因は、両モデルの間で、物理的な放電メカニズムが異なる事と、破壊モードが異なるためである。

CDM コントロールに関する FAQ

質問 8：もし製造エリアが、ESD に関する基礎的なコントロールを備えているなら、その方法は CDM に対して必要な保護をも提供していますか？

回答：もし、ESD に関する基礎的なコントロールを備えており、絶縁体に関するコントロールも含んでいれば、全ての種類の ESD 事象が発生する可能性は最小に出来得る。

質問 9：CDM レベルで、300V、200V または、100V でさえも、出荷された多くの製品が安全そうに見える。CDM は基礎的な方法でうまくコントロール出来ていると言うのは公平でしょうか？それとも、100～300V の範囲を扱うために、特別の注意が必要ですか？

回答：絶縁物とデバイスの帯電に注意している ESD コントロール・プログラムをもってすれば、CDM、100V またはそれ以上のデバイスに脅威はありません。

質問 10：製造に於ける CDM の ESD コントロールの主な弱点は何でしょうか？

回答：HBM に対するコントロールと対比すると、CDM に対する ESD コントロールは、絶縁物の上の電荷のコントロールと、その電荷の、製造されるデバイス上の導体への放電のコントロールに依存する。

質問 11：CDM の目標値として最大ピーク電流レベルを定義することが、CDM に対する ESD 保護の設計に関する挑戦のためにも、異なる CDM テスタ、異なる CDM スタンドアード間のストレスの変化に関する問題を克服する為にも、良い方法と思われる。しかしながら、CDM 目標値としての、電流レベルは、製造環境にとって意味のある感度レベルへ、いかにして変換できますか？

回答：デバイスの観点からはピーク電流は理屈に合っているのですが、産業の面からは、電圧で感度を表す方が理にかなっている。ESD コントロール界でも、デバイスの認証での経験でも、長年のスタンダードの電圧値に基づいている。これを電流に変更する事は、最終顧客、および契約製造業者を混乱させる可能性がある。電圧レベルから電流への変更は ESD 保護設計者レベルにとどまっている。製品の仕様とパッケージを知ると、要求ピーク電流値は概略推定できる ([第 2 章](#)参照)。

CDM 要求に関する FAQ

質問 12: あなた方の新しい目標レベルに関する推奨値はあなた方の分析と収集データからすると有効とされますが、私たちの顧客は、私たちの契約業者が新しい要求に対して適合できる手段を所持しているかどうか確信していない。いかに進めるべきでしょうか？

回答: 単に古いレベルに止まっているだけでは、[第 2 章](#)で議論する設計に挑戦できない。さらに、IO 性能に関する顧客の改良要求は将来も増えるのみで、現在の CDM 目標値を達成する可能性に対しての制限をさらに強めてゆく。もし、我々が、これらの将来の挑戦に対して、準備しておくのであれば、我々の製造能力による CDM 保護改良の努力は、継続して注目しておく必要のある領域である。国際スタンダードに従っているなら、[第 3 章](#)で議論する通り、基礎的な CDM 保護手段は装備されている。問題は、**大多数の人たちが、これらの手段が CDM 保護のための手段であると認識していない点にある。**これらの基礎的な CDM 保護手段に加えて、[第 3 章](#)で述べる方法によって、あなた達の製造ラインの分析を完了しなければならない。新しい製造ステップの導入や、新製品の立ち上げフェーズでは、より高い CDM パス・レベルの部品でも CDM 破壊が起こり得ることが経験されているので、この事は特に、重要である。

質問 13: [第 1 章](#)は米国、およびヨーロッパからの CDM のハイライトをカバーしているが、極東には触れていない。同じ時期に日本でも顕著な開発があったのではありませんか？

回答: はい、顕著な開発がありました。信頼すべき要約は本白書の中に含まれています。重要な部分は下記のとおりです。

1. 日本での最初の CDM の論文は、電子通信学会に”パッケージ帯電法の提案”というタイトルで発表され、1988 年制定の、EIAJ 試験法、IC121、テクニカルノートの基礎となった。関連した報告が、日本から、1986 年、1990 年、1992 年に EOS/ESD シンポジウムに発表されている。
2. EIAJ の半導体信頼性サブコミティは 1990 年に CDM 試験法のスタンダード化を開始し、暫定 CDM 試験法、EDX4702-01 を 1994 年に発効した。
3. JEDEC 半導体信頼性サブコミティ (EIAJ 半導体信頼性サブコミティを継承し) は EIAJ ED4701/300-2(JEITA スタンダード) を 2006 年 4 月に、JESD22-C101D と概ね提携して、採択した。このコミティは、CDM 仕様間の違いを調査中で、今後の更なる改良を模索している。

質問 14: 当社は、裸のダイまたは、ウェーハ・レベル MLF として販売を予定している MLF パッケージを持っている。パッケージとダイでは CDM レベルは異なるのでしょうか？もし異なるなら、どのように？ダイはボードへの組み立て時に、リスクがより大きいのでしょうか？

回答: 裸のダイまたはウェーハ・レベルの MLF は同じダイをパッケージに入れた場合に比べ、殆どの場合 (特にパッケージがダイを 1 個だけ内蔵している場合には) 高いピーク電流値を示す。もしダイがボードに対して、パッケージと同じ接続性能 (電源／グラウンドの接続数が同じかそれ以上) を有するなら、ボード帯電によるリスクがより高い可能性がある。そのダイをアセンブリ中に、帯電する可能性があるボード上の絶縁物から離しておくよう注意が必要である。[第 3 章](#)、[付属書 E](#)を参照。

質問 15: CDM に関するロードマップと共に、HBM に関する対応したロードマップも出されますか？

回答: HBM レベルは、パッケージ依存ではなく、今日 500VHBM を得るために十分な ESD コントロールが製造で確立しているので、さらなる HBM レベルの低下のロードマップの必要度はより低い。この事は、[第 2 章](#)で説明している。同様に、今日のピン数の多い進んだパッケージでは、実世界での HBM ピン組み合わせストレスの筋書きの意味はより薄れて来ている。その為、CDM の動向がもっとも重要で、実現可能な ESD レベルを支配する事になるでしょう。

CDM 設計に関する FAQ

質問 16: CDM 設計に関して、テクノロジー・スケーリングがなぜそんなに過酷な問題なのでしょう？もしゲート酸化膜の降服電圧のみに関係しているのであれば、テクノロジー開発のエンジニアは、より頑丈なプロセスを作るべきではありませんか？さもないと、トランジスタは通常の使用信号によって壊れてしまう可能性があるのでは？

回答: ゲート酸化膜のスケーリングは、より良いトランジスタ特性のために継続します。しかし、すでに、トンネル効果の限界に近付いてきました。そのため、実際のトランジスタは、通常の動作電圧では、それ自体も低下するので、簡単には壊れないのです。しかしながら、CDM ストレスは低くならず、現実には、部品の大規模化のために、悪化しているのです。そして、降服電圧条件／チャージトラップ効果はより低い電圧でも起り続けるのです。このようなことから、CDM 保護設計に関する主要な挑戦となっているのです。

質問 17: HBM とは逆に、CDM では、なぜ、設計がそのような厳しい制限に直面しているのですか？

回答: HBM 設計でも白書 1 で記述した通り、制限に直面していますが、CDM に関する影響は、目標とする仕様レベルに近づけるためには、ストレス試験で要求される電流値がより高いために、ずっと過酷なのです。結果的には、追加的な電圧低下のために、2 段階の保護が必要となります。しかし、この、2 段階目が、高速回路性能を大幅に低下させ、よって、CDM 設計が更に大きな挑戦となるのです。詳細は[第 2 章](#)に述べてあります。

質問 18: CDM 特性に関して設計がそんなにクリティカルな問題であるなら、さらに進んだ保護構想の開発に対する努力はなされないのですか？

回答: 私達が学んだ事は、どの設計を採用しても、容量負荷の根本的な特性とそれが回路速度に及ぼす影響に大きな差はないという事です。より高性能の設計を持っているという人もいますが、結局は、物理的な制限が優先するのです。

質問 19: テクノロジーの縮小とパッケージ寸法の拡大は飽和点に達して、最小 CDM レベルが横ばいになることは考えられませんか？

回答: 有り得るでしょうし、そうなる可能性は高いでしょう。それ故、私たちは、最低 CDM レベル 50V は常に設計可能であると見積もっていますが、これも、回路速度性能に関して、実際に起こる動向に依

存する事になります。

CDM 不良解析レポートに関する FAQ

質問 20 : あなた方は、第 5 章で、CDM、1000V を越えると信頼度良く、テストできないと主張しています。[付属書 D](#) の分析ではなぜ 1000V を越える数値を含んでいるのですか？

回答：まず最初に、多くの製品のデータシートで、1000V を越える性能を明言している。これはその製品が 1000V を越える放電に耐えるからである。[付属書 D](#) では、そのようなストレスが必ずしも、より低いレベルのストレスより厳しくはない事を詳述している。第 2 に、[第 5 章](#)では、これらのレベルでは、CDM レベル依存が見られない事を示している。これが、最初の見解をサポートしている。

質問 21 : 100 を超える不良があった製品を削除すると選択したのはなぜですか？

回答：不良解析レポートの分析によると、EOS 不良痕跡を示す少数の設計品によって、全ての電圧クラスで、統計が占拠されている。従って、これらの部外者を除く事によって、全てのクラスにわたって、1dpm 以下の不良率で比較的均一に分布する事を示すために、それを除去しました。

質問 22 : 調査した数量で、返品率と不良率の間に関連が見つかりましたか？多くの場合、顧客は破壊した製品を全て返品する事はなく、そして／または、実際の不良率を暴露する事もないはずです。

回答：不良率と返品率は、通常は同等ではない。一般に、IC 供給者に戻される不良品の数は、自動車用の用途では非常に多く、民生用 IC の顧客は、個々の不良の説明にはあまり関心を示さない。しかしながら、白書 1 でも発見されたように、民生用及び自動車用部品の統計は、同じ傾向に従っている。

CDM テスト法に関する FAQ

質問 23 : CDM の場合、入力と電源ピンで波形が違いますか？この事が、認証に影響がありますか？

回答：CDM の波形は、DUT（試験対象素子）と帯電プレートとの容量に支配されます。ストレスに含まれる総電荷量はこの容量によって決まり、ストレスを印加するピンのタイプには無関係です。入力と電源ピンの間のインピーダンスの違いによる多少の波形の違いはあります。特定の例に関する、グラウンド、電源、入力ピン間のパルス波形の比較によると、入力ピンはピーク電流値が少し低く、パルス幅は少し広いことが分かります。ピークの減少量は設計により異なります。ピーク電流とパルス幅のこの違いは、認証時には重要ではありません。実世界での CDM 事象は、CDM テストの場合と同様、ストレスを加えるピンのインピーダンスにより変化します。

質問 24 : CDM テスタのバラツキは如何に取り扱われていますか？

回答：スタンダード組織は、その改良のために常にスタンダードを見直しています。この白書に示したデータはスタンダードの改良を助けるために、重要なデータと共にこれらの組織に提供されます。しかしながら、スタンダード組織は注意して進めるよう奨めたい。産業界は、特定のパスまたはフェイル・レベルの意味に関して、かなりの確信あるデータをユーザに提供できる、今日のテスト法に関して多く

の経験を積んでいる。変動を少なくする為のスタンダードのいかなる変更も、測定した CDM 耐量レベルに関する、不連続を生じることにもなるでしょう。従って、スタンダード組織は注意して改良を進めています。

質問 25：インダストリ会議は将来、スタンダード及びテストの変更を取り扱いますか？

回答：いいえ。最初に明言している通り、インダストリ会議はスタンダード組織ではありません。現存するスタンダードに基づく推奨目標レベルを示しました。スタンダード組織は、物理的に矛盾のない、実用的なスタンダードを作成する責任があります。試験装置販売者は、スタンダードに従うテストを製作する責任があります。本書の結論は、これらの責任を変更するものではありません。現時点で、私たちは、異なるスタンダードを連結する作業を計画してはいません。

質問 26：私たちの会社は CDM 試験をちょうど始めようとしています。認証のためには、どの CDM スタンダードを使うべきでしょうか？その理由は？

回答：一般に使われている CDM スタンダードは、全て、同じ破壊現象を取り扱っています。CDM スタンダードの選択はビジネス上の決断とみるのがベストでしょう。もしあなたの主要な顧客が自動車業界に有れば、ESDA/AEC 法が最善の選択となるでしょう。もっと全般的な電子産業であれば、JEDEC スタンダードがより良い選択となるでしょう。多くの会社では、顧客の要求によって、両方のスタンダードに対応できるようにする必要があると感じています。幸運なことに、ESDA/AEC 及び JEDEC の試験法は、テストヘッドを交換し、別の校正モジュールを使う事により、同じテストで実施できます。もしあなたのビジネスの大部分が日本であれば、JEITA 法を使う事が必要になるかも知れません。残念ですが、殆どどの CDM テスタは、3 つのスタンダードを全てサポートする事は出来ません。

質問 27：もし我社で、JEDEC テストで 500VCDM の部品を持っていると、これは、ESDA/AEC 法では、何を意味しますか？

回答：JEDEC テスト法で試験して、500V の CDM レベルである部品は ESDA/AEC 法で試験すると破壊スレッシュホールドはより低くなる可能性があります。これは、同じ電圧では、ESDA/AEC 法の電流値の方が一般に高いからです。残念ですが、2 つの試験法の間に厳密な換算式を適用する事は出来ません。2 つのテスト法の幾何学的な違いによって、異なるパッケージ・タイプが、2 つのテスト法の間で、違って換算されることになってしまいます。追加情報に関しては[付属書 C.2](#)をご覧ください。

質問 28：もし、わが社で JEDEC 試験法で 500V CDM の部品を持っているとすると、これは、JEITA 法ではどうなりますか？

JEITA スタンダードでは、同じ電圧での電流値が JEDEC に比べて低いので、JEITA 試験では、より高い電圧でパスする傾向にあります。ESDA/AEC と JEDEC の比較と同様に、2 つのスタンダード間で、パス電圧に関して、厳密な換算法を適用する事は出来ません。追加情報に関しては[付属書 C.2](#)をご覧ください。

質問 29：3 種の異なる CDM スタンダードがあるのはなぜですか？一つのモデルが、他のモデルより上

位にあるというような、意見の異なる問題に関して、顧客が認識しているのでしょうか？CDM 環境の中のどの特徴が、3つの異なるスタンダードを必要とするのですか？

回答：3つの CDM スタンダードが存在するのは、意見の異なる組織構造と歴史によるところが大きく、異なる物理的な仕組みをモデル化しようとする努力のせいではありません。ある人達が他のスタンダードより、或るスタンダードを好むという事は事実です。これは、ある校正法が、他の校正法より好まれたり、または、或るスタンダードが、測定手順をいかに説明するかに関する好みのためです。多くは、慣れのためである。特定のテスト法を長い間使っていると、結果に関して確信のレベルに達するでしょう。異なったテスト法への変更には、確信の再構築を要するでしょう。

質問 30：もし IC 素子が、帯電/高速放電に起因する CDM で破壊する場合、素子上の電荷が CDM 計測に含まれるべきではありませんか？

回答：CDM 法では、確かに電荷は重要な量です。しかしながら、CDM テスト法は、異なる集積回路は、同じ方法で取り扱おうと、その集積回路のサイズには無関係に、同様の電圧に帯電するという、仮定の上に構築しています。ある特定の電圧に達するに必要な電荷の量は回路の周辺に対する容量によって決まる。もし、デバイスのフィールド・プレートに対する容量が既知であれば、そのデバイス上の電荷はすぐに計算できる。この電荷は、電流パルスの大きさに関係するので、特定のサイズのデバイスに対して、要求される保護設計と関連するのである。

ボード帯電事象及び EOS に関する FAQ

質問 31：ボード帯電事象（CBE）は CDM と関係ありますか、それゆえ、IC のピンは実は、CBE に対して設計しなくてはいけないではありませんか？

回答：CBE 放電過程は、単一の部品では、概念的には CDM と関係があります。しかし、CBE のボードレベルの様相（電源／グランド面のきわめて大きな容量、電源／グランド経路の低インダクタンス）によると、CBE 破壊は CDM と比較して、極めて過酷な破壊となる。これらは、EOS と誤解しやすい。IC 部品のピンの ESD 保護を、CBE に対して保護する事は不可能です。CBE は極めて大きく、用途間で大きく変わる。追加的なシステム・レベルの EOS 保護を施さなければならない。[付属書 E](#)を参照。

質問 32：もし CDM 試験法とレベルを変更した場合、部品レベルまたはシステム・レベルに於ける EOS の不良が増えるでしょうか？

回答：CDM と EOS 破壊は、総エネルギーおよび持続時間が全く異なります。効率的な CDM 保護では、EOS 保護を保証する事は出来ません。EOS 保護はシステム・レベルで対応しなければいけない。部品 CDM 破壊とシステム EOS 破壊の間には、相関はありません。詳細は、[付属書 D.1](#) 及び、[D.1.3](#)を参照願います。EOS に起因する不良率は、CDM 試験法とレベルの変更の結果には影響されません。

質問 33：CDM は他の何かのスタンダードを置き換えますか、または他の何かのスタンダードによって置き換えられますか？

回答：いいえ。放電のエネルギー、持続時間、性質が、大きく異なるので、CDM は他のスタンダードを

補うものです。[付属書 D](#)はこの問いに答えています。

質問 34 : 私は、IEC61000-4-2 パルスは CDM 及び HBM の上位であると良く聞きます。IEC61000-4-2 の ESD テストが CDM 及び HBM テストを置き換えますか？

回答 : いいえ。61000-4-2 パルスの 2 つのピークを見ると、持続時間は実際、CDM 及び HBM パルスと同等です。しかし、要求レベルと放電の性質は全くちがいます。これは、CDM が実は、部品レベルの試験であり、IEC61000-4-2 は実は、システム・レベル試験であるからです。詳細は、[付属書 D](#) の節 D.1 及び D.1.2 をご覧ください。

CDM 現象に関する FAQ

質問 35 : 実世界、あるいは工場では CDM 放電はどのように起こりますか？

回答 : 帯電したデバイスと他の金属物体の間の小さいギャップの間の電圧がその降服電圧を越えた時に、CDM 放電が発生します。電圧の差が大きい時には、ギャップ間隔が広くても放電が始まり、火花抵抗の高い放電となります。電圧の差がより低いと、放電はギャップ間隔が十分狭くなるまで始らず、火花抵抗の低い放電になります。詳細は[付属書 B](#) 参照。

質問 36 : デバイスはなぜ、そして、どのように帯電しますか？

回答 : 電界による帯電と摩擦帯電がデバイス帯電の主要な方法です。デバイスの周辺の電界が変わると、デバイスのポテンシャルが、デバイス上の正味の電荷は一定でも、変わります。ポテンシャルが変わると、それが、異なったポテンシャルの導体に接触する時に、高速電流パルス、つまり、ESD イベントが発生しやすくなります。摩擦帯電は、デバイスが、他の物体の表面を滑る時に発生します。摩擦帯電のその他の例として、デバイスをトレイや、キャリア・テープより取り上げる時、トレイやリールからシートやテープを取り出す時などがあります。[付属書 B、B.1.2](#) を参照

質問 37 : 実世界での CDM ストレスはデバイスのパッケージに依存しますか？

回答 : 実世界の CDM ストレスは、デバイスのパッケージによって変わりますが、その他の多くの条件、相対湿度、温度、接触点の表面、接触速度によっても変わります。パッケージは、帯電するデバイスの容量と帯電させる物体の容量を決める主要な部分で、放電パスのインダクタンスと抵抗にも影響します。パッケージ・タイプは、さらに、帯電と放電効果の最大の原因となっていると思われる、製造環境でのハンドリング方式をも決定する。より詳細は、[付属書 B](#) に示している。

質問 38 : 実世界の CDM とテスト世界の CDM の主な違いは何ですか？

回答 : テスタは認証ツールであるから、テスト世界の CDM は、最も安定で、再現性のある帯電と放電を得る事を目的としている。テストでは、帯電電圧、デバイス帯電容量、接触速度、デバイス放電容量、放電抵抗を可能な限り再現性良く維持する。放電インダクタンスは、テスト・スタンダードに合うように、適度に少なくなければならない。それに対して、実世界の CDM 事象では、これらのパラメータの殆どは、容易に制御できない。唯一、できる事は、デバイスが帯電したり放電したりする操作を除去す

るか、あるいはデバイス上の電荷を減少させることである。実世界では、帯電する時のデバイス容量と放電する時のデバイス容量は通常大きく異なっている（帯電時の容量<<放電時の容量）。詳細は[付属書 B](#)に示している。

質問 39 : [付属書 A](#) の解析を使って、 I_{peak} 対パッケージ・サイズまたは、 I_{peak} 対実効容量 (effective capacitance) のグラフを計算するにはどうしたら良いですか？

回答 : [付属書 A.1](#) に示した 3 容量モデルより始めます。パッケージの寸法に加えて、プローブの長さ、誘電体の特性、その他の CDM テスタの特性を使えば、3 つの容量を計算でき、回路を解いて実効容量、 C_{eff} を得ることができる。これは、容易に制御できる変数と共に、スプレッドシート状に設定できる。より大きいパッケージ寸法では、 C_f と C_g は大きくなる方向だが、 C_{frg} から減じる事となる。外周の電界は常に入ってくるが、それらの効果は十分容易に見積もることができる。パッケージ寸法が大きくなるに従い、帯電プレート、上側グランド板に依存する C_{frg} の制限効果のために、 C_{eff} は、半直線的に増加し、実際には、上述の通り、パッケージ寸法の増加とともに、傾きが寝てくることに注意してください。

パッケージに対する C_{eff} を得ることができたら、インダクタンス値 L_p と L_d を表 A-1 より、単純な 2 極モデル用に推定でき（すなわち、 C_d と C_p は忘れる）、そして、 I_{peak} を計算するために、 I_{peak} 式を使う事ができる。ここでも、スプレッドシート上で容易に得ることができる。 25Ω の抵抗、 R は ESDA または JEDEC のテスタの放電では、殆どの測定データとよく合っている。ほとんどの場合、 $R < 2\sqrt{(L/C)}$ であるから、逆正接式、つまり振動解 (式 9 b) を使います。特定のパッケージ設計のために、パッケージのサイズと C_{eff} の関係と、推定したインダクタンスを思い出せば、 I_{peak} 対パッケージ・サイズを、また、 I_{peak} 対 CDM パルス内の電荷によって測定された C_{eff} をプロットできる。付属書 A の図 A7 より、 I_{peak} は C_{eff} が増えると増加することは明白だが、期待したとおり、増加は半直線的である。

質問 40 : [付属書 A](#) の解析は、パッケージの配線長のピーク電流に対する影響の計算にも使えますか？

回答 : はい。これは、 I_{peak} 対パッケージ・サイズまたは C_{eff} よりほんの少し精密なだけである。あるパッケージに対して C_{eff} が決まると、パッケージの配線は特定の長さのほぼ短絡した伝送線路として振舞うので、パッケージの配線長はインダクタンスに影響する。[付属書 A](#) の表 A-I は、種々の長さのパッケージ配線の概略のインダクタンス、 L_d を与えている。これらのインダクタンスを表 A-I の L_p 値に加えてそれをテスト・ヘッドの総インダクタンスとし、簡単な 2 極モデルに適用する。ここでも、このモデルのために、 C_d と C_p を見逃さなければならないが、単一 I_{peak} の単純な波形を期待しているのであれば、それで構わない。図 A7 は、ここでも助けになり、 I_{peak} は総インダクタンスが増えると減少する事ははっきりしている。ここで、配線長のインダクタンスは、総インダクタンスの一部となっている。

第1章：CDMの背景と歴史

Timothy Maloney, Intel Corporation

1970年代以降、デバイス帯電モデル（Charged Device Model、CDM）は集積回路（IC）の機械によるハンドリングと関連して考えられてきた。そして、これらのICの破壊の原因として言及されてきた。初期の研究の多くは、ベル研究所で行われた[1、2]。同研究所で行われた、初期のこの非常に有益な研究では、蓄積電荷を部品から近傍のグランド板へスイッチするのに単純な真空リレーを使った。これは、シンプルだが、有効で、（ベルのこれに関連した話と記述による好意のおかげで、多くの場所で）多くの設計者に半導体部品の改良の機会を与えた。ベルでは、1980年代の終わり頃に、このCDMの研究を続け、1990年代の初めに、今日の市販テストに発展した機械の開発に移行した[3、4]。これらのCDMテストは、普通は、ESD協会およびJEDEC[5、6]による、1990年代の中頃に最初に発行されたCDM試験スタンダードに従って製作されていた。我々は、これらのCDMテストをns-CDM（無ソケットCDM）テストと呼ぶことにする。

部品はハンドリング中に、摩擦帯電（triboelectrification）または、電界中を移動する事によって、帯電する。摩擦電気による帯電は異種の材料が摩擦接触をすることにより発生する。一方電界誘導は、既に帯電している表面（例えば絶縁プラスチック）の近傍で起こる。CDM ESDストレスはこのような影響を受けた部品が等電位面（例えば、ピンがソケット内のグランド金属に）に接触する時に発生する。摩擦でも、電界帯電でも、部品の有効領域が、CDM電荷の総量を決める重要な役割を担う。摩擦帯電では、電荷は他の面と接触する2面間の面積に比例すると期待されている。これに対して、電界の場合は、ガウスの法則（単位面積当たりの表面電荷に比例する垂直電界）が部品面積として振舞う電荷をしめす。

ベル研究所の半導体部品のCDMテスト[3、4]は、ソケットを使わないCDMテストで、実際のCDM事象に出来るだけ近づける事をめざして開発した。これらの機械は、電荷はパッケージ面積で決まるなど、CDMストレスが使用する半導体パッケージに依存するように設定されている。ESDA及びJEDEC[5、6]が採用したスタンダードは、電界誘導CDM（Field-induced CDM）テスト・システム、これは、文字通り、部品に対して電荷の流れをオン／オフする為にフィールド電極板（field plate）使ったのでそう呼ばれている、を認めている。図2はns-CDMのスケッチで、ベルのいくつかの出版物から、JEDECのCDM仕様で再製作されたものである。この方式は、基本的には直接充電CDM（Direct Charging CDM）法、これでは、ある1つのピン（通常はサブストレート・ピン）からデバイスを絶縁物の下に配置したグランド板との間で、充電し、CDM放電は放電プローブで行う、と等価である。ESDAのCDM仕様[5]は直接充電CDMと電界誘導CDMの両方を容認し、市販のいくつかのバージョンでは、両方のCDMテストができる。図3は、CDMスタンダード文書、この場合はJEDEC、より引用したCDM波形を示している。

1990年代の初めより、ソケット・デバイス・モデル（Socketed Device Model、SDM）が、ソケットとリレーを使って、部品のCDM的な試験を自動的に行うESD試験機を、使いやすい方式として、開発されてきた。最初の10年間のSDM試験の歴史を、2001年に見直し、文献[7]にまとめてある。少し後に、ESD

協会で、CDMの技術報告書[7]として発行された。SDMの波形とパラメータはns-CDMとは非常に異なっているが、共に、CDMの高速パルス特性を持っており、CDMに対する製品の弱点を見つけるのに有効であった。しかし、1990年代のプロセス技術の進歩と膨大な部品のテストによって、SDMとns-CDMを1つのスタンダードに統一する事は出来ない事が明らかになった。

CDM開発の歴史を簡略に下記に示す[9]：

- 1974年：Speakmanによりモデルが初めて提案された―”人体モデルだけが半導体ユーザの関心事ではない”
- 1980年：Bossard他―”摩擦帯電で帯電したピンのESD損傷”。この論文で、破壊モデルの可能性の詳細が提示された。
- 1985、1986年：英国電気通信社員が電界誘導ESDモデルの実験的調査を行った
- 1985、1986年：自動ハンドラでCDMが主なESD破壊モードとなった
- 1986年：日本人が最初の自動CDM試験システムを報告した（沖電気、福田他）
- 1987年：シーメンス・グループが256K DRAMのCDM試験対実世界の壊れやすさを報告。
- 1987年：Avery（RCA）がCDM保護に関する設計技術を報告。
- 1988年：Maloney(Intel)がCDM破壊を防ぐためのより広範な設計指針を報告
- 1989年：AT&Tが電界誘導CDMシミュレータを報告
- 1995から現在：CDM破壊はICデバイスのゲート酸化膜厚の縮小により、重要な問題となってきた

この歴史の多くが、最近のCDMに関する再調査論文で議論された[10]。

CDMに関する初期の段階から1980年代まではCDM性能の最も普通の目標電圧は1500Vであった。これは、使用する測定器でも、半導体デバイスでも一般に達成できるものであった。リレーを基本とした方式では、1500Vを越えると立ち上がり時間の増加やピーク電流の減少などの性能低下が出る傾向があった。しかし、試験機のハードの進歩と半導体技術の進歩、そして、部品が実際に受けている事象に関する知識によって、電圧目標値に関する見解が変わり、より低い電圧目標が受け入れられた。ns-CDMテストはその、実際の立ち上がり時間、ピーク電流、波形の形状に関して理解が高まり、工場レベルの事象を再現するという能力に関して信頼が高まった。現在では、合理的な静電気コントロールの条件下で扱う場合には、部品のns-CDM電圧目標値はほとんどの産業界で500Vが容認されている。最近の工場のCDMストレスとそのns-CDM試験電圧レベルとの関係に関する調査では、ns-CDM、500Vの性能は、十分にこれらの期待に適合している事が判明した[10]。

References:

- [1] T.S. Speakman, "A Model for the Failure of Bipolar Silicon Integrated Circuits Subjected to Electrostatic Discharge", International Reliability Physics Symposium (IRPS), pp. 60-69, 1974.
- [2] P. R. Bossard, R. G. Chemelli and B. A. Unger, "ESD Damage from Triboelectrically Charged Pins," EOS/ESD Symp. 1980.
- [3] R. Renninger, M-C. Jon, D.L. Lin, T. Diep and T.L. Welsher, "A Field-Induced Charged-Device Model Simulator", EOS/ESD Symp. pp. 59-71, 1989.
- [4] R. Renninger, "Mechanisms of Charged-Device Electrostatic Discharges", EOS/ESD Symp. pp. 127-143, 1991.
- [5] ANSI-ESDSTM5.3.1-1999, "Charged Device Model (CDM)-Component Level Test Method", ESD Association, 1999. See www.esda.org.
- [6] JEDEC JESD22-C101D standard, "Field-Induced Charged-Device Model Test Method for Electrostatic-Discharge-Withstand Thresholds of Microelectronic Components", Oct. 2008. See www.jedec.org.
- [7] M. Chaine, J. Barth, T. Brodbeck, L.G. Henry, M.A. Kelly, and T. Meuse, "The SDM Test Method: Past, Present, and Future", Compliance Engineering, Sept. 2001. Posted at <http://www.ce-mag.com/archive/01/09/henry.html>.
- [8] ESD Association WG5.3.2, "Socket Device Model (SDM) Tester," ESD TR 08-00 (Rome, NY: ESD Association, 2000): 1-22.
- [9] C. Duvvury, Texas Instruments, "Advanced On-Chip Protection", ESD Association National Tutorial, 2008.
- [10] T.J. Maloney, "CDM Protection, Testing and Factory Monitoring is Easier Than You Think", 2007 Taiwan ESD Conference Proceedings, pp. 2-8 (invited keynote speech and paper).

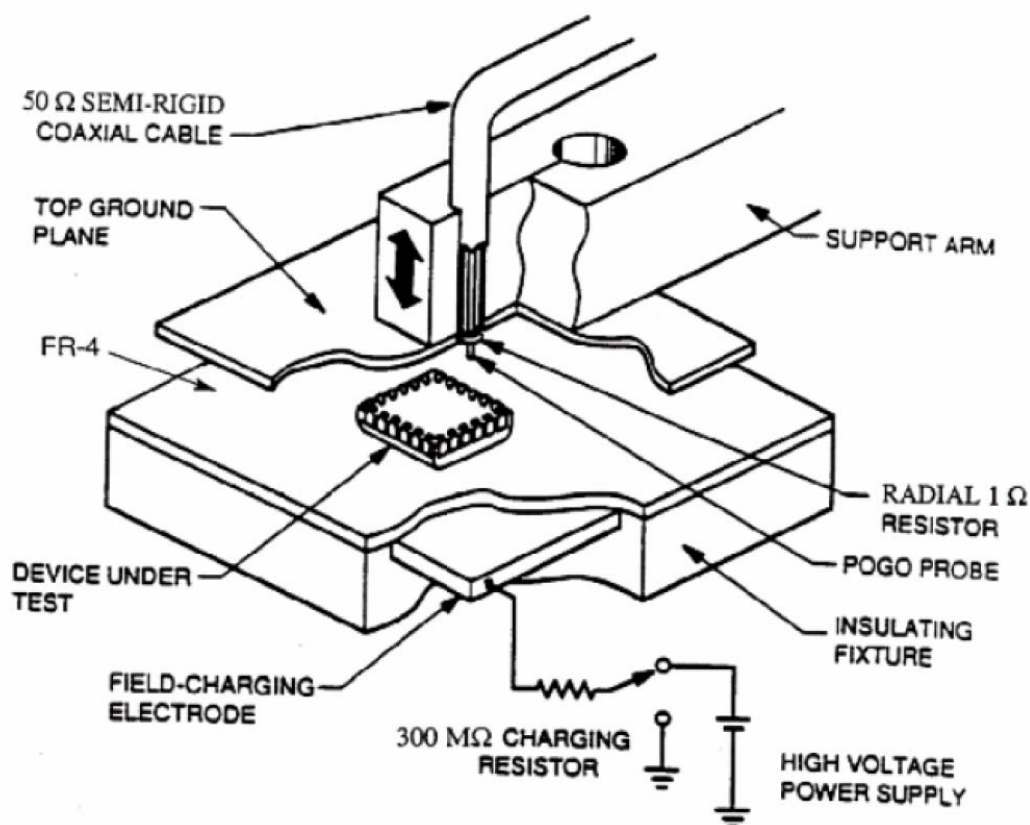


図 2. ベル研究所及び JEDEC の CDM 仕様による ns-CDM デバイス帯電モデル
テスト・システムのスケッチ

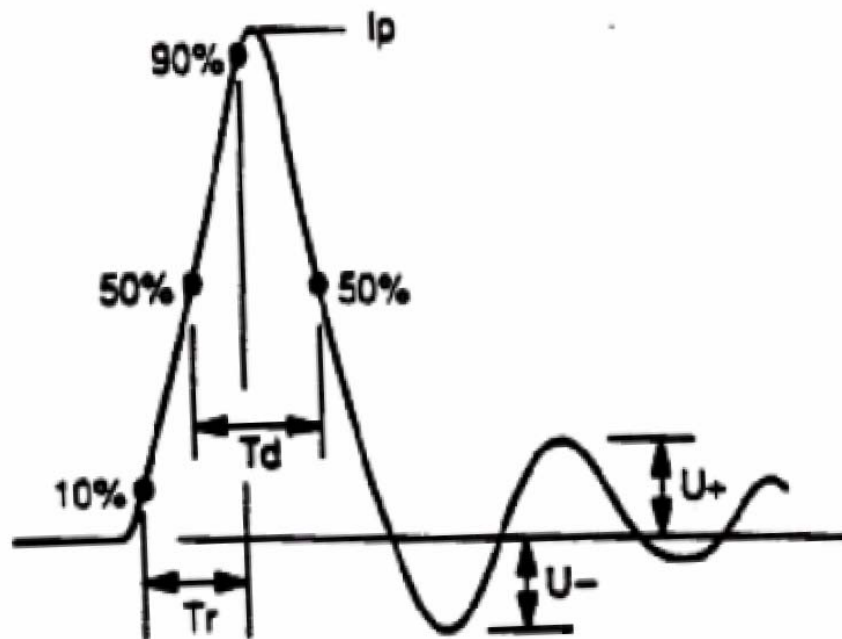


図 3. ns-CDM スタンダード文書からの CDM 波形。Td は約 1ns.

第2章：IC 部品の ESD 設計に対する CDM の挑戦

Charvaka Duvvury, Texas Instruments

James W. Miller, Freescale Semiconductor

Robert Gauthier, IBM

2.0 イントロダクション

これまでの 10 年間、デバイス帯電モデルの ESD 試験は IC 部品の認証として産業界からの要求が増大している。不幸なことに、それと同じ期間に、3 つの動向が組み合わさって、チップ上の CDM ESD 保護回路の効率的な設計の仕事は大幅に複雑になっている。

1. IC 部品のピン数とサイズ範囲が著しく増加した。与えられた充電電圧で、CDM 試験中に加わるピーク電流は、ダイと特にパッケージ寸法に敏感な関数であるので、この事は重大な問題である。その結果、製品の CDM 電流の上限範囲は急速に上昇している。このような大電流に対して壊れやすい回路を保護するためには、ダイ上での ESD 配置面積の大幅な増加が必要となる。いくつかのケースでは、必要な ESD 配置面積が許されないほど大きくなっている。
2. より小さく、壊れやすい能動素子、そして、より薄く、抵抗の大きい接続配線による、IC プロセス技術の進歩は、保護される側の回路の ESD 耐量を低下させる。そのため、部品を与えられた CDM 電流レベルに対して保護する事がより困難になる。
3. 高速デジタル、RF アナログおよび、その他の性能に敏感なピンを伴った混合信号 IC が流行している。これらのピンに対する厳しい電氣的性能制限により、ESD 保護に関する選択肢が制限される。この為、通常の CDM ESD 認証基準に合わせる事が不可能になる。

全体的に見て、これらの動向により、オンチップ ESD 保護の設計に対する挑戦が、飛躍的に増大する事になっている。その結果、今日では新製品の多くが最も一般的な CDM 認証レベルである 500V にフェイルしたり、ぎりぎりであったりする。このような動向が続くなら、これは悪化し続ける根本的な問題である。この章では、このような継続する動向によって引き起こされる IC 部品の ESD 設計に関する挑戦を要約する事を、試みようとしている。

2.1 ESD 設計者の CDM イベントに対する展望

付録 A に記しているように、テストの構成及び、加わる電流波形の両方の見地から、CDM ESD 試験は HBM とはかなり異なっている。これらの波形を図 4[1]で比較している。HBM 試験も MM 試験も共に、DUT をソケットに入れて試験し、外部のパルス源から、1 またはそれ以上のストレス印加ピンとグランド・ピンとの間に、ストレス・パルスが供給される。信号源として使用する抵抗・コンデンサ (RC) 回路が MM の場合 40ns、HBM の場合 150ns 程度までの比較的幅の長いパルスを供給する。MM 及び HBM いずれの場合も、与えられたプリチャージ電圧に於けるピーク ESD 電流は多かれ少なかれ固定しており、

DUT には無関係である。これに対して、ns-CDM の場合には、電荷は、DUT 全体に分布しており、接地される 1 つのピンへ、多くの経路を通して流れる。この構造による重要な結果は、得られるパルス幅が非常に狭く（1ns 程度より狭い）ピーク電流は DUT のダイとパッケージ寸法によって、大きく変化する事である。図 4 に見られるように、CDM 電流振幅は通常、1~16A の範囲で大きく変化する。上限の 16A では 500V の CDM ピーク電流値は 2000V HBM 事象のその約 12 倍を、200V MM 事象のその 4.4 倍を超えている。

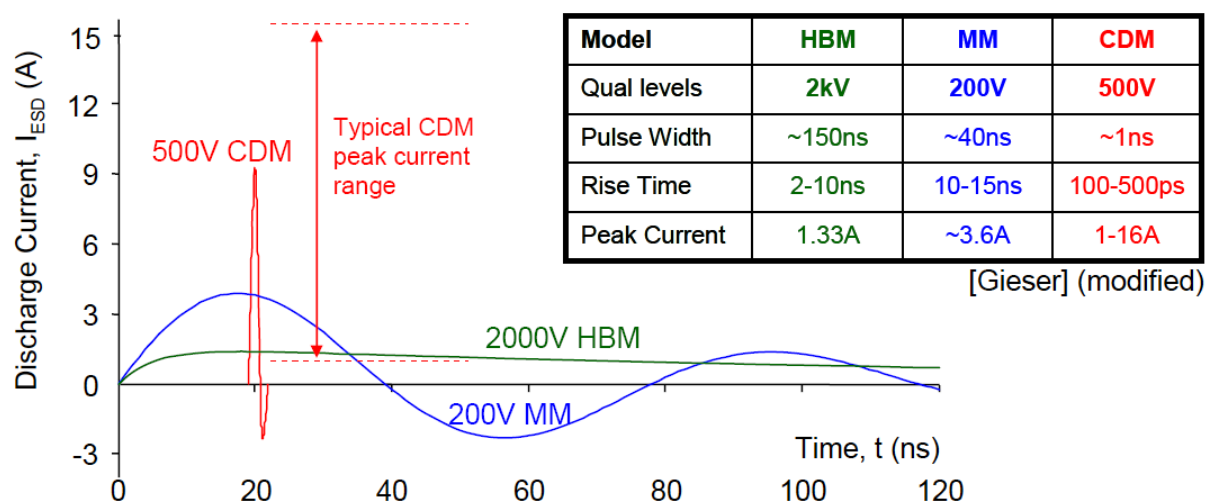


図 4. CDM、MM 及び HBM 事象の電流波形の比較

部品の ESD ストレス・レベルは、通常、ストレス電圧レベル（2000V HBM または 500V CDM など）で定義するが、これらの電圧値は、ESD 設計者に対しては、大きな意味を持たない。設計者は ESD 事象をその結果として生じる電流波形として考える。ESD 保護回路に入っている素子および ESD 導通経路の寸法を、目標ピーク・ストレス電流と持続時間によって決める。一般には、目標ピーク電流が増えると ESD 素子と導通経路はそれに従いサイズを増やさねばならない。実は、後述する通り、IC 上の ESD 配置面積は、CDM ピーク電流の目標値に対して、直線的ではなく指数関数的に増えるのである。

もう一つの挑戦は、これは CDM 独特であるが、実際のピーク電流がそれぞれの新しいパッケージに入った部品をテストするまで分からないという事である。例えば、広い範囲の製品で使える I/O セル用ライブラリ用の ESD 保護を設計する場合、設計者は期待される最大のダイとパッケージの予想容量を基にしてピーク CDM 電流を推定せざるを得ない。正確な容量に関する情報を多くの場合入手できず、ESD 設計者は、その I/O セル・ライブラリの CDM ピーク電流目標値を、概略推測せざるを得ない。部品の CDM ESD 性能がぎりぎりになる理由は、I/O セル・ライブラリ設計時の ESD 設計ステージで、容量値の推定が不正確であるためである事が多いためである。更に、それにも増して、もし与えられた製品の設計が新しいより大きなパッケージに変更されると、驚くべきことに、CDM 性能が低下するかもしれないのである。

2.2 CDM に対する設計技術

進んだ CMOS 技術では、入力／出力 (I/O) パッドに直接つながる回路要素は CDM ESD 事象の間に破壊するリスクが最も高い。本節では最も普通の 2 つの I/O 回路要素を保護する手法を簡潔に記述する。ここで、それ以降の節での、CDM ESD 保護の挑戦を記述する骨組みを示す。

2.2.1 ダブル・ダイオード ESD 保護

デュアル・ダイオード I/O ESD 保護の手順の回路を図 5[2・6]に示している。I/O パッドは Vddx と GND の電源バスで電力を供給されるレシーバおよびドライバ回路につながっている。1 次及び 2 次の ESD 保護素子が共に、ESD の間に最もリスクの大きなデバイスである、レシーバ・トランジスタ M1 – M2 及びドライバ・トランジスタ M3 – M4 を保護するために配置してある。正の電流の殆どは、接地した I/O パッドから順バイアスされたダイオード D1 を通して Vddx バスへ、そして、ESD 電源クランプから GND バスへ落ちて、その後、GND バスのメタル・グリッドから IC 及びパッケージのその他すべての部分へ至る、1 次パスを流れる。I/O パッドと、この ESD 事象の間のストレスを印加された I/O パッド近辺の GND バスの間の全電圧降下を最小にすることが重要である事を注意すべきである。ダイオード D1 とそれに関係した相互配線は適切に寸法を決めなければならない。寄生 Rvddx と Rgnd バス抵抗を最小にする事も同様に重要である。なぜなら、これらは 1 次 ESD 電流パスに沿った総電圧降下に加算されるからである。1 つの IC の中の、I/O セルの大きな列をよりよく保護するには、電源バスに沿って並列に多数の電源クランプを配置する事が普通である。

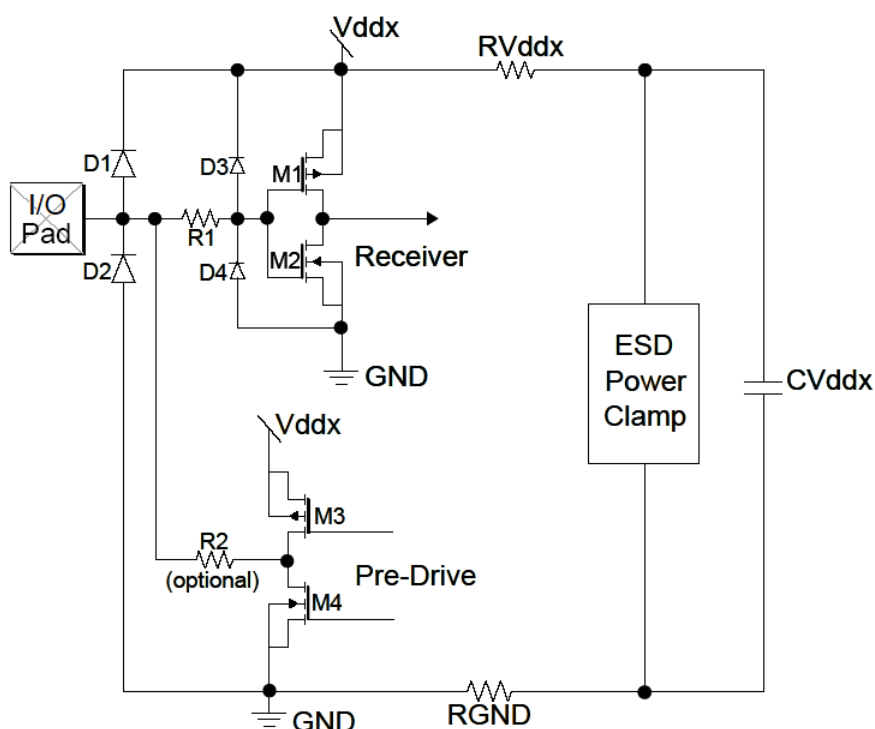


図 5. デュアル・ダイオード I/O ESD 保護手法

図 5 の ESD 手法では、切り離された 2 次 ESD 保護素子がレシーバ及びドライバ回路に使われている。上記 ESD 事象の間、ESD 電流のうち、僅かな部分が抵抗 R1 とダイオード D3 を通して流れる。この 2

次保護の利点は、R1 両端の IR 降下がレシーバ・トランジスタ M1–M2 の壊れやすいゲートにかかる電圧ストレスを、R1 が存在しない場合に比べ、減じることである。R1 の値は、レシーバ回路を保護するためには $100 - 5000 \Omega$ が普通である。ドライバ・トランジスタ M3–M4 をより良く保護するには、別の抵抗 R2 及び PMOS トランジスタ M3 のドレインから NWELL 寄生ダイオードを介して Vddx に至る 2 次のパスがある。図 5 では R2 はオプションとして示していることに注意。その理由は、高速シリアル（HSS）リンクまたは低雑音増幅器（LNA）などでの用途では、通常、ドライバとパッドの間に直列抵抗を挿入する事は性能的な制約から許されないからである。デジタルへの応用の場合の代表的な R2 の範囲は、 $5 - 100 \Omega$ である。この抵抗は、ドライバ・トランジスタ M3–M4 の事実上の CDM 耐量に著しい影響力を持っている。

2.2.2 SCR を基本とする ESD 保護

SCR を基本とする ESD 保護手法の回路図を図 6[7–11]に示す。ここでは 1 次 ESD 保護は、I/O パッドから GND バスまでの、ダイオード列でトリガする SCR クランプによって行われる。従って、負の CDM 事象の間 I/O パッドが接地されると、正の電流の大部分は、パッドから SCR クランプを介して直接 GND レールへ流れ、それから、GND バスのメタル・グリッドから、IC 及びパッケージ全体へ流れる。この、GND への直接クランプは SCR ベース保護機構が、前述のダイオード・ベースの手法に比べて、特に、GND バスの抵抗が Vddx バスの抵抗に比べて著しく低い場合には、有利な点である。加えて、SCR は、同じ ESD 保護レベルでは、容量負荷効果がより少ない場合が多い。一方で、ダイオード列でトリガする SCR クランプは必要とされる最大動作電圧によって、通常の動作状態でのリーク電流が大きいという欠点がある。

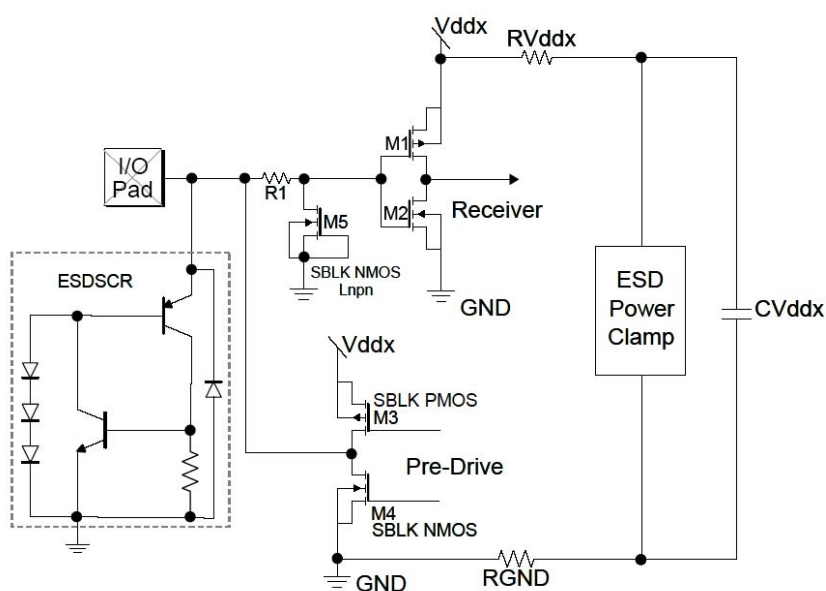


図 6. ダイオード列トリガ SCR ベース I/O ESD 保護手法

図 6 の ESD 手法では、図 5 で示したのとは比べ、レシーバ・トランジスタ M1–M2 を保護するためには別のタイプの 2 次保護を使っている事に注意。ここでは、ESD 電流の微小部分が 2 次パスを経由して GND へ（抵抗 R1 とクランプ素子 M5 を通って）流れる。このクランプはシリサイド・ブロックされた（SBLK）NMOS トランジスタであり、ESD 事象の間、ラテラル NPN バイポーラとしてトリガし導通

するよう意図されている。ドレイン領域でシリサイド・ブロックする事は NPN に部分的にバラスト抵抗を追加し、バイポーラ動作中にデバイスの幅にわたって、均一な電流を保証する事を助け、それによって破壊電流 (I_{d2}) を増加する。前と同様、ESD 期間中の R1 の電圧降下 IR があればレシーバ・トランジスタ M1 – M2 のゲートに加わる電圧ストレスが減少する。2 次 ESD NFET は参考のために示したのみで、この例の 2 次デバイスは、デュアル・ダイオード、順バイアス・ダイオード列、または、他のダイオード列トリガ SCR で置き換える事が出来る。

図 5 及び 6 の出力ドライバ M3 – M4 も同様にトランジスタのドレイン領域にシリサイド・ブロックを施すことができる。追加したバラスト抵抗が、ESD 中にラテラル・バイポーラ・トランジスタとしてトリガし動作した時には、破壊電流 (I_{d2}) を増加する。それに加えて、シリサイド・ブロック抵抗の追加 IR 電圧降下がトランジスタが永久的な物理破壊の障害を受けるまでに耐えうるドレイン・ソースの降服電圧を効果的に増加する。これは、予定した SCR クランプ経由の 1 次 ESD パスによるドライバの降服に対する電圧余裕度をふやす。シリサイド・ブロック・バラスト抵抗は ESD に対して出力ドライバを強化する為に良く使用され、Vds の降服電圧を 1 – 3V 増加する。しかし、配置面積、トランジスタ性能、プロセスの面で費用がかかる。上記で検討した事項の代わりに、その他の選択肢もあるが、結局は同じ制限にたどりついてしまう。

2.3 CDM ESD 耐量に対するテクノロジー・スケーリング効果

過去 20 年間のプロセス技術の進歩は、感嘆すべき IC の価格の低下と性能の向上をもたらした。不幸なことに、これらの進歩は ESD 強度の低下という犠牲の上にある。テクノロジー・スケーリングはより小さく、より壊れやすい能動素子を、そして、より細く抵抗の多い接続配線を作りだした。これらの理由で、ESD 保護設計は、新しい、各テクノロジー・ノードで一層挑戦的になっている[12]。

2.3.1 NMOS トランジスタの ESD 強度の動向

図 7 は多くの進歩した CMOS テクノロジー・ノードに対して、NMOS トランジスタの強さを比較している。コアの Vdd 供給電圧の最大値を、主要トランジスタ長とゲート酸化膜の厚さに関するテクノロジー・ノード・スケーリングの関数で示している。同様に、1.2ns ストレス・パルス条件における、ゲート酸化膜の降服電圧 (Vgs) とドレイン・ソース降服電圧 (Vds) の減少を示している。このデータは、CDM パルス事象を最も良く模擬できる VFTLP (Very Fast Transmission Line Pulse) 特性評価ツールで集めたものである。全てのデータは、基準線、最小の設計ルール、完全にシリサイド処理した NMOS トランジスタで収集した。Vds 降服電圧データはストレス印加中に直流の Vgs バイアスを変化させながら測定した、最小値、すなわち最悪ケースの値を表す。

図 7 のデータは、各、新しいテクノロジー・ノードで、NMOS トランジスタの CDM 強度が減少する事を明白に示している。Vgs および Vds 降服電圧のデータが共に、各、新しいテクノロジー・ノードで低下する動向にあると同時に、これらの NMOS 素子はドレイン・ソース間のストレスでより壊れやすい事は明白である。PMOS トランジスタ (示してはいない) もこれと同様の動向を示すが、同等の NMOS

よりは少し強い事が分かってきた。例えば、250nm 及び 45nm テクノロジー・ノードでの NMOS トランジスタの強度を比較しよう。250nm の NMOS レシーバ素子は、図 5 のトランジスタ M2 のように、CDM ESD 中の 12V を越える V_{gs} ストレスに耐えられるが、45nm のデバイスたったの 5.2V で壊れる。同様に、250nm の NMOS ドライバは、図 5 のトランジスタ M4 のように、CDM ESD 中の 6.3V の V_{ds} ストレスに耐えられるが、45nm デバイスは 3.2V でも壊れるだろう。新しいテクノロジー・ノードではトランジスタはより壊れやすくなる事が明白である。この V_{ds} 降服傾向はチャンネル長が縮小するに従い、続くと予測される。

4V 未満の V_{ds} 降服値を持つ出力ドライバの保護は CDM ESD 設計者にとって重大な挑戦である事が分かってきた。2 次保護またはシリサイド・ブロック・バラスト抵抗の使用が許されない用途では特にそうである。例えば、図 5 に示した ESD 保護で、90nm テクノロジーに於ける I/O を例として考えてみよう。負の CDM ストレス事象の間に、NMOS ドライバ M4 は、このデバイスの近辺 V_{ds} 電圧が 3.8V (図 7 を参照) を越えるところわれる。CDM 事象によって生成されるピーク電流が 7.6A に等しいと仮定すると、1 次 ESD パスにある ESD 素子と接続抵抗が、NMOS ドライバ M4 の総電圧降下を 3.8V 未満に制限している間に、この電流を消費しなければならない。この 0.5Ω 実効インピーダンスを得るための ESD 素子と接続配線の寸法決めは極めて困難である。

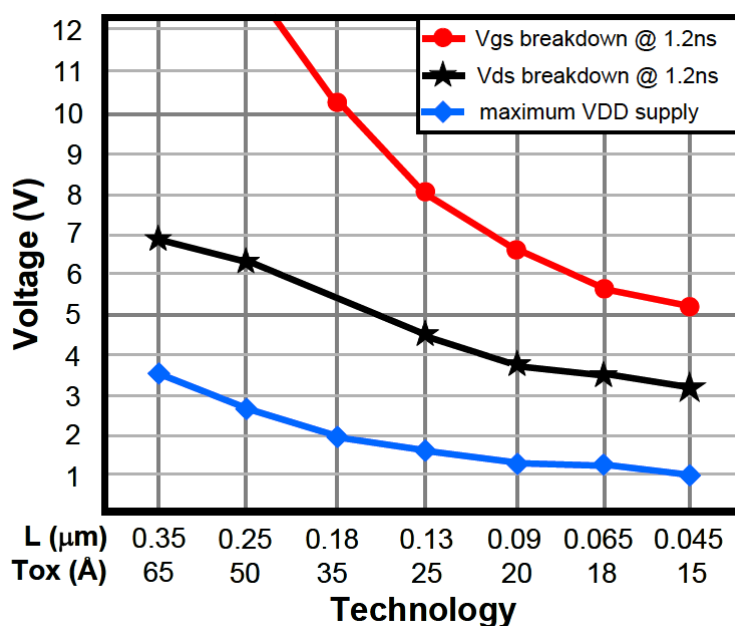


図 7. テクノロジー縮小による NMOS トランジスタの降服電圧

2.3.2 接続配線の ESD 強度の動向

CDM 設計の為の、他の危機的なテクノロジー・パラメータは接続配線層で許される最大電流密度である。この動向は、銅の配線を代表例として、図 8 に示す。実際の破壊電流密度は金属の厚さによるが、この動向は制約を図示する方を重視していることに注意して下さい。CDM 領域では破壊の電流密度は HBM 領域のその、実は 3-4 倍大きい。しかしながら、もし CDM 放電電流レベルの要求が比較的大きくなる場合 (例えば、現在の目標レベル 500V に適合するパッケージ製品で、大きくて、ピン数の多いデバイ

スからの放電)、これが設計を決める要素となり得る。例えば、65nm ノードで 0.5A/um の電流密度は、10A の CDM 電流を流すためには 20um 幅のバスを必要とする。配置面積に加えて、ESD ダイオードまでの幅のより広い配線はパッド容量を増加する。これは、次には、2.4.3 節で議論するように、回路速度に対する負の影響を与える。

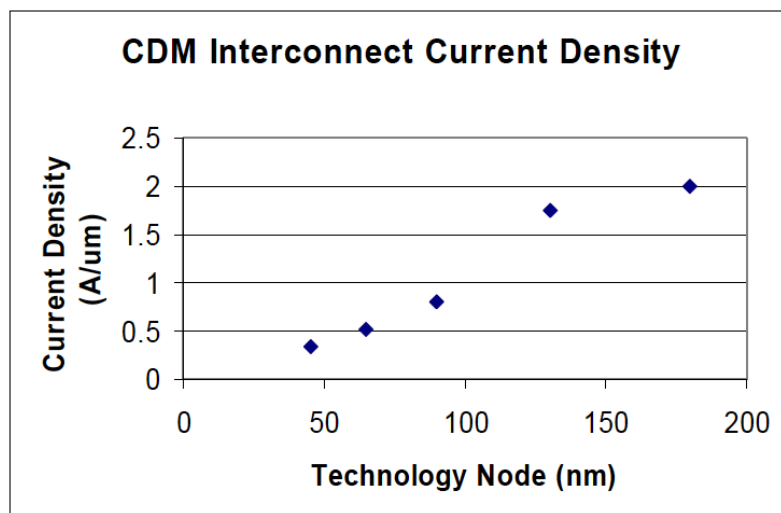


図 8. 銅の接続配線の ESD 強度のテクノロジー縮小に対する動向

2.4 集積回路の ESD 設計に対する CDM の影響の例

2.4.1 ESD 配置面積の影響

IC 部品を 500VCDM 事象から保護するために必要なダイ上の ESD 配置面積は、製品の応用範囲とプロセス・テクノロジーにより広く変化する。ESD 回路が安全に消費しなければならない CDM の目標ピーク電流は、配置面積に影響する第 1 次要因である。図 4 に図示したように、500V でのピーク CDM 電流は、一般的に、最小のダイ及びパッケージ寸法で 1A から、最大では、16A またはそれ以上の範囲にはいる。保護される回路の壊れやすさに加えて、ESD 素子と接続配線の効率を決定するプロセス技術は配置面積を強く左右する。最後に、壊れやすい入力／出力回路を強化する、付加的な 2 次保護またはシリサイド・ブロッキングの使用を許さない用途では、配置面積の顕著な増加がみられる。一般的に言えば、最も壊れやすい方法で配列したドライバ／レシーバ回路を有する、最も進んだ、利用可能なプロセス技術で製作した非常に大きな IC 部品が、ダイ上で最大の ESD 配置面積を必要とする。

目標ピーク CDM 電流の関数としての ESD 配置面積を、45nm テクノロジーの I/O ライブラリに適用した例を 2 つ、図 9 に示している。2 つの I/O ライブラリはドライバとレシーバ回路に使ったトランジスタのタイプが異なっている。Vdd=1.1V の電源領域で使う低電圧 (LV) I/O では、このテクノロジーで使用可能な、コア (18A Tox) トランジスタを使っている。中電圧 (MV) I/O ライブラリでは、1.8V 電源領域で使うために、I/O (28A Tox) トランジスタを使っている。

図 5 で示したデュアル・ダイオード及びレール・クランプ ESD 保護手法は、LV 及び MV ライブラリの両方で使っている。小さい ESD 電源クランプは電源領域内にある I/O バンクの各 I/O セルに並列に分配

してある。両 I/O ライブラリ内の ESD 電源クランプはより頑丈な I/O トランジスタで組んでいる。何れの I/O ライブラリでも、レシーバ回路要素を強くする為に 2 次保護を使っているが、この応用例では、出力ドライバ・デバイスを強化するために 2 次保護あるいはシリサイド・ブロッキングを入れる選択肢は許されない。その為に、LV 及び MV I/O セルに於ける ESD に対して弱い結合は負の CDM 事象では NMOS 出力ドライバ M4、そして、正の事象に対しては PMOS 出力ドライバ M3 であると想定できる。LV 及び MV 両者の I/O ライブラリの、NMOS と PMOS ドライバ素子に対する Vds 降服電圧の実測値を図 9 の表に示している。十分な余裕度を与えるために、両 I/O ライブラリ内の ESD 回路は、両ドライバ・デバイスを降服電圧の測定値より 20%低い目標値に保護するようサイズを決めた。従って、表に示すように、目標ストレス限界値は LV I/O ライブラリ内の NMOS/PMOS ドライバに関しては 2.65V/3.60V に、MV I/O ライブラリ内の NMOS/PMOS ドライバに関しては 3.50V/5.20V に設定した。

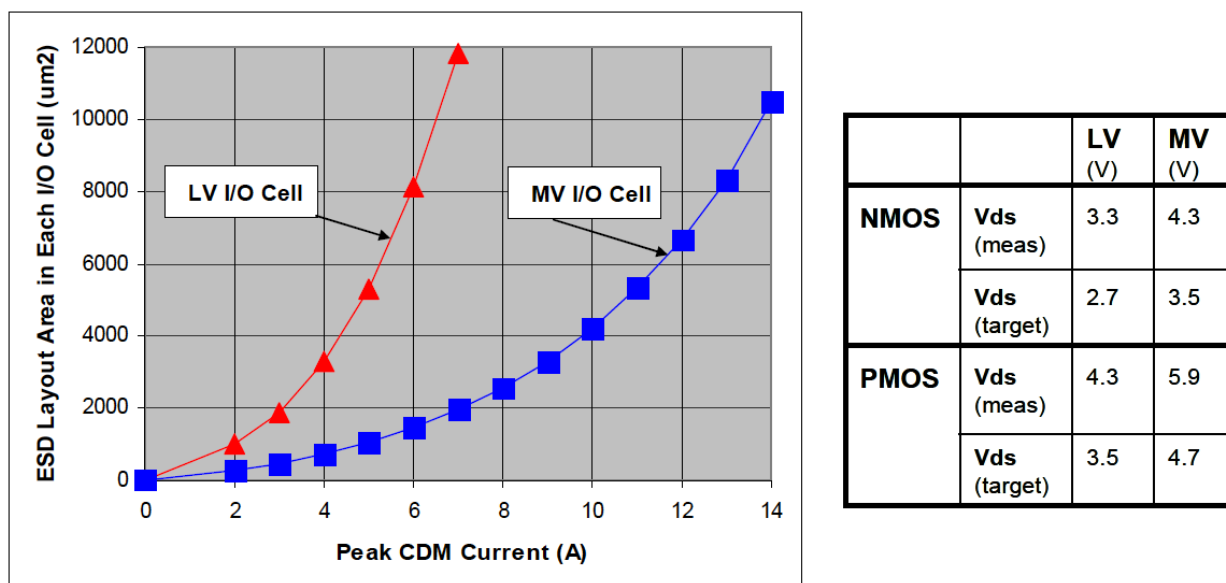


図 9. 2 種の異なる I/O 用途に於ける ESD 配置面積の推定例。ESD 配置面積を CDM ピーク電流に対してプロット。2 種の異なる NMOS 及び PMOS 出力ドライバの保護目標に対して配置面積を計算

図 9 に示すとおり、LV 及び MV の I/O セルの中の ESD 素子の寸法は、ESD 回路が安全に消費しなければならない CDM ESD ピーク電流の目標値に敏感な関数である。面積の値には各 I/O セルの中の ESD ダイオード及び電源クランプの面積を含む。どちらのカーブも、ピーク CDM 電流と共に、ESD 配置面積は指数関数的に増加する事に注目してください。事実、LV I/O セルの場合、曲線のスロープの増加は 7 A を越える CDM 電流の目標値は、この上限を越えると、CDM 電流を少し増加する為に、配置面積を大きく増やさなくてはならないので、現実的ではない。ESD 配置面積対 CDM 目標電流カーブの指数関数的性質は全てのプロセス技術、全ての ESD 保護構成に対して共通している事を特筆しておくことは重要である。しかしながら、実際の ESD 電流の上限値は製品と製品で、プロセス技術、回路の用途、ESD 保護形態に依存してかなり変動する。

図 9 の 2 つのカーブの間の激烈な違いから、出力ドライバ M3 – M4 の Vds 保護の目標値が、与えられた CDM 電流での ESD 配置面積に主要な影響を与える事は明白である。MV I/O セルでは 7A の CDM

保護が $2000\mu\text{m}^2$ の配置面積で実現できるが、LV I/O セルでは同じ保護レベルに、殆ど $12,000\mu\text{m}^2$ を必要とする。これは 6 倍の増加である。先進的な CMOS 技術の製品では、I/O セル全体（ESD 部分を除いて）の配置面積は通常 $2000\mu\text{m}^2$ から $8000\mu\text{m}^2$ の範囲である事を指摘しておきたい。そのため、CDM の電流目標と I/O の応用内容により、ESD 配置面積は総合 I/O セルの配置面積を支配するまでに増大するかもしれない。これが、大きなパッケージの IC 部品に関する特有の関心事となっている問題である。

2.4.2 CDM の ESD 設計ウィンドウの影響

シリコンの縮小技術の進歩[10]とともに、“ESD 設計ウィンドウ” が急速に縮小している事が、種々の研究によって、十分に立証されてきている。図 10 に示すとおり、このウィンドウは、本質的には IC の動作電圧（ V_{op} ）と IC の降服電圧（ V_{bd} ）の間の空間で定義される。動作電圧はゆっくりと低下し（0.9 から 1.2V 領域で平らになる）ているけれども、降服電圧はずっと急速に低下しており、ウィンドウの減少を加速している。降服電圧の制限は、ESD 条件下での酸化膜の降服電圧（入力バッファの場合）、ジャンクションの熱的な降服（出力バッファの場合）の何れか又は両方に起因しうる。これは、図 10 では、“IC Reliability Constraint、IC の信頼性による制約” として表示している。これに反して、縮小技術のために金属接続がさらに細くなっており、ESD 設計への用途に対してはより抵抗性のバスになっている。その為、与えられた ESD 電流レベルに対して設計する事は、I/O パッドでの電圧が、より低い電流レベルに於いてさえも、きわどい降服値になり得る。この金属の制限は、図 10 では、“Thermal Failure、熱破壊” と記している。この設計ウィンドウの減少は、いくつかの進んだ設計では多少の利点はあるけれども、全ての IO 保護方式に対して適用できる。それにもかかわらず、全体的な縮小は任意の高 HBM または高 CDM レベルに対する設計を難しくする。この事を図 11 で更に詳しく述べる。

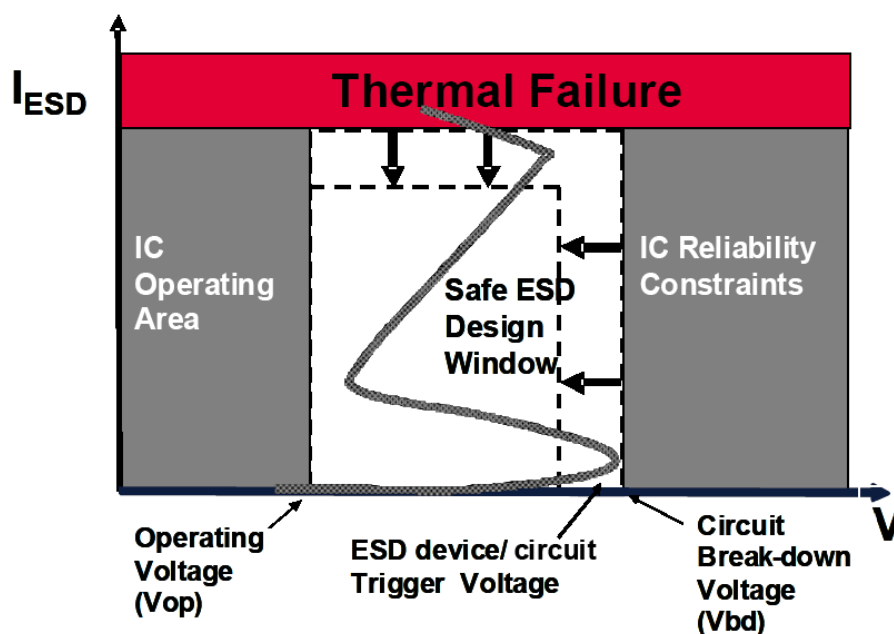


図 10. ESD 設計ウィンドウの定義

図 11 は 350nm から 45nm テクノロジー・ノードへ縮小する時に ESD 設計ウィンドウ（図 10 で定義した $V_{bd} - V_{op}$ ）が如何に縮小するかを示している。350nm から 45nm へスケール・ダウンすると、ESD

目標値を一定に維持する場合、設計ウィンドウは、およそ 2.7 倍縮小する。ESD 設計ウィンドウの減少はより低い電圧にクランプするより大きい ESD 素子を必要とするか、または、テクノロジー縮小に従い、ESD 素子の著しい革新が必要となる。設計ウィンドウの縮小を補うために、ESD 素子の寸法を増やすことは、2 つの主要な理由で現実的でない: 1) ESD 素子と回路の領域の割り付け量が各テクノロジー・ノードで減少している、2) 新しい各テクノロジー世代で容量負荷に対する要求が、同時に減少している。

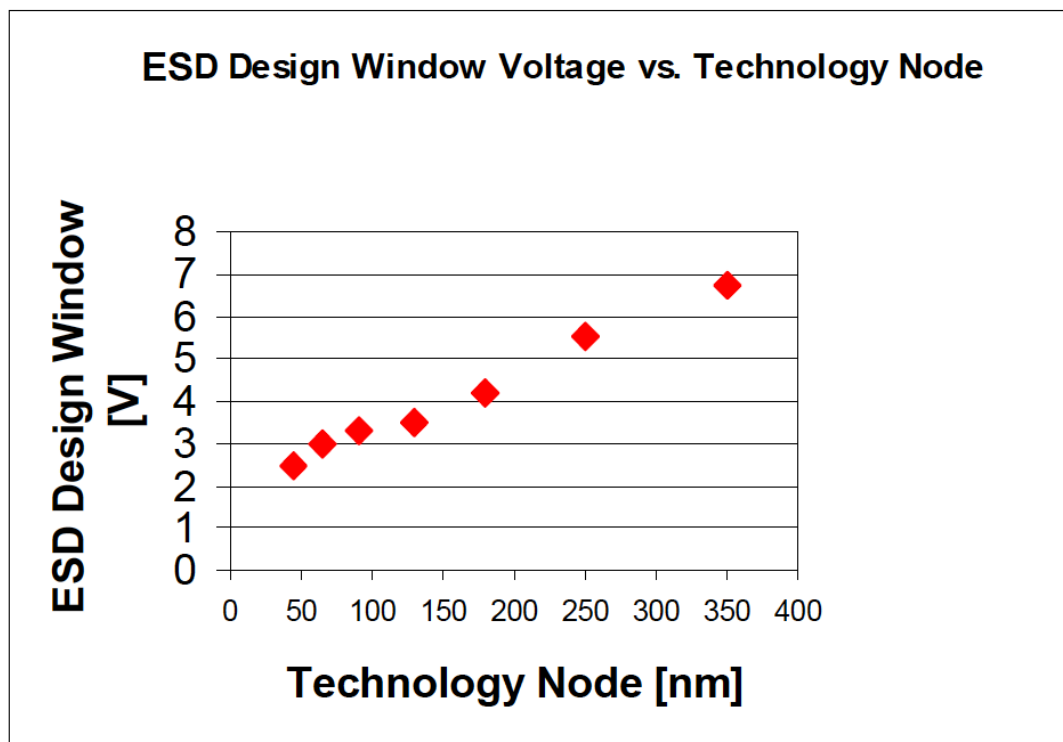


図 11. テクノロジー・ノード対 ESD 設計ウィンドウ
(最大動作電圧と酸化膜降服電圧の間の差から見ている)

2.4.3 HSS、RF 及びアナログ応用への影響

図 12 及び 13 では、許される ESD 容量負荷を x 軸に、左の y 軸には HSS（高速シリアル、High Speed Serial）リンクのデータ・レートを示している。右側の y 軸は、保護可能な CDM 最大電流です。この例では、許される ESD 容量負荷として、例えば T コイルなどの既知の技術によって ESD 容量の 50% が相殺できると仮定している。正味許される ESD 容量負荷は、最終的には、図 12、13 に示した値の約 50% になる。65nm 及び 45nm でサポートできるピーク CDM 電流は、ダブル・ダイオードを基にした ESD 保護及び順バイアス SCR を基にした ESD 保護に対して、それぞれ、図 12 および 13 で示している。HSS のデータ速度に関する注意でキーとなる項目の一つは、3~4 ギガビット/s から 10~12 ギガビット/s になった時に、容量負荷の要求が ESD 保護回路の容量負荷をほぼ 1/3 に減ずる事をいかに必要とするか、という事である。HSS 回路、LNA 回路では抵抗と 2 次保護は、上述の通り、通常許されないもので、図 12 と 13 に示すシミュレーションのデータは、2 次保護なしと仮定している。CDM 電流は I/O パッドで正の電流として示してあり、これは、シリコン・サブストレートを負に充電する事になる。これは、多くの場合、最悪の CDM 条件を意味している。

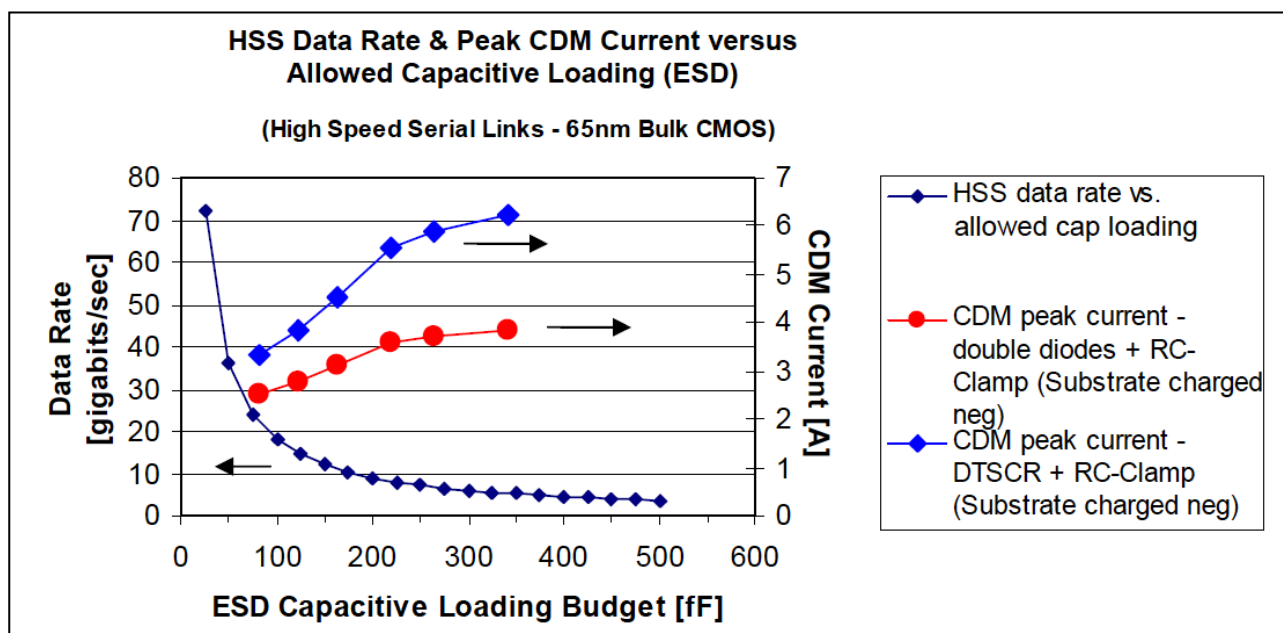


図 12. 45nm のテクノロジー・ノードにおける、2 種類の異なる設計手法の、データ・レートとピーク CDM 電流の設計能力と許される ESD 容量負荷予算の関係

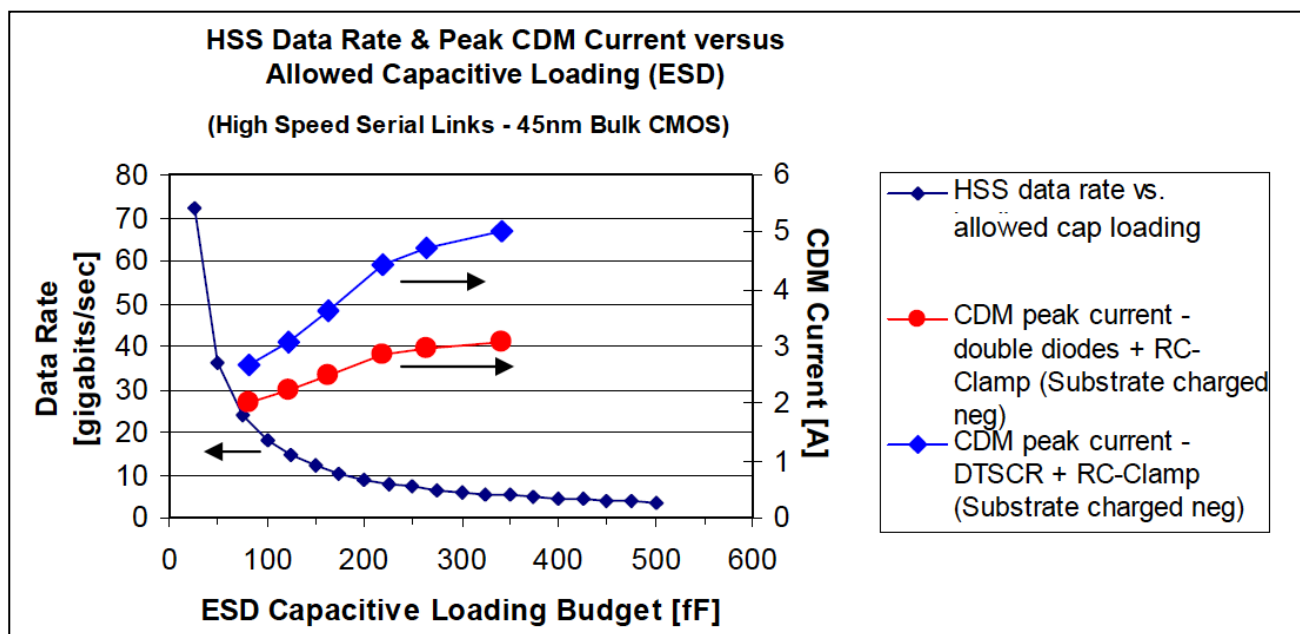


図 13. 45nm のテクノロジー・ノードにおける、2 種類の異なる設計手法の、データ・レートとピーク CDM 電流の設計能力と許される ESD 容量負荷予算の関係

RF 高速の設計は標準の高速 SERDES の設計より更にもっと拘束が多い。5~10GHz の特性を持つ RF ピンでは、ESD 設計はかなり荷が重い。低雑音アンプ (LNA) の入力回路は特に ESD 保護素子の容量に耐えられない。これらの回路では、ESD のグラウンドは LNA のグラウンドから絶縁していることが多く、図 14 のようにダイオードで分離している。ESD ダイオードに対する 100fF 以下の容量という通常の要求により、ゲート酸化膜を損傷せずに HBM 1kV を得ることすら困難である。これは大抵、回路の RF

機能要求を満たすために使用する、小さな保護ダイオードのオン抵抗のせいである。CDM 性能はこれらの RF 応用製品では HBM や MM より更にずっと挑戦的である。

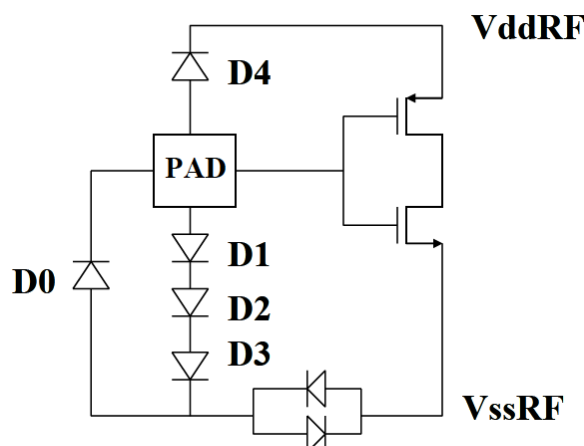


図 14. ダイオード保護を有する代表的な低雑音アンプ (LNA)

CDM 性能が低い理由は：1) 2 次クランプがない、2) 小さな CDM 電流によってでもきわどいレベルにまで電圧を上昇させる小さな保護ダイオード、そして 3) ESD グランドの RF バッファのグランドからの絶縁、である。制限#2 に関して言えば、高速入力性能を得るために、もし入力パッドがコアのゲート酸化膜に直接つながっていると、状況は最悪となる。このクランプ・ダイオードは、ピンの所で低い総合容量予算を満たすために更に小さい寸法でなければならない。

システム・オン・チップ (SoC) 機能の RF ピン用チップは、普通、8mm x 8mm 又は 10mm x 10mm の小さい BGA パッケージを使用する。ピーク電流は全く小さく、500V で 3~4A を越える事はない。しかしながら、小さいクランプを使うこれらの (ESD で) 傷つきやすい RF 設計品は、多くの場合、CDM 電流レベル 2A またはそれ以下でしか有効でないで、その CDM 性能は、200~300V に厳しく制限される。例えば、図 13 で示すように、10mm x 10mm のパッケージ寸法の RF 用チップの場合、LNA 入力の ESD 設計は 2A を扱えず、これは、約 200V の合格レベルでしかない。

2.5 パッケージ効果とパッケージの動向

パッケージ技術の進歩は異なる市場区分[13]からの要求に基づいている。コンピュータ用であれば、進歩は性能に基づく。民生用市場では、これは、価格と丈夫さとなる。自動車及び軍事用では、温度に対する敏感さと信頼性である。各々のタイプのパッケージが用途によって選択される。この拡散は、標準のデュアル・イン・ライン (DIP) パッケージから、マルチチップ・モジュール (MCM) へ、そして、フリップチップおよびスタックド・ダイまたはスタックド・パッケージすら、へと進んだ。我々は、結局は、ウェーハ・スケール・パッケージ (WSP) へ行き着くだろう。

過去に、また、現在でも、特に考慮された事はなかったけれども、パッケージの開発中に、ESD 効果に対しても幾分かの注意が向けられるべきであった。より新しいタイプのパッケージへの積極的な科学技術的前進は全体の適切な信頼性のための ESD 性能の可能性を極めてうまく決定するかもしれない。

パッケージが持つ最も深刻な影響は、CDM に対してであり、その CDM 性能は、パッケージのタイプとパッケージの接続リードの設計に強く依存する。もし、定性的に評価された CDM リスクを加えると、マイクロ・スターBGA (u*BGA) は比較的良好な CDM 性能を示すのに対して、TQFP パッケージは、より低い CDM 性能を示す可能性がある。これは単にストレス期間に放電し、実効パッケージ容量に直接依存するピーク電流に関係するにすぎない。パッケージの CDM に対する影響のうちでもっとも顕著なものいくつかは、種々のパッケージ要因からくる。CDM ピーク電流に影響し、CDM 性能に影響するものを BGA パッケージに関して以下に要約する。

- ダイの寸法：より大きいダイは容量がより大きい
- モールド混合材料とその厚さ
- ピンの数を含むリードフレーム金属の接続経路

より大きいパッケージを使ったより大きいダイを持つチップは、CDM 設計に対してより大きな脅威を受ける事は自然である。例えば、500V での測定ピーク電流をパッケージ面積の関数として示すと、図 15 が得られる[14]。2kV での HBM 電流値はパッケージに無関係であるが、CDM 電流はパッケージ面積と共に急速に増加する事に注目。

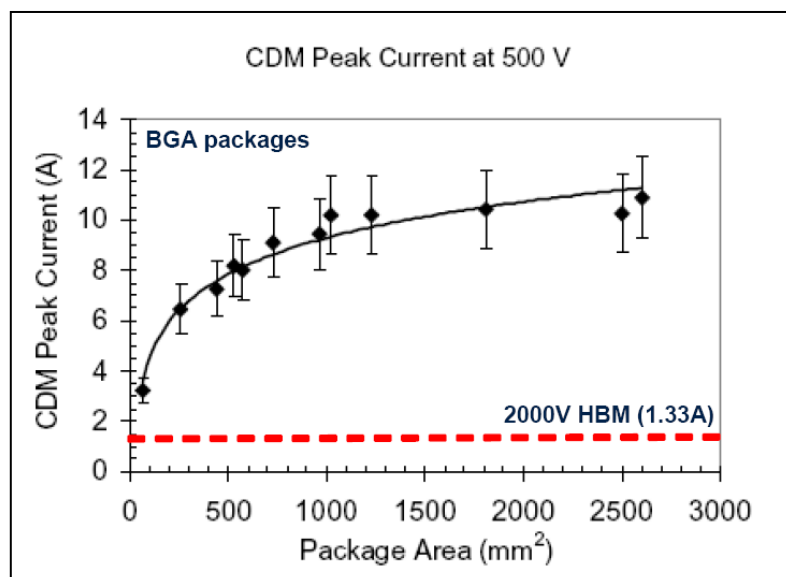


図 15. 500V での BGA パッケージに対する CDM ピーク電流

CDM の設計に対する拘束で最もクリティカルなものは、よりピン数の多いパッケージに向かう動向からくる。この市場は、多くの場合、非常にピン数の多いパッケージが良く使われているインターネットの切り替え（高帯域での）及びマイクロプロセッサによって動かされている。この帯域は高速 IO と幅広の並列バス間のバランスを導入する事により得られる。このような市場に対する設計は、チップとチップのインタフェースに DDR2 (250MHz)、RLDRAM (500MHz) 及び SERDES (6GHz) を使っている。チップ外の速度が増すという動向は、必要とする IO の数を減ずるかもしれないが、その結果は、熱性能のために電源ピン数の増加へと向かわせることになる。正味の結果は平均のピン数増加である。この高ピ

ン数化への連続する傾向は BGA パッケージについて、図 16 に示している。

32nm のテクノロジー・ノード付近で、ピン数は 3000 のレベルに到達すると予想されている。このピン数ではパッケージ面積は 2000mm^2 を越えるであろう。事実、ダイ面積と、パッケージ面積は共に増加し続けるであろうから、与えられた電圧でのストレス・レベルにおける CDM ピーク電流も同様に増加し続ける。高速 IO を要求する設計は変わることなく IC パッケージに多くのピン数を入れる傾向となり、結果として、CDM 設計能力に対して制約となる。

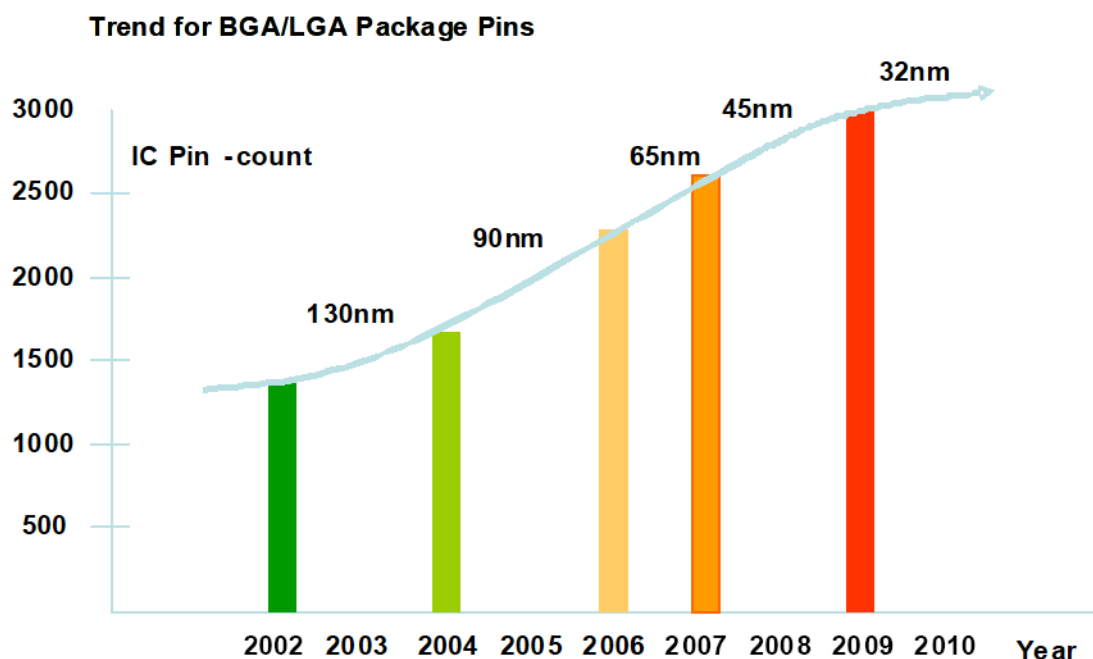


図 16. 高ピン数の BGA パッケージの動向

より大きなパッケージで 500V CDM レベルに適合するのは概して可能性がない。 1000mm^2 を越えるパッケージに対する CDM の設計ウィンドウを図 17 に示す。まず、CDM ピーク電流はパッケージ面積が増えると共に（パッケージの厚さが同じと仮定し）増加し、その変化はストレス・レベルのより高いレベルで、直線的により高い電流レベルへ移動する。例えば、 1000mm^2 の BGA は 200V のストレスで 4A を流すが、500V ストレスでは、10A を越える。しかしながら、回路性能から要求される実際的な設計ウィンドウは、達成できる CDM レベルを制限するでしょう。図 12 に示す、65nm HSS IO の 5~20Gb/s の速度での設計に対する、データ速度のシミュレーションによると、ESD 設計に於けるピーク電流は 2.5A から 6A に制限される。45nm ノードでは、この値は 2A から 5A 領域に低下し、獲得できる CDM レベルは更に低下するであろう。図 17 は大きなパッケージ面積のこれらの HSS 設計では、CDM 性能は 200V と 300V の間に制限されることを、明確に示している。

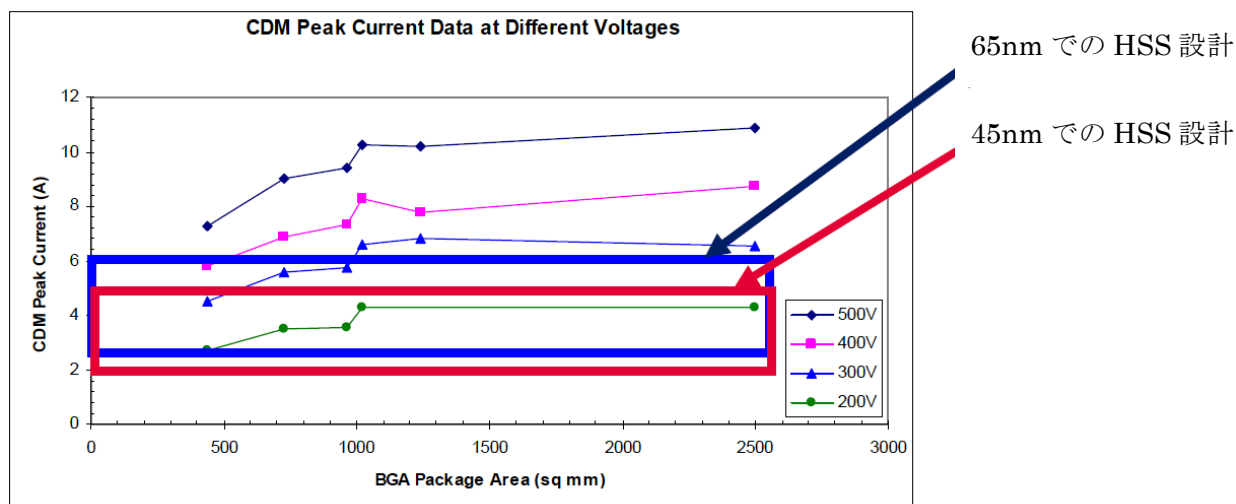


図 17. 異なる CDM ストレス・レベルでの異なるパッケージに対する CDM ピーク電流データ

この方法によって、チップ寸法が大きくなるにつれ、そして、より複雑なパッケージで、ピン数が多い (>2000) 場合、CDM ストレス電流はその大きさを増す事を知る事が出来る。ここで示したパッケージ効果と組み合わせて、保護素子の容量を殆ど許容できない RF 設計が、常に増加する CDM 電流を満たすのは困難である。将来は、CDM パッケージの問題はスタック・パッケージやマルチチップ・モジュールで最悪となるであろう。更に、環境の安全のための新有機材料への変更は、状況を悪化させる可能性がある。従って、パッケージエンジニアと ESD エンジニアは、パッケージ性能と ESD 信頼性を維持するために緊密な協力をして作業する必要がある！

2.6 現実的な CDM 目標に関する ESD 設計者の展望

全ての設計の制約に適合すると同時に、CDM に期待される総合的な性能は、今日でも既に挑戦的で、将来は挑戦の度合いは更に増大するでしょう。この事を理解する為には、小ピン数 (<100) から、中ピン数 (300~500) そして、高ピン数 (500 から 1000 ピン超) までの範囲の IC パッケージの全体の状況を調査する必要がある。このパッケージ・マップを図 18 で図示している。一番上の行は DIP から BGA、LGA に向かって進歩するパッケージ・タイプの動向を示す。やがては、全てのパッケージが BGA に収れんするであろう。2 番目の行は対応するピン数を示す。物理的なデータに基づき、パッケージのピン数に対応するパッケージ面積のマーカを 3 番目の行に示す。異なる面積 (ピン数) のパッケージに対する、種々のストレス・レベルでの実際のピーク電流を測定した後、異なる IO 設計に対する CDM 性能を推定して示している。このデータは、各々のケースに対して許容できる最大電流の見地より定義された設計の制限を有する、種々の寸法のパッケージからの CDM 放電電流を測定する事により作成した。例えば、CDM 保護設計を伴う実用的な IO 設計が、ピン数 1000 まで、8A のピーク電流を扱う事が出来るなら、現状で許容できる CDM レベルとしては 500V に適合出来る。しかし、もしピン数が 1000 を越えて 2000 に近づくと、CDM 性能は約 400V にすぎなくなる。これらの数値は、現状では 45nm 及び 65nm テクノロジーを反映している。次の、高速 IO 設計の行では、200 ピンを越えるパッケージのデバイスまたは、250mm²を越えるパッケージ面積のデバイスは、同じ期待電圧、500V には適合出来ない事を示し

ている。ここでは、2500 ピンを越えるパッケージでは、パッケージ面積（容量）とストレス電圧の関数としての CDM ピーク電流の間の既知の関係を基礎として推定するしかない事を知るべきである。

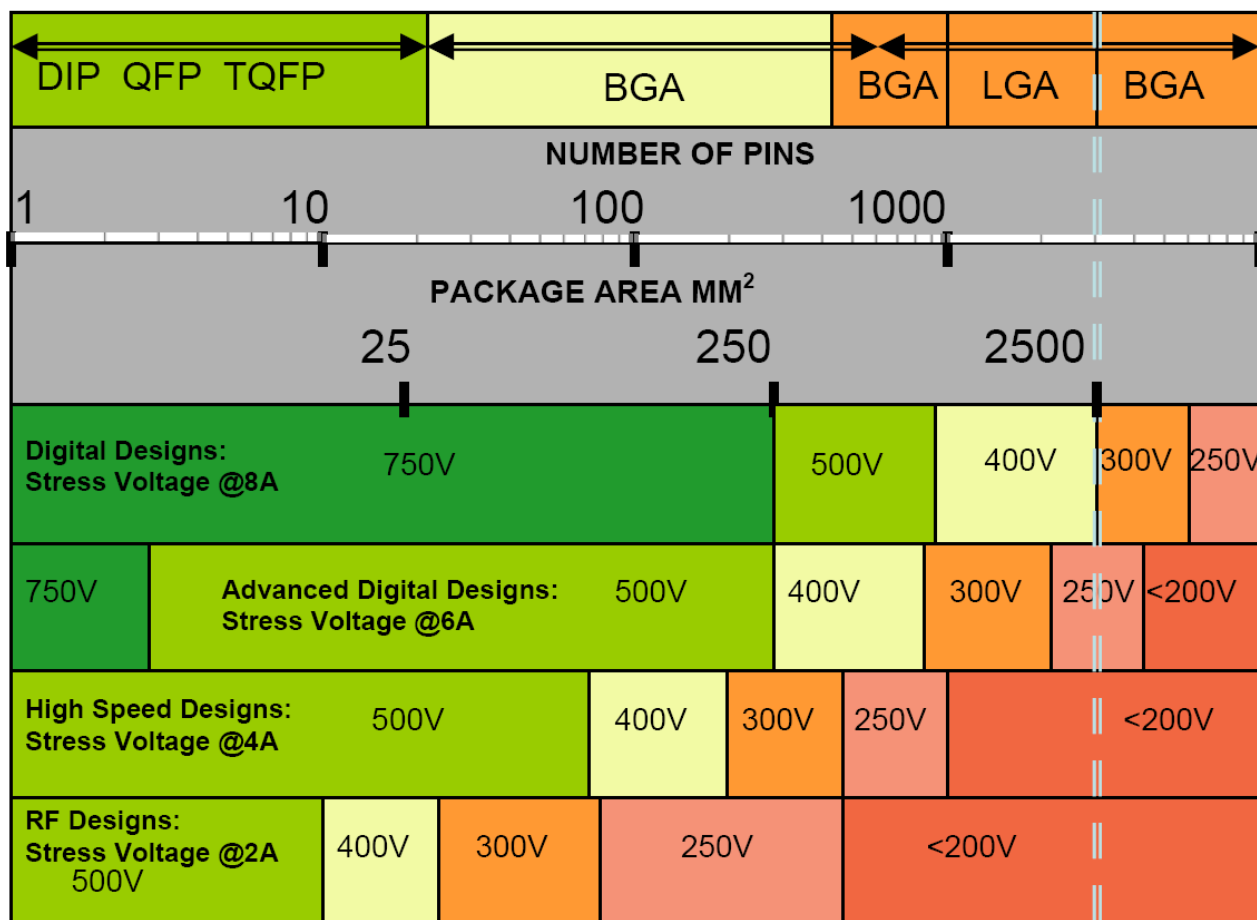


図 18. 65nm 及び 45nm 設計の CDM パッケージ・マップ。1000 ピンまたは面積 1200mm²を越える製品は全ての実用的な設計で CDM パス・レベルは 400V に制限される。これは、高速 SERDES の設計では 300V に低下する。縦の破線は最先端の高ピン数パッケージを示す。

この動向に続いて、RF 設計に直面する CDM 性能の制限を図 18 の最後の行で示している。ほとんどの RF 設計はより小さい IC パッケージに入れる傾向なので、高速シリアル・リンク（HSSL）IO のように厳しい性能低下に直面するとは期待されていない。しかしながら、たとえ、より小さいパッケージ面積であっても、RF ピンは 2.4.3 節で記した通り、CDM 設計に敏感であり、それゆえ、300 ピン程度のパッケージであっても 250V に合格するのは挑戦である。

2.7 更なるテクノロジー・スケーリング効果と現実的な CDM 目標に対する追加的影響

私達が 22nm テクノロジーまたはそれ以降へ進んでゆくと、前記の 250V レベルですら、切迫した更なるスケーリング効果と、40Gb/sec またはそれ以上に近づきつつあるデータ速度での、より高い回路速度性能へ向かう攻勢に起因する CDM 保護設計に対するより厳しい制限を課すことは確かである。22nm ノードに関して改訂したパッケージ CDM マップを図 19 に示す。

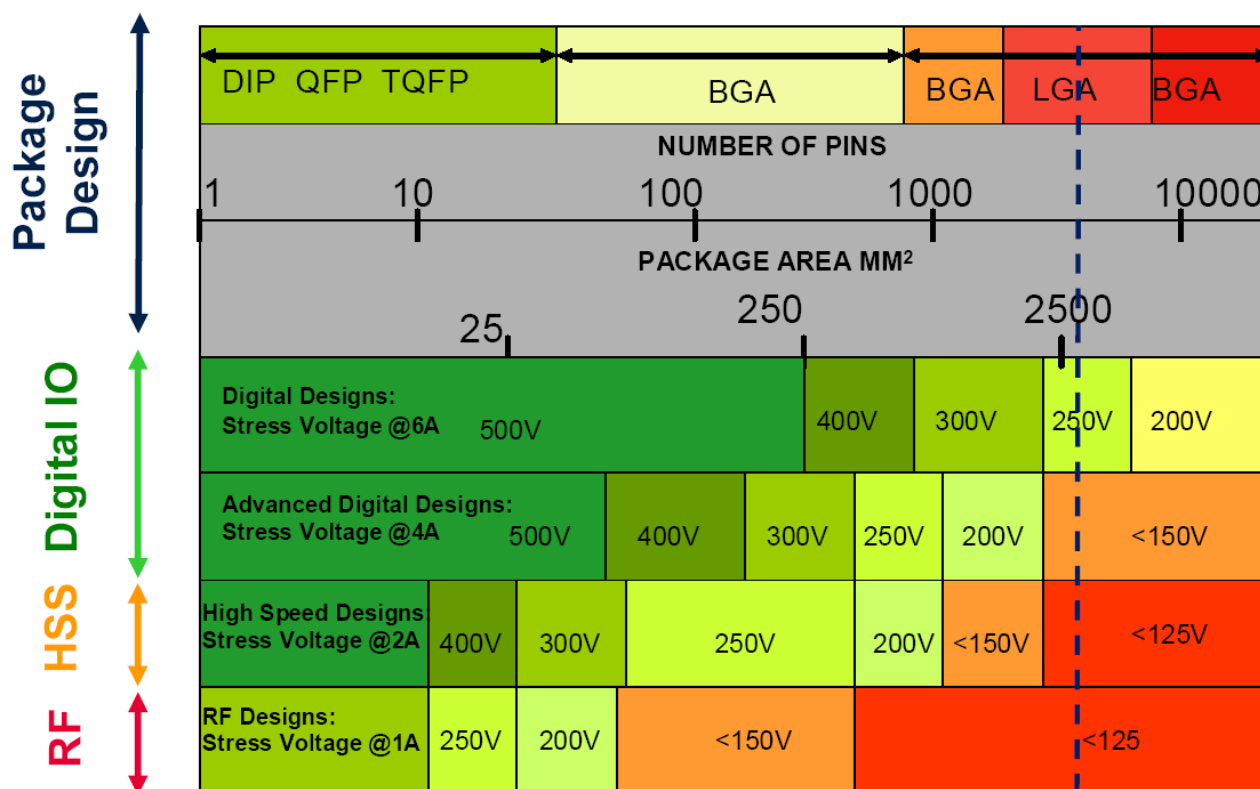


図 19. 22nm の設計に対して予想する CDM パッケージ・マップ。1000 ピン、又は面積 1200mm² 超の製品は、全ての HSS 及び、RF 設計では CDM 合格電圧は 150V より低い電圧に制限されることが予測される。

References

- [1] H. Gierser, M. Haunschild, "Very fast transmission line pulsing of integrated structures and the charged device model," IEEE Transactions on Components, Hybrids and Manufacturing Technology, pp. 278-285, 1998
- [2] R. Merrill and E. Issaq, "ESD Design Methodology" Proc. EOS/ESD Symposium, pp. 233-237, 1993.
- [3] S. Dabral, R. Aslett and T. Maloney, "Core Clamps for Low Voltage Technologies," EOS/ESD Symp. Proceedings, 1994.
- [4] E. R. Worley, R. Gupta, B. Jones, R. Kjar, C. Nguyen and M. Tennyson, "Sub-micron Chip ESD Protection Schemes which Avoid Avalanching Junctions," Proc. EOS/ESD Symposium, pp. 13-20, 1995.
- [5] M. Stockinger, J. W. Miller, M. G. Khazhinsky, C. A. Torres, J. C. Weldon, B. D. Preble, M. J. Bayer, M. Akers, and V. G. Kamat, "Boosted and Distributed Rail Clamp Networks for ESD protection in Advanced CMOS Technologies," in Proc. EOS/ESD Symp., pp. 17-26, 2003.
- [6] S. Mitra, R. Gauthier, A. Salman, C. Putnam, S. Beebe, R. Halbach, C. Seguin, "I/O Architecture For Improved ESD Protection In Deep Sub-Micron SOI Technologies," in Proc International SOI Conference, pp. 37-38, 2006
- [7] M. Mergens, C. Russ, K. Verhaege, J. Armer, P. Jozwiak, R. Mohn, B. Keppens, C. Trinh, "Diode-triggered SCR (DTSCR) for RF-ESD protection of BiCMOS SiGe HBTs and CMOS ultra-thin gate oxides," in Proc IEDM pp. 21.3.1-21.3.4, 2003
- [8] J. Li; R. Gauthier, K. Chatty, S. Mitra, H. Li, "Capacitance investigation of diodes and SCRs for ESD protection of high frequency circuits in sub-100nm bulk CMOS technologies," in Proc EOS/ESD Symposium, pp. 4A.2-1 – 4A.2-7, 2007
- [9] J. Di Sarro, K. Chatty, R. Gauthier, E. Rosenbaum, "Evaluation of SCR-Based ESD Protection Devices in 90nm and 65nm CMOS Technologies", in Proc International Reliability Physics Symposium, pp. 348-357, 2007.
- [10] J. Di Sarro, K. Chatty, R. Gauthier, E. Rosenbaum, "Study of Design Factors Affecting Turn-on Time of Silicon Controlled Rectifiers (SCRs) in 90 and 65nm Bulk CMOS Technologies," in Proc International Reliability Physics Symposium, pp. 163-168, 2006
- [11] M. Mergens, O. Marichal, S. Thijs, B. Van Camp, C. Russ, "Advanced SCR ESD protection circuits for CMOS/SOI nanotechnologies," in Proc Custom Integrated Circuits Conference, pp. 481-488, 2005.
- [12] Industry Council on ESD Target Levels, "White Paper 1: A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements," August, 2007, http://www.esda.org/documents/WhitePaper1_HBM_MM_2007.pdf
- [13] D. Edwards, "High Performance IC Package Design and ESD Reliability," EOS/ESD Symposium Proceedings, 2003.
- [14] A. Jahanzeb, Y-Y. Lin, S. Marum, J. Schichl, C. Duvvury, "CDM Peak Current Variations and Impact Upon CDM Performance Thresholds", Proc. EOS/ESD Symp. 2007, pp. 283-288

謝辞

筆者達は、設計シミュレーションに関する Freescale 社の Melanie Etherton 氏の優れた援助、パッケージの CDM ピーク電流に関する Texas Instruments 社の Agha Jahanzeb 氏の広範な援助、そして、容量値の抽出に関する、IBM 社の Junjun Li 氏のサポートに、感謝します。

第3章：組立ラインに於ける CDM 関連の ESD コントロール

Reinhold Gaertner, Infineon Technologies

Ron Gibson, Celestica

John Kinnear, IBM

人体モデル（HBM）及び機械モデル（MM）に対する半導体デバイスの ESD 強度の動向はより低くなる方向を示している[1]。多くの会社で、このような感じやすい（壊れやすい）デバイスを取り扱う事は出来ないという一般的な懸念を感じている。しかしながら、もし、組立ラインに ESD 保護手段を、ANSI/ESD S20.20[2]または IEC 61340-5-1[3]などの国際スタンダードに従って設定すれば、これらのデバイスを HBM や MM ESD（文献[4]も参照）による不利な影響なく取り扱う事ができる。両スタンダードの 2007 年版は、“100V 以上の人体モデル ESD により壊れる可能性のある電気または電子部品、組立品及び装置（ANSI S20.20 より抜粋）”の安全な取扱いのために多少修正し、規則を加えている。

従って、もし、上記国際規格のどちらかに従う ESD プログラムを導入すれば、人体モデル、および機械モデルに係る ESD 破壊を心配する必要はない。しかし、HBM/MM 的な危険は組立ラインで見られるリスクの中の 2 つだけに過ぎない。ESD に敏感なデバイスまたは印刷回路基板（PCB）が帯電し、その後、激しく接地される、これはデバイス帯電モデルの ESD 事象を引き起こすのだが、事を防止する事も同様に必要である。ESD アソシエーションの半導体に関するテクノロジー・ロードマップは CDM 強度の動向チャートも提供している。

CDM 的な ESD 危機を避けるには国際スタンダードは何を要求しているのか？HBM のための基礎的な ESD 保護手段の多くは、特別の CDM 保護手段とは呼んでいなくても、CDM 関連問題に対しても保護をする。このような例は、リスト・ストラップやテーブル・マットである。もし、操作者が接地されていないと、放電によって直接破壊させる事は無くても、彼はデバイスまたは PCB に電荷を誘導する可能性がある。しかし、このデバイスまたは PCB を金属表面に置くと、CDM 的な放電によって、壊れる可能性がある。他方で、接地した静電気拡散性のテーブル・マットは製造領域にある種々の物体の間の危険な電位差を防止し、更に、帯電したデバイスの激しい放電を防ぐ。従って、CDM 保護手段である。このような例は数多く見受けられる。図 20 は状況を総括している。ここでは、基礎的な CDM 保護はすでに、基礎的な ESD 保護プロセスの一部であり、世界中の大多数の EPA（静電気保護区域）内に存在している。

CDM に特有の保護としては、国際スタンダードは、高電圧に充電され可能性がある、必須でない、絶縁物を除去する事を要求し、プロセスに関係している絶縁物をいかに取り扱うかの手法を要求している。

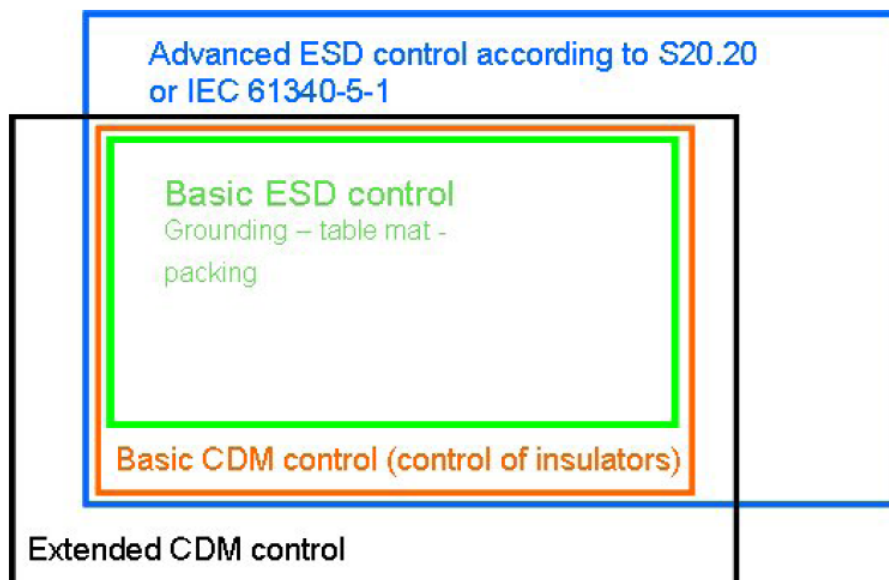


図 20. 一般の ESD コントロールと CDM に限ったコントロールの間の関係

3.1 CDM 保護に関する基礎的な考え方

多くの組み立て工程は帯電を引き起こす。しかしながら、帯電のみであれば、危険ではなく、防止も常には出来ない。従って、帯電デバイス／ボードの激しい放電が現実には破壊させている状況を、全ての個々の工程ステップに対して、詳細に分析しなければならない。

CDM 的な危険を分析するには、基本的に、いくつかの方法がある。いくつかの手法はすでに発表されている（[5–7]）ので、CDM 的なリスク、又は、それぞれの製造ラインの工程能力を分析するためのガイドラインを最終ユーザに提供している。これらの手法の基本的な考え方は図 21 に示してある。

各々の測定は下記 3 つの主な質問に回答する：

1. CDM に関して、保護する事が出来るプロセスは何か？

注：デバイス・レベル試験時に決まる CDM 強度の値が、たとえ、直接比較できなくても、我々は、経験的に、測定した帯電値が CDM 強度の値を越えなければ、自動ハンドリング問題は通常ない事を知っている。

2. プロセス内で ESD 問題が起きている領域はどこか？そして、それは、CDM 感度の良いデバイスに対して、いかなるリスクを与えるか？

3. 敏感な品目に対する CDM リスクのコントロールのためにプロセスに対するある変更がいかに効果があるのか？

以下の節では、CDM 的な破壊を回避するために、工程を分析する方法の例を示す。

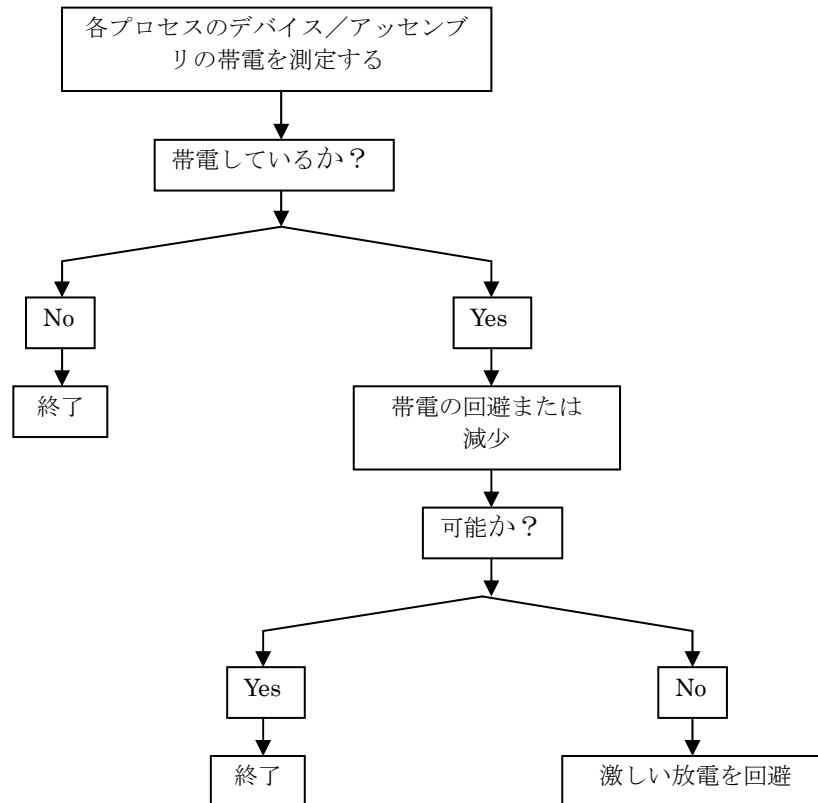


図 21. CDM リスク解析のフロー

3.2 工程に関連したリスク解析

デバイスや PCB の帯電を調査する時に、その帯電値がその物体に対して危険であるかどうかも同時に考慮すべきである。つまり、帯電した物体が、グランド（または異なる電位にある他の導体物体）と接触する（これが、帯電した物体に対する、危険な、激しい放電（CDM 的な事象）であるが）可能性があるかどうかを分析しなければいけない。それが事実でなければ、この帯電は通常物体の破壊を引き起こすことはない（帯電物体による粒子の吸着等の静電気的問題はここでは議論しない）。

結果的には、全ての各工程ステップに対して、以下の問いを発し、分析する事になる。

- 製造している物体の帯電があるか？
- 現在の、または次の工程で激しい放電の機会があるか？

もし帯電がなければ、激しい放電の可能性はない。激しい放電がなければ、普通は、CDM 破壊の可能性はない。

3.2.1 理論的な取り組み方

上記を、代表的な PCB 組み立てラインで起こりうる簡単な例に関して説明する。

1) 帯電していない PCB を工程ステップ A から工程ステップ B へ、コンベアに乗って、閉じたトンネル内を運ぶ。トンネル内を見ることができるよう、カバーは透明な材料で作ってある。コストを抑えるために、このカバーは絶縁性の、非常に帯電しやすいプレキシガラス（Plexiglas）で製作していた。（最

初は帯電していなかった) PCB が、高く帯電したプレキシガラスの下を移動する間、プレキシガラスの静電界が PCB 上の複数の導体部分で電荷の分離を生じる。この段階では、PCB は壊れない！もし、PCB と金属と接触することなく（または近隣の金属片との間で火花放電することなく）帯電したトンネルから出てくれば、電荷は再結合し、帯電のない、壊れていない PCB が、次の工程ステップに到着する。

注：接地した、静電気拡散性カバーを使うとカバーの帯電は防止でき、従って、電界誘導による電荷の分離は阻止できる。これによりリスク分析はずっと容易になるが、絶対に必要というわけではない。

2) 同じ帯電していない PCB が、工程ステップに到着し、そこで帯電した状態で放置される。可能性の有る例としては、帯電したバーコード・ラベルを PCB に貼付する、または、PCB を棒によって決まった場所に保持、または、コンベアの端で、コンベアが動いているのに PCB を停止させ、摩擦により PCB を帯電させるなどがある。これらの工程では、PCB は数百 V に帯電する。もし PCB 上の金属部品（例えばコネクタ、金属線）が相互に接触していなければ（または、接地した導体物体に接近しなければ）、激しい放電（または火花放電）のリスクはなく、この工程は、帯電の有無にかかわらず、“安全”と見積もることができる。追加して、次の工程ステップで、この PCB に何が起こるかを決めておくことが必要である。もし、この PCB が、ゆっくりと制御された方法で（例えば、リフロー半田の温度または、マガジン内での保存中の相対湿度によって）放電される工程に行くのであれば、それ以後の測定は不要である。帯電した PCB が、他の導体と接触する工程（例えば試験のため）へ直接移行するなら、以後の最初の接触が起きる前に、（例えばイオナイザを使って）電荷を除去しなければならない。

3) 同じ帯電していない PCB が今度は、工程中に帯電し、その直後に接触する、例えば、帯電事象の直後に激しい放電が起こりうる、そんな工程に来る。この場合には、確実に CDM 的な ESD 事象のリスクが存在する。代表的な例では、インサーキット・テスト (ICT) がある。PCB はきわめて多くの場合、高度に帯電しやすい材料で製作したプラスチック・ピンで押し下げられる。この帯電は、PCB に誘導で移動する。電氣的測定の間、PCB には、多くの金属のポゴピンが接触し、PCB からテストへ激しい放電が起きる。

注：このような閉じた工程ステップが非常に重要なのは、PCB は工程の前後では帯電していないので問題が見落とされる可能性があり、それにも拘らず、この工程内で破壊するからである。

表 III は PCB 又は制御ユニットの代表的な組立ラインに於ける異なる工程ステップ内で起こりうる ESD リスクを示す。また、標準の工程ステップでのリスクの概観を与え、更に、工程に関係したリスク分析の方法も示している。

表 III をいかに使うかを、ESDS (ESD sensitive device、ESD に弱いデバイス) 部品を PCB 上に置く工程を例として説明しよう。異なる 2 つの ESD リスクが起こりうる。

- i) 前のプロセスで PCB が帯電し、ESDS へ放電する
- ii) 接地しない、または、絶縁性のピックアップ工具（吸着カップ）を使って取上げて置くために、ESDS が帯電し、それが、PCB に対して放電する。これは、多くの他の部品が既に PCB（容量が大きい）上に置いてある場合に、特にリスクが高い。

いずれの場合も、帯電電圧を静電電圧計で測定しなければならない。ケース i) の場合は、ボード、特にボード上の金属配線が帯電しているかどうかを知るために PCB を測定しなければならない。もし帯電電圧が高すぎる場合には、イオナイザを使って、それを下げなければいけない。

ケース ii) では、デバイスが吸着カップで保持されている間の帯電具合を測定するのがベストである。もし、組立中の測定が不可能なら、空の吸着カップをパークの位置で測定し、これから、デバイスの電位を得る必要がある。これも不可能なら、最低限、吸着カップのグラウンドに対する抵抗を測定すべきである。

帯電電位が高すぎる場合には、静電気拡散性で、かつ接地した吸着カップを使用すれば、状況が改善される。追加して、イオナイザが必要になるかもしれない。

表 III（そして、もちろんそこに示していないその他）に示した、その他の工程ステップに関して、CDM に関する ESD リスクの分析は常に、上と同様に実行しなければならない。

- デバイスまたは PCB の高電圧帯電があるかどうかをチェックする
- 帯電したデバイスまたは PCB の激しい放電のリスクがあるかチェックする

いちばん良いのはこのような工程に関連したリスク分析を、個々の工程の工程エンジニアと一緒に実施する事である（工程エンジニアはその工程がどのように動いているか説明できるし、また、必要なら、シングル・ステップ・モードで動かすこともできるでしょうから）。このようにして、実環境に於ける必要な測定が全て、可能となるのである。

表 III. 代表的な PCB 組み立てプロセス・ステップ内の ESD リスクの可能性

工程ステップ	可能性のあるリスク	試験法	対処法
ESDS でない部品（抵抗、容量など）の設置	ESDS でない部品の多くは帯電しやすい包装材で輸送されるので、これらの部品を載せる時にボードが帯電する	静電電圧計を使ってボードの帯電電位を測定	ESDS でない部品を乗せた後で、イオナライザを噴射
ESDS（個別、IC）の設置	i) 前の工程でボードが帯電し、ESDS へ放電する	静電電圧計を使って、ボードの帯電を測定する	ESDS を載せる前に、イオナライザを噴射（状況特有の制限がある）
	ii) 接地しない、または絶縁性の吸着カップを使う事により、持ち上げ時に ESDS が帯電し設置時に、ボードへ放電する	a) 吸着カップで IC を保持している時の IC の電位を測定する b) 吸着カップの電位を測定する c) 吸着カップとグラウンド間の抵抗を測定する	接地した、導電性／拡散性カップを使う。もし必要なら、電位を下げるためにイオナライザを使用する
リフロー半田付け	ピンに対する金属の接触がなければ、リスクはない。高温のため、帯電は減少		
インサーキット・テスト (ICT)	下部の支持ピンと透明カバーの一方又は両方が非常に帯電しやすい材料で出来ている場合が多い。特に前者は ESDS の壊れやすいピンに極めて近く、ESDS に電荷を誘導する。下側からのポゴピンの接触時に激しい放電 (CDM 的な事象) が起こりうる	ボードの帯電を静電電圧計で測定	下部支持ピン、プラスチック・カバーの一方又は両方を拡散性材料に変更し、共に接地する。 2 段階ポゴピンを使用。
最終テスト	テストの実施方法によっては、ボードの帯電、その後のテスト側への、激しい放電が起こりうる。	静電電圧計を使ってボードの電位を測定	イオナライザを使い帯電を回避、又はその他の適切な測定（実際の工程に依存）
リワーク・ステーション	操作者、非接地工具（半田ごても含み）による通常の ESD リスク。デバイスの収納箱は、非拡散性材料の場合が多い	静電電圧計を使って、ボード・操作者の電位を測定	ESD 保護材料を使いそれらを（こて先も）接地する。（リミット値 < 1 MΩ）
内部輸送及び包装（特に最終テスト後）	非拡散性包装材料の使用による帯電リスク。包装時の通常の取扱によるリスク	包装材料をチェック（帯電又は抵抗を測定）、取扱手法をチェック	

3.2.2 フィールドでの例

最近の経験で、実際の CDM 破壊（すなわち、デバイスの激しい放電によって起きる破壊で、認証試験時に見られるのと同様の破壊）が主として、半導体の製造及びテスト中に発生している事が分かっている。しかし、CDM および CDM 的破壊は、半導体製造工程の外部でも発生している。例えば、CDM 破壊は、印刷回路版（printed circuit board、PCB）の組立作業中に起きる。PCB 全体（またはその一部）が帯電し、その後放電すると、いわゆる、ボード帯電事象（charged board event、CBE）に起因する破壊が発生する。この CDM 的な破壊は、CDM とは違った、より激しい破壊モードとなる。しかしながら、CDM 的な破壊の状況は CDM 事象と関係があり、いずれの製造工程内の破壊のタイプまたはハンドリング工程のコントロールに使用するテクニックは同じである。

CDM 及び CDM 的破壊の 4 つの例を以下の節に述べる。

自動半導体試験の間の CDM 破壊

図 22 は BGA-293 パッケージに入ったデバイスの破壊比率の動きを示している。この素子の CDM の強さは、250V で、分析結果では、破壊したデバイスは、CDM に似た破壊痕跡を示した。この製品は、IC 供給者のテスト室で、新製品の立ち上げ時に、高い不良率を示した。解析の結果、これらのデバイスの破壊痕跡は CDM 認証試験時にフェイルしたデバイスのものと同じであった。この破壊の根本原因はテスト中の高電圧帯電（1000V までの）であった。デバイスの背面のモールド合成物を支持するための絶縁ネストによる誘導であった。ハンドリング工程の評価により問題が見つかり、試験ハンドラの小規模なしかし効果的な改良（拡散支持材料）によって解決できた。直後より、安全な生産に復帰した。デバイスの再設計は必要ではなかった。製造でも、フィールドでも、それ以後の問題はなく、製造、出荷が続いた。

立ち上げ段階に時折起きる、特定のハンドリング・ステップに起因する問題は、デバイスがより高い CDM 強度（1000V 以上）を持っていても発生する事がある。

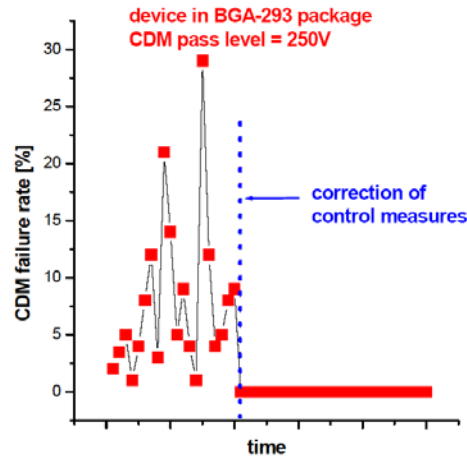


図 22. CDM 型の破壊が新製品の立ち上げ時に時折起こる。CDM のコントロール手段を修正する事により、安全な製造を回復でき、以後、問題は出なかった。

手動半導体試験中の CDM 的な破壊

セラミック PGA パッケージの、ESD に感じやすいデバイスに関するフェイルが半導体の後工程で発生した。操作者の接地等の“標準の” ESD 保護手段は導入済で、定期的にコントロールされていた。全ての工程ステップの詳細な分析[8]の結果、試験工程にフェイルの根本原因があると結論が出た。デバイスを試験のために ZIF ソケットに手動で出し入れするたびに、ソケットを頻繁に開閉しなければならない。この操作でソケットのプラスチック部品が相互に擦れ合い、ソケットが 1000V 以上に帯電した。これがデバイスに誘導で転送され、デバイス内部で電荷の分離が発生する。(レバーを閉じて)ソケットを完全に閉じると、デバイスの(帯電した)ピンがテストの接触スプリングに挟まれ、激しい放電を起こす。

注：この問題は帯電防止スプレーを各シフトの初めに使用する事によって解決し、帯電は劇的に減少した。

自動車制御ユニットの組み立てラインに於ける CBE 破壊

CDM 強度 500V 超のデバイスを、自動車のエアコン用制御ユニットに使っていたが、PCB の組み立て中に CDM 的な破壊を起こし、自動車に組み込んで(0km)、フィールド(最終ユーザー)で発見された。全て、トランジスタのゲート酸化膜の損傷であった。

オペレータ、テーブル、内部輸送箱等の接地のような標準の ESD 保護措置が完全でなかったが、この事で、観察された系統的な不良を説明できなかった。表 III を使って行った工程に関係したリスク解析では、部品の搭載、半田付け、または ICT に於ける、最初の組み立て工程では(問題)は発見できなかった。2 番目の試験ステップで、10 枚の PCB を保持する金属のフィクスチャを、測定のために、他と絶縁して持ちあげなければならなかった。静電電圧計を使って帯電電圧の測定を実施すると、フィクスチャと、ヒートシンクを介して金属的にフィクスチャに繋がっている 10 枚の PCB は、数 100V に帯電していた。電気試験のために、PCB と、テストの(金属性)ポゴピンが、トランジスタのゲートに直接接触するように接触し、10 枚全ての PCB の激しい放電が生じていた。帯電電圧と放電電流によって、破壊は、直ちに、走行前(0km)で、又は、最悪の場合、その後フィールドのみで検出された。

この工程ステップの分析過程で、各々の工程エンジニアとともに、修正処置を明らかにする事が出来た。この処置は、元の工程の性能を妨害する事はなかった。フィクスチャを $10\text{M}\Omega$ の抵抗で接地したのである。この抵抗はテスト中絶縁するに十分高く、持ち上げている間、フィクスチャの帯電を抑えるに十分低かった。

PCB が電氣的テストの前後の工程ステップでは電氣的に中性であったので、詳細な分析を必要としたケースである。

携帯電話製造ラインに於ける CBE 破壊

携帯電話の PCB で、ミックス信号デバイスが使用され、製造過程で高い不良率が見られた。オペレータの接地、作業卓面の接地、 ESD 保護包装の使用などの“標準の” ESD 保護措置を分析し、改善したが、問題の解決には至らなかった。工程に関係したリスク分析を実施し、破壊の根本原因が見つかった。IC の（PCB 上への）設置から破壊が見つかった最初の測定までの工程ステップをチェックすれば十分であった。設置、リフロー・ソルダリング、テスト自身の工程を除外した後に、破壊はリフロー・ソルダリングとテストの間で起きているに違いないと結論出来た。この間の唯一の工程ステップは、出来上がった PCB にバーコード・ラベルを貼って金属フィクスチャ（PCB を機械的に固定するために使用する）より PCB を押し出すものであった。

可能性のある、帯電及び放電事象の分析により、絶縁性バーコードの PCB への自動貼付の間に数 100V に帯電する事が見つかった。この帯電は、破壊の根本原因では断じてなかった（帯電の直後にソフト放電を実施して、再テストする事により実証された）。しかしながら、PCB を、接地した金属針を使ってフィクスチャの外へ押し出す時に、針が PCB の印刷配線に接触し、その印刷配線が、ミックス信号デバイスの破壊したピン（図 23 を参照）に直接つながっていた。

この接触が激しい放電を招き、デバイスを壊した。これを、組立ラインで（帯電した数枚のバーコード・ラベルを使って）帯電させ、放電及びその直後の電氣的再テストによって実験的に評価した。

注：破壊の根本原因を発見するには、工程に関係したリスク分析の前に“標準の” ESD 保護措置を導入する事が不可欠でしょう。

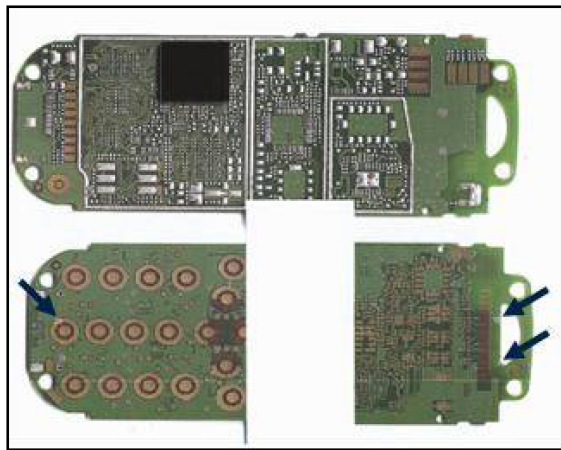


図 23. PCB 上の印刷配線に金属針が接触した場所を矢印で示している

3.3 プロセス能力と移行分析

上述したリスク分析は単一の工程に注目しており、帯電の可能性がどこから来るかは考慮していないのに対して、プロセス能力と移行分析（Process Capability and Transition Analysis、PCTA）は工程を全体的に捉え、帯電が、一体、有るのかを解析し、工程の逸脱により、放電に帰結する可能性があるかどうかを理論的に導く。それに加えて、これは、HBMおよびMMに関係した問題も、工程ステップ間の過渡状態をも見ている。詳しい事は[7]に記載されている。以下の事柄が含まれている。

1. 工程のクリティカル・パスを定義して、重要な工程要素及びそれらの過渡点を見極める
2. 過渡点の測定を行う
3. 発見した事を要約する

3.3.1 工程のクリティカル・パスを定義する事

クリティカル・パスは一連のタスク（例えば、清掃、スクリーニング、部品の追加などの）で定義され、その各々は 1 つの製品を仕上げるために完結していなければいけない。下記の例の中では、工程のクリティカル・パスは Receiving（受け入れ）で始まり、Shipping（出荷）で終わる。

タスクは 2 つに分類できる。

- 工程の機能（全ての組み立て及びテスト操作に関係する）
- 移動すなわち 1 つのタスクから、他のタスクへの輸送

プロセス移行点は製品が工程内で変化する時（例えば、ボードが手動転送操作から選別コンベア上に移される）に発生する。移行点は、ESD 事象の発生源となる可能性のある場所で、工程解析中、特別な注意をすべき場所である。

図 24 は PCTA の学習のための基礎的な工程を図示しており、人による輸送と自動機械のタスクで構成している。このプロセスは基本的に、次のものを含んでいる。

1. ボードへの（半田ペーストの）スクリーニング操作
2. 部品の実装
3. リフロー

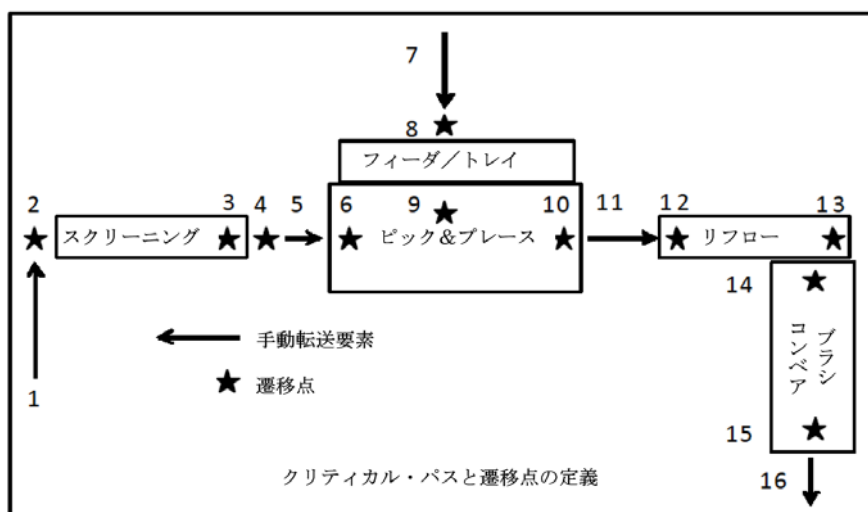


図 24. クリティカル・パスの特長と、移行点の見極め

図 24 のクリティカル・パスの詳細な分析により、下記の移行点が明らかになる。

1. ペア・ボードのスクリーニング機への手動輸送
2. スクリーニング機への手動挿入
3. スクリーニング機がハンダペーストを塗布
4. ボードを手動で取り出し、検査
5. 選別されたボードを手動でピック&プレイス／SMT 機械へ転送
6. ボードを手動で装着機械へ挿入
7. デバイスを手動でフィーダ（供給装置）に転送
8. デバイスを手動でフィーダ（供給装置）に挿入
9. デバイスをフィーダから自動的に転送し、ボードに装着
10. ボードを自動ピック&プレイス装置から手動で取出し検査する
11. ボードをリフローへ手動転送する
12. ボードを手動でリフロー・コンベアに載せる
13. ボードはリフローを自動的に通過する
14. ボードはブラシ・コンベアでリフローから出る
15. ボードは、リフローのブラシ・コンベアの終端に蓄積
16. ボードを手動で取り上げ

全ての工程ステップを記述したら、PCTA の次のステップは、クリティカルな移行点の測定である。

3.3.2 移行点の測定

移行点を測定する目的は、工程のその箇所の HBM、CDM または MM 事象を引き起こす条件を評価することである。それから、数値を直接比較はできないかも知れないが、ESD に敏感なデバイスの閾値に係するであろうから、それらの ESD 事象の電位の大きさを測定する。

測定は、その移行点で ESD 事象が発生するであろうことを明らかにする事はないかもしれない。むしろ、組立品が工程内のある特定の点で充電され、しばらく後に放電する事を示すかもしれない。または、組立品が、どうして充電されるかを示す可能性もある。適切な分析によって、もし放電が生じた時にその組立品が受ける、可能性のある ESD 事象のタイプを得る事ができる。

この目的のために、測定には下記が含まれる：

1. ESD に敏感なデバイスや半組立品の静電電圧または電荷条件
 - a. 過渡的な要素の前
 - b. 過渡的な要素の後
 - c. 過渡的な要素の経過中のいくつかのケース
2. 機器、要員、操作面及び材料の静電電圧又は電荷条件及び機器のグラウンドへの抵抗
 - a. ESDS デバイスと組立品を直接接触させるか、または
 - b. 工程フローの近辺又は内部、及び、移行点で、静電界を生じる
3. 帯電したデバイスまたは物体の放電波形を確認する

文献[7]には、全ての種類の ESD リスクを分析する新しい測定、伝統的な測定を詳細に記述している。ここでは、下記のものへの寄与に焦点を当てている。

- 後で CDM 事象に至る人体からの充電
- デバイスのトレイ、バッグ、テープ、リール等のデバイスを扱う材料や補助器具などが ESDS デバイスに電荷を転送する可能性
- ESDS デバイス、半組立品、コネクタ等、CDM 事象の可能性のあるもの
- FIM（電界誘導モデル、Field Induced Model）の評価のための、クリティカル・パス内、及び自動機械内での電界測定

3.3.3 工程の特性と過渡的な分析の実施

図 24 の工程ケース・スタディ図は、下記より構成されている。

- 5 名の人員による移送とハンドリングの移行点
- 回路基板への半田ペーストのスクリーニング
- フィーダへの装填
- ピック&プレイス機械内で部品を回路基板上に設置
- リフロー

ボードが電荷を帯びる可能性のある最初のタスクはスクリーニング操作である。これは、次の 3 つの、鍵となる遷移点で構成される。

- オペレータは手でボードをスクリーナの中に装着する
- スクリーニング後、オペレータは検査のためにボードを取り出す。
- 部品は手動でピック&プレイス（SMT）に輸送される

高インピーダンス接触型電圧計を使って、スクリーニング工程（図 25）の前後にボード上の導体の電圧を測定する。スクリーニング前の電圧は 20V 未満であった。スクリーニング後のボードの導体要素は 440V 以上と測定された。

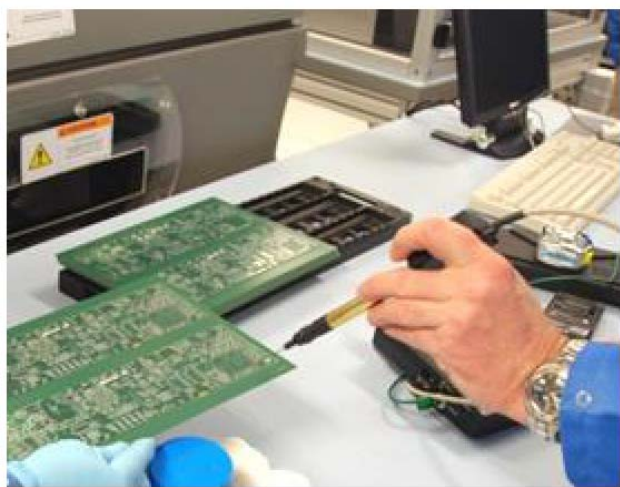


図 25. 高インピーダンス接触電圧計で PC ボードの導体を測定

スクリーニングの要約を下記に示す：

- スクリーニング工程はボードの導体部を 440V を越える電圧に充電する
- この電荷は、もし除去しなければ、その後の取扱又は、デバイスを取り付ける時に、CDM ESD 放電源となる可能性がある
- この図の調査では、後の工程での放電リスクを減じるために、イオナイザを使ってボードの電圧を下げる事を薦めた。

ピック&プレース (SMT) 工程：

SMT 工程では下記のいくつかの項目を評価する必要がある：

- 設置機械に供給するデバイスのトレイ、テープ、リール
 - これらのパーツは材料又は工程によって帯電し、その後、CDM 事象を引き起こす可能性がある？
- 設置機械はボードに置く前に部品を帯電させるか？
- 工程内にデバイスまたはボードに電荷を誘導する絶縁物があるか？

結果的に、この部分の工程は 2 つの部分に分割しなければならない：フィーダの遷移点の分析と設置機械の分析である。

フィーダの遷移点の分析

フィーダには、手動で運んだデバイスが装填され、その後、そのフィーダは、SMT 機械に部品を供給するために機械に取り付けられる。装填された後、トレイ及び個々のデバイスを接触電圧計で測定し、輸送によって生じた電圧が、フィーダ内に取り付けた後に消散してしまわないかどうかを決定する。

設置の遷移点の分析

ピック&プレイス・プロセスの設置の分析は下記を含む：

- スクリーンしたボードを手動で機械内に置く
- コンベアでボードを指定位置へ動かす
- 機械が IC やその他の部品をピックアップしてそれをボード上に置く
- コンベアがボードを機械の出口へ運ぶ

設置での関心事は下記の ESD 問題の可能性を含んでいる：

- 設置の近傍での静電荷の発生 (FIM)
- 絶縁した設置ノズルの帯電及びその他の導体物体の帯電 (MM)
- ピックアップ工程から帯電した部品
- フィーダ工程で部品がピックアップ以前に帯電しているかどうか、既に測定した事に注目
- 帯電した部品から導電性の半田ペースト又はソケットへの放電 (CDM)

等価フィールド電圧測定に関する考察

機械のガード、プラスチック窓、圧搾空気ホース、その他の補助材料から放射する静電界に関する SMT 機械の評価を行うために、回路基板に見立てた特殊なキャリア (図 26) を使う事ができる。

このキャリアは約 21.6 x 27.9 cm (8.5 x 11.0 インチ)で、携帯型 CPM (チャージ・プレート・モニタ) 及び電池式記録装置の代わりに搬送できる。このキャリアをコンベア装置で、機械内部を移動させ、CPM が電界を測定し記録装置が後の確認用にデータを記録する。

CPM プレートは 15.6pF で、デバイスとは異なる誘導電圧を観測する。関心事は、測定した電圧とデバイスの(ESD に対する)感じやすさ及び寸法 (容量) を関連付けることである。取り組みの 1 つとして、15.6pF を ANSI/ESD STM 5.2 CDM スタンドアードの校正基準容量、4 と 30pF の中心点と考える。しかしながら、これらの容量値はデバイスの容量を表してはおらず、単に基準である。この特殊な CPM を使って、SMT 装置内部で測定した電圧は 12V 未満であった。



図 26. 携帯型 CPM と記録装置を伴う計器キャリア

CDM 測定オプション

SMT 機械内部での CDM の問題の可能性を測定する選択肢としては下記の 2 つが明白である。

第 1 の選択肢は、クリティカルなデバイスをピックアップし、デバイスの設置前で、ボードへの設置の十分上で機械を止めるようにプログラムする。そして、デバイスの導体部を接触電圧計で測定し、この値を ESDS デバイスの CDM 破壊電圧と比較する。

第 2 の選択肢は、上記のキャリアを携帯型 CPM と記録装置と一緒に使用し、デバイスの設置場所に置く。ここで、デバイスをプログラムした設置機械 (図 27) を使って、CPM の上に置く。デバイスの電圧は CPM と分配され、記録計に残されるので、これを後で分析する事ができる。

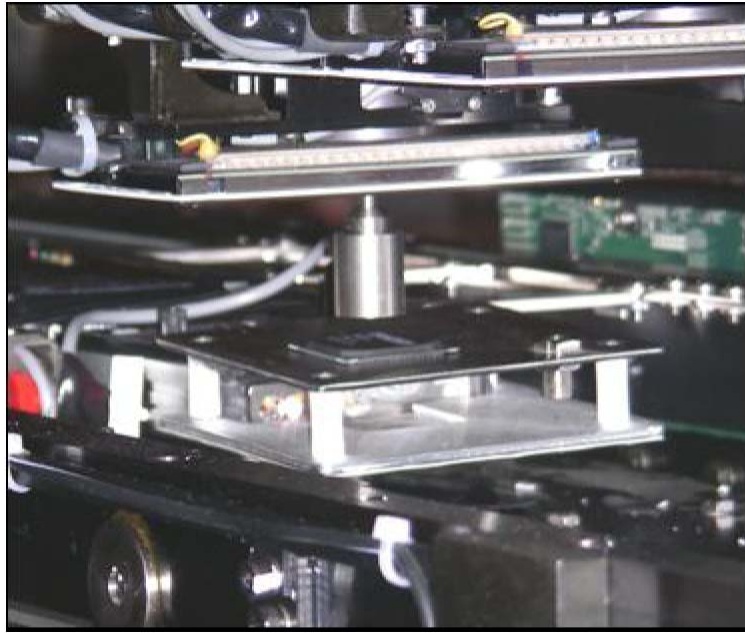


図 27. 携帯型 CPM でバスの電荷の共有状況を測定

下記にフィーダと SMT 機械の分析の要約を示す：

- フィーダとトレイが適切に接地されれば、部品は帯電しない
- 静電界は問題にはならない。CPM により 50V に達しない事が計測出来た。
- IC のハンドリングによるデバイスの摩擦帯電、または誘導電圧は問題にならない。デバイスが接触する場所で、CPM 測定電圧は 50V に達しない

図示したケース・スタディでは、裸の回路基板はスクリーナで 440V 超に帯電した。このボードは放電（除電）することなく、電荷を発生しない人員によって、350V を越える電圧をボード上に持ったまま、SMT に移送された。SMT の出口では、リフローに転送された時にはボードの電位は 290V を越えていた。

リフロー工程

リフロー工程は下記を含む

- ボードを金属コンベア上に手で乗せる。
 - 図示した調査ではボードはまだ 200V を越える電圧に帯電していた事に注目
 - このシステムは機械のフレームに接地する金属線コンベアを有している
 - 第 1 の関心事：帯電したボードと接地された金属コンベアの間で放電が起きているか？
- リフローが終了したらコンベア装置はボードを集める

ボードの装填

導体表面への設置の前後に接触電圧計でボードの電圧を測る事で、下記の事が明らかになるでしょう：

- ESDS の組み立て品が、接触で放電（CDM）するか
- 組立品が接触時に導体によって帯電するか（MM）

リフロー後の集積コンベア

図示した調査では、ボードがリフローを出るときは導体の電位は 10V 未満で、その後、回転しているブラシ・コンベア（図 28）に移送される。ボードはコンベアの終端まで移動する。このブラシ・コンベア装置は、摩擦を調節可能な形態で動作する。もしボードが停止すると、摩擦が増え、ブラシの回転が止まる（適切に調節してあれば）。図示した調査ではブラシが回転し続けるとボード上に 525V を超す電圧を発生し、清掃、テスト工程への手動輸送へと移行する事になる。



図 28. 制御なしのブラシは、基板上に 500V を越える電圧を発生する

リフロー分析の要約は以下の通り。

- リフロー・コンベアの装填時に検出する放電
 - リフロー・コンベアに入る前にボードが 200V に帯電していた
 - 問題解決のためにリフローへ移行する前にボードに対してイオン化した空気を吹き付け
- リフローの出口のコンベアはボードを 500V 超まで充電する
 - 接地したオペレータへ放電の可能性あり、または、次の工程で放電
 - コンベア装置の変更、またはリフロー後にイオナイザを追加

工程の特性と過渡的な分析の結果の要約

図示した工程の特性の分析スタディ（表 IV）の基本的な要約では、問題領域、電圧測定、可能性のある放電事象のタイプ、および工程が仕様の範囲内かどうかを示している。

表 IV : PCTA の図解スタディの、工程分析の要約

工程ステップ	入りの電圧 (V)	出の電圧 (V)	ESD モデル	仕様以内？
スクリーナ	40	268－441	CDM	No
SMT 設置	216	95－200*	CDM/MM	No
SMT フィーダ	0	<50	CDM	Yes
リフロー	>200	>500	CDM	No

*注：スクリーナ操作からの残留電圧

システム・レベルに於ける CDM 的な破壊の例

ハード・ディスク・ドライブのデータ・センタのための大型コントローラでは顧客が何が必要かを設定できるような特徴とオプションが多くある。顧客の要望に応じられるようにする為に、コントローラはこれを実現するために、受注した構成に従い PCB を選択してプラグインする。

しかしながら、その特徴を必要としない時には、残りの PCB の冷却が正しくできるように、ダミーの PCB を使用することが必要となる。これらのダミーPCB は絶縁性プラスチックで作成し、ESD に関する要求は配慮されていない。このようなプラスチック PCB は大きな電界を発生する事が発見されている。電界計を使うと、読みは 10,000V/インチにも達する事がある。当時の工程では、ダミーの PCB を最初に挿入し、その後、ロジック基板を入れていた。これは、ロジック PCB に電圧を誘起し、最初に接触するピンが最大の放電を起こす。ファンクション試験時に 5%程度までのフェイルを引き起こした。

2つの修正をおこなった。最初の修正は簡単で、挿入の順序を変え、ロジック・ボードをダミー・ボードより先に挿入した。長期的な修正には、静電気拡散性の材料を見つける必要があった。

工程の変更の結果、CDM 型の破壊はなくなった。長期的な修正によれば、工程を修正しなくても、破壊は起こらない事を保証できる。

3.4 結論

CDM リスクに関する組立の分析をする為の2つの類似した方法を記述した。記述した例では、現実の生産ラインでこれらの手法をいかに使ったらよいかを示している。提示した電界の問題は、もし、このような CDM リスク分析を実施しなければ、CDM に強いと思われるデバイスでも、組立中又はテスト中に破壊する可能性がある。これは、ボードが帯電して放電する時には、IC デバイス単体が同じ電圧で放電する時に比べ、著しく大きな電流で放電するからである。

記述した方法論に従い実施するリスク分析と、もし必要なら、少数の工程に特有の測定を実行する事により、CDM に非常に感じやすいデバイスでも製造現場で取り扱う事ができるようになる。

References

- [1] ESDA roadmap for HBM and CDM, <http://www.esda.org>
- [2] ANSI/ESD S20.20; 2007; Development of an Electrostatic Discharge Control Program for: Protection of Electrical and Electronic Parts, Assemblies and Equipment (Excluding Electrically Initiated Explosive Devices)
- [3] IEC 61340-5-1; 2007; Development of an Electrostatic Discharge Control Program for: Protection of Electrical and Electronic Parts, Assemblies and Equipment (Excluding Electrically Initiated Explosive Devices)
- [4] Industry Council on ESD Target Levels White Paper 1: A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements, <http://www.esdtargets.blogspot.com>
- [5] R. Gaertner, Do we expect ESD-failures in an EPA designed according to international standards? The need for a process related risk analysis; EOS/ESD Symposium 2007, pp 192-198
- [6] P. Tamminen, T. Viheriäkoski; Characterization of ESD Risks in an Assembly Process by Using Component Level CDM Withstand Voltage; ESD Symposium 2007; pp 202-212
- [7] S. Halperin et al.; Process Capability & Transitional Analysis; EOS/ESD Symposium 2008; pp 148-158
- [8] R. Gärtner; Field Induced CDM-Ausfall in der Halbleiterfertigung; 6. ESD-Forum 1999. München, Deutschland, pp 51-56

第4章 製品に関する CDM 要求の影響

Brett Carn, Intel Corporation

Charvaka Duvvury, Texas Instruments

Larry Johnson, LSI Corporation

4.1 CDM ESD 要求

第1章に記述したように、CDM の ESD に関する理解は 1970 年代より開発されてきた。何年もの間、CDM のレベルは常に変化する目標値であった。下の ESD に関するロードマップ[1]、図 29 に示すように、初期の何年かは CDM 設計目標レベルは著しく低かった。組立現場からの CDM レベル改善要求が続き、設計ゴールは、上方修正され続け、1990 年代半ばには先端技術では現実的でないレベルに近付いてきた。今日では、製造環境の理解の改善 [2、3]と、現在常にある高度なテクノロジーによる、より高い I/O 性能に対するニーズとが結合し設計目標レベルは押し下げられてきた。

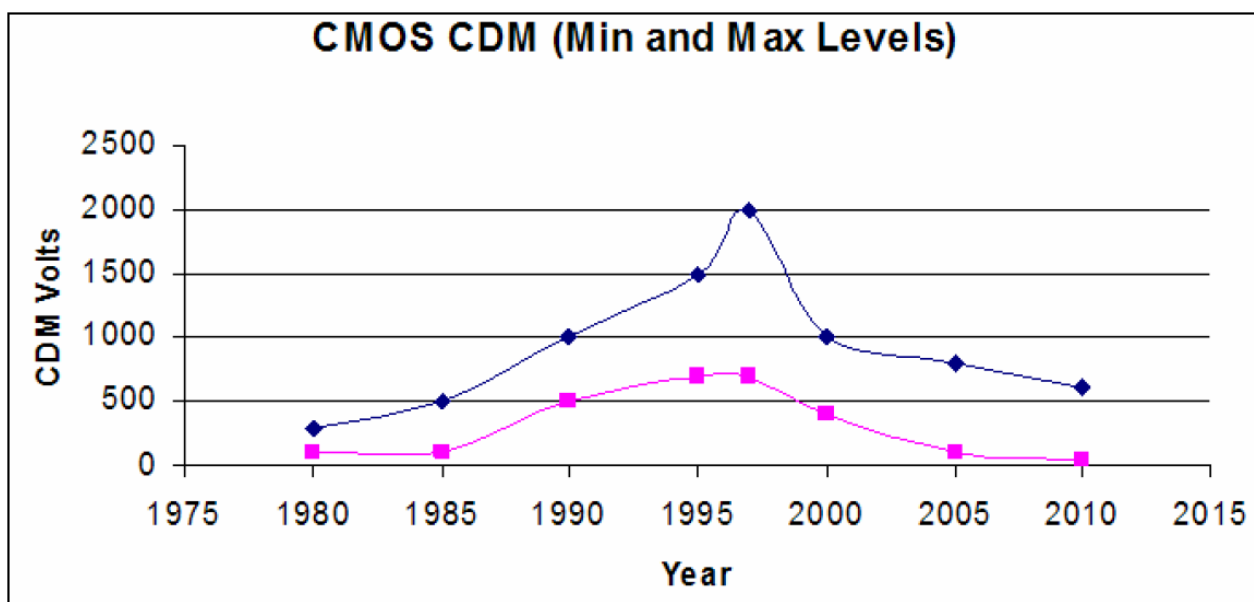


図 29 : CDM 設計レベルの時間に対する変遷

今日では、殆どの主要な半導体供給会社は 500V またはそれ以下の CDM 目標値を示している。しかし、この引き下げた CDM 目標ですら、CDM 保護デバイスの要求は CDM 目標に対して I/O 性能とバランスさせるために、チップ設計の挑戦が常が続いている。以下のセクションでは、多くの半導体製造会社からの現在の製品に対する影響を見直している。

半導体産業の顧客側から今日の CDM ESD レベルを見ると、多くの顧客が要求する 500V から始まり 750V から 1000V と広い要求範囲が見られる。1000V を要求している顧客は、その目標レベルに関して、組織としての惰性以外に、明白な正当化の理由を持っているようには見えない。ある顧客では、目標レベルを全く持っていない。自動車関連産業では、AEC-Q100 の仕様により、角のピンに対して 750V の要求が声高に叫ばれている。しかし、今日の進んだパッケージで角ピンだけに対する別の要求を正当化

するのはより困難になってきている。電気通信市場では高性能 I/O の必要性がずっと柔軟な CDM ESD 環境を要求してきた。ここでは、多くの顧客が著しく低い CDM 目標レベルを許し、しかも、最低のリスクでこれらの製品を製造する事が出来ている。

一般に、CDM ESD に対して必要とされる目標レベルに関しては電子産業内で広い幅で変動しているし、受け入れられるレベルも何年にもわたって大きく変わっている。

4.2 製品に関する目標値の影響

これらのゴールが製品に対して持つインパクトをより細かくみると、それが、供給者にも顧客にもインパクトを与えている事が見えてくる。表 V は種々の半導体会社から提供された 500V の CDM ゴールのインパクトを、実生活の例として要約している。

表 V : ESD レベルを 500V まで改良するための作業努力

製品	インパクト	予定の遅れ	労力へのインパクト	テック・ノード
P1	パッケージの変更	なし	5 人月	—
P2	ESD 性能の低下	あり	30 人月	90nm
P3	回路の再設計	なし	10 人週	180nm
P4	回路の再設計	限定的	5 人月	SOI
P5	小規模の回路再設計	限定的	2 人週	250nm
P6	ESD 性能の低下	あり	40 人月	65/90nm
P7	回路の再設計&ESD の低下	なし	18 人月	65/90nm
P8	ESD の低下	なし	5 人月	65nm
P9	回路の再設計&ESD の低下	なし	8 人月	90nm
P10	回路の再設計	なし	9 人月	45nm
P11	回路の再設計	あり	10 人月	180nm
P12	回路の再設計	あり	12 人月	180nm
P13	ESD の低下	なし	2 人月	90nm
P14	回路の再設計	なし	30 人月	45nm
P15	テストによる人工的効果	僅か	4 人月	130nm
P16	回路の再設計	あり	1 人年	180nm
P17	回路の再設計&ESD の低下	あり	4 人月	130nm

これで見られるように、インパクトは供給者に対して CDM レベルを改良するために要した労力の点から、著しいコストを含んでいる。そして、顧客に対しても、予定の遅れに関連して著しいコストとなっている。同時に、いくつかの事例では、再設計努力にもかかわらず、CDM 目標レベルは達成できず、製品の CDM レベルを低下させる結果となっている。製造環境へのインパクトは少なかったので、多くの事例では、この努力は、不要であった。製造環境へのインパクトに関するより詳細は第 5 章に見ることができます。

表 V からのこのデータを少し違った方からみると、この挑戦はより悪くなっているに過ぎない事がわか

る。さらにテクノロジーが進むと現在の目標レベルに合わせるために回路の再設計が必要となるリスクはより悪化する傾向にある。必然的に製品の立ち上がりまでの遅延が加算され、現在の CDM 目標に対するさらなる低下に至る事になる。CDM 目標レベルを改良するための作業労力とテクノロジー・ノードとの比較をした図 30 を、どうか、ご覧ください。

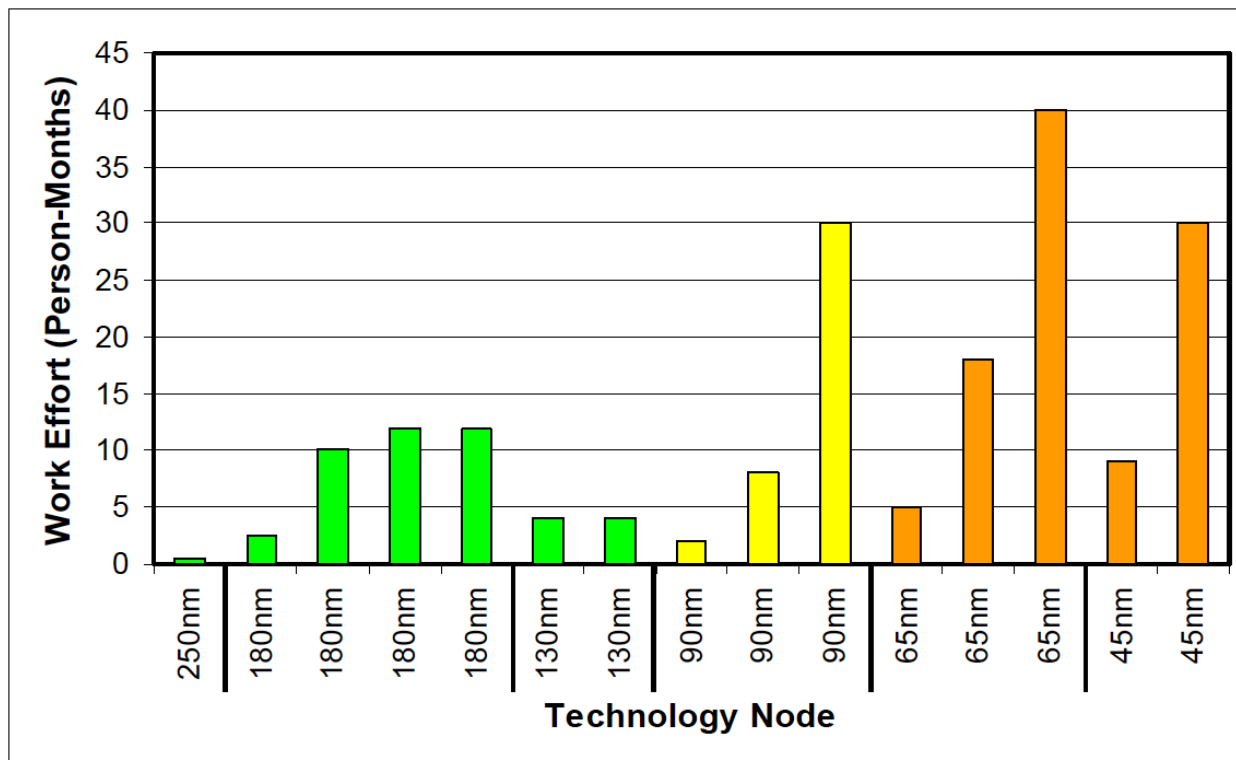


図 30 : 継続するテクノロジー・ノードと共に増加する CDM 再設計労力。各柱は一つの設計プロジェクトの CDM レベルを 500V 以上に上げるための追加労力を示す。

これに加えて、最終顧客は特定のピン及び／又はピン・タイプの CDM レベルの継続的低下を見続けるであろうし、その結果、現在の CDM 目標レベルに達するための問題の解決策も増加する。第 2 章に示したように、これは I/O 性能に反して ESD 保護のバランスをとる挑戦が常に増加するためである。多くの場合、ひとつの I/O は、その製品との著しい性能の衝突及び製品の立ち上げに対する負のインパクトなしに CDM 目標レベルにミートする事は出来ない。更に、半導体ハウスは、下記のどちらかによって、今日、日常的に、CDM ゴールを緩和している：

- ピンの動作周波数に基づき CDM 目標レベルを低下
- パッケージ寸法に基づき CDM 目標レベルを低下

これらの行動のいくつかは、I/O 性能の要求の方が ESD リスクより重大であるような市場部分では、今日でも既に受け入れられている。今日では、CDM 目標レベルが 50V の低さでも、取扱いができる事が証明されている。

4.3 CDM 目標値の改定の供給者／顧客への影響

CDM の ESD 目標レベルを 250V に下げる事は、供給者及び顧客の双方に対して著しい利益となる。

- 著しい数の再設計努力とその関連作業努力／再認定作業を削除
- ESD 保護面積の減少による I/O 面積の節約
- 容量／抵抗の減少からくる I/O 性能の向上
 - 常に増加する、より高性能の I/O 性能を達成する事ができる。目標レベルの低下により IO の容量を 40～50%減ずる事ができる。
- 多くの製品で、市場までの時間を改善できる
 - より高性能の IO の市場までの時間の短縮は最終ユーザに非常に有益である

これらの変更は、製造環境に対して大幅なインパクトを与える事はないでしょう。

IO 性能の利点を詳述し、第 2 章の図 18 を再び引用すると、より高周波のピンを収納できるパッケージのピン数の顕著な上昇がみられる。多くの場合、ピン数は、500V CDM ゴールの場合に制限されるパッケージに比べ、1 桁近く増加する。

References

- [1] ESD Association Road map: <http://www.esda.org>
- [2] T.J. Maloney, "CDM Protection, Testing and Factory Monitoring is Easier Than You Think", 2007 Taiwan ESD Conference Proceedings, pp. 2-8 (invited keynote speech and paper).
- [3] J.A. Montoya and T.J. Maloney, "Unifying Factory ESD Measurements and Component ESD Stress Testing", EOS/ESD Symp. pp. 229-237, 2005.

第 5 章：CDM レベルとフィールドからの返品に関する整理統合した産業界のデータ

Reinhold Gaertner, Infineon Technologies

Harald Gossner, Infineon Technologies

Theo Smedes, NXP Semiconductors

この章ではデバイスの CDM 認証レベルの、フィールドでの破壊リスクに対するインパクトを議論する。当会議の多くの会員から集めたデータをもとに評価をした。

当会議の多くの会員がデータに貢献しているが、CDM 試験は HBM 試験ほど一般的でないので、デバイスの総数は HBM の分析には及ばなかった。それにも拘らず、2003 年から 2007 年の間集まった 120 億個近くの総数のデバイスは、フィールドの状況を良く表していると考えられる。デバイスのタイプは、個別部品から ULSI のシステム・オン・チップ部品までの範囲にわたっている。IC 供給者のテスト及びハンドリングから、ボード組み立て業者から、そして最終顧客からの返品を考慮した。返品率の CDM 認証レベルに関する依存度は低い。一般的に、これらの返品は、新製品の製造ネットワークに於ける全ての協力者の製造工程における立ち上げフェーズでの問題に起因したものである。製造工程の ESD コントロールに関する小さな変更によって、これらの問題は大きな投資なしに、即座に解決する。EOS に関係した返品の CDM レベルに対する依存も検出できない。

CDM 認証試験中に発生するような、本当の CDM 破壊（ゲート酸化膜の破壊）は、主として、半導体の後工程及びテストで発生しているが、殆どの収集したデータには含んでいない。

5.1 CDM 電圧レベルとフィールド返品率

種々のタイプの製品の EOS/ESD フィールド返品データを収集した。個別部品から、メモリ、自動車用 IC、マイクロプロセッサ、移動通信用の高集積システム・オン・チップまでの製品範囲である。分析したフェイルには、主としてボードの製造及び最終顧客からの返送品が含まれている。約 1000 種の異なる設計を考慮対象とした。このデータベースに含まれる出荷デバイスの総数は、116 億個に達する。設計の CDM 耐電圧がフィールドで測定した帯電電圧と関係がある筈で、また、認証試験結果も電圧で報告されるので、返品は設計の CDM 耐電圧に対して分析した。異なる電圧クラスに含まれるデバイスの数が同じでないので、破壊率を（ChiINV 関数[1]を使い）統計的に重みづけし、60%の信頼レベルで上限の期待破壊率に関する値を得ている。このようにする事によって、異なる電圧クラスをよりうまく比較できる。図 31 は統計的に期待される最大破壊率を CDM 耐量レベルの関数として示している。

概して、データの分析は下記の事実によって妨害されている。

- 異なる CDM スタンダード（JEDEC と ESDA)を使っている。
- 多くの場合、破壊レベルが決まっていない。代わりに、目標値に合格している事を確認するために、500V まで試験しているだけである。従って、実際の耐量レベルは、もっと高い可能性が

ある。500V にパスした部品に特にこれが多い。

図 31 を良く見ると、耐電圧 500V で破壊率が低下している。これより、CDM 最小強度 500V が安全な取扱いに必要という仮定が導かれる。しかし、もっと詳細なデータの分析により、図 31 の統計は 949 のうちの 15 の設計で非常に高い破壊返品率（100 個を越える返品）に支配されている事が明らかになる。もしこれらを除外すると、図 32 に示すように、CDM 強度クラス全体にわたり、少し均等な FAR の分布が得られる。これは、95 億個の出荷部品、934 設計に適用できる。返品率は明らかに 1dpm 以下である。CDM パス電圧 1500V 超でも、注目に値する返品率が見つかっている事が明らかである。

破壊返品率がより高い（100 個を越える返品）いくつかの設計は 5.2.2 で示すように、EOS 的な事象により発生していた。CDM 的な放電事象との関連は見つからなかった。

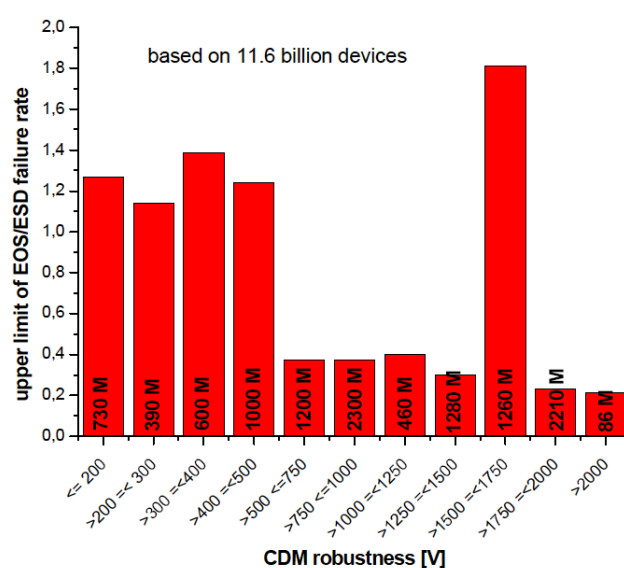


図 31 : EOS/ESD 破壊返品率の上限値（defects per million : dpm）対 CDM 耐量電圧。116 億個の出荷した部品を考慮した。各 CDM 分類で出荷したデバイスの個数は、それぞれの柱の中に記している。

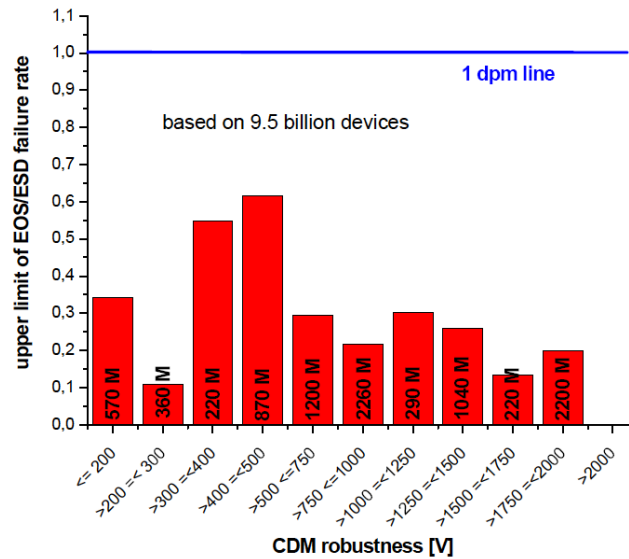


図 32 : EOS/ESD 破壊返品率の上限値 (defects per million : dpm) 対 CDM 耐量電圧。図 31 と同じデータベースだが、明白に返品率を押し上げている設計 (報告された不良 100 個以上) を除去した。

5.2 代表例の分析

5.2.1 代表的な CDM 的破壊の写真

図 33 は CDM 値が低い (125V 未満) 高速 IO ピンを持つデバイスの FA レポートからとった。この破壊はフィールド (半導体工場) で見つかり、CDM 認証試験中のデバイス破壊と全く同じ破壊痕跡を示した。

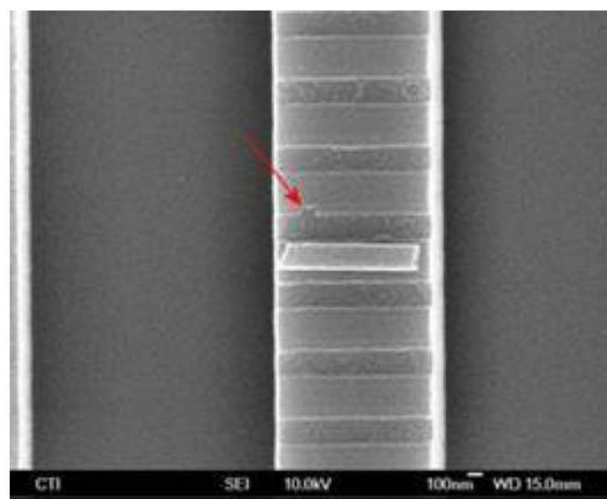


図 33 : FAR の SEM 顕微鏡写真でゲート酸化膜にピンホールを検出。この破壊写真は代表的な CDM タイプの破壊に分類できる。

しかし、このような典型的な CDM 認証テストの破壊痕跡を持った破壊を見つける事は極めて困難である。これらの大部分は、半導体製造現場の製造またはテスト中に発生する。

5.2.2 代表的な EOS タイプの破壊写真

集まった EOS/ESD 破壊には全てのタイプの EOS 関係破壊（システム・レベル ESD を含む）と ESD 関係の破壊（CDM タイプ破壊を含む）を含んでいる。通常、HBM に関係した破壊は、まれにしか見られない[2]。16 億個の販売デバイスを占める設計の部分集合の比較が、EOS/ESD フェイルの殆どは EOS（電氣的なオーバ・ストレス）に起因するものである事を示した。

ゲート酸化膜に開く小さなピンホールで示される典型的な CDM 破壊と異なり、殆どのフィールド返品は、図 34 のような大面積の溶解金属を示す。この例は、TQFP100 パッケージに実装したデバイスからとったもので、3600 万個販売して 409 個のフェイルが見られた。これは、図 31 の部外者の 1 つで、非常に高い CDM 強度（1000V）を示している。典型的な EOS 破壊である溶解金属バスが見つかった。これは、大量の消費エネルギーを暗示している。CDM 事象のようにかなり低いエネルギーでは、このような広がった破壊痕跡は発生しない。

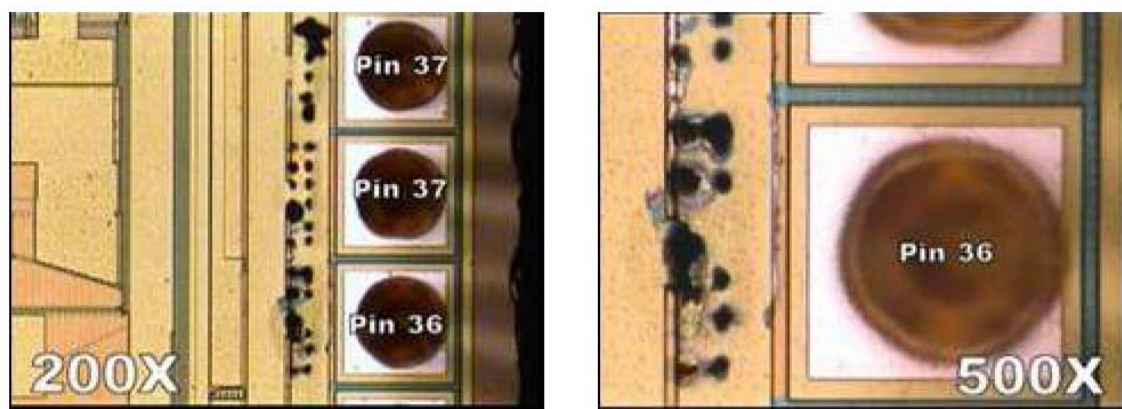


図 34：光学的な測定による FAR で、金属バスの大きな損傷が見られた。これは、大量の電力消費を示している。これは典型的な EOS タイプのフェイルと見なされる。

EOS タイプの破壊のもう一つの例は、図 35 で示した通り、LGA1681 パッケージに入った、大きなデバイスで見つかった。このデバイスは、高速の 320 ピンでは、CDM 強度 300V という合理的な値を持っていた。その他のピンは、500V を越える CDM 強度を持っていた。顧客から戻ってくる破壊デバイスは、高速ピンでは壊れていなかった。ずっと高い CDM 強度を持っていた電源ピンのみが、冒されていた。図 35 に見られるように、不良解析によって、ジャンクションのパンチスルーが発見された。これは、CDM 的な事象では、起こりえず、EOS 的な事象等、より高いエネルギーを伴った事象によってのみ発生する。

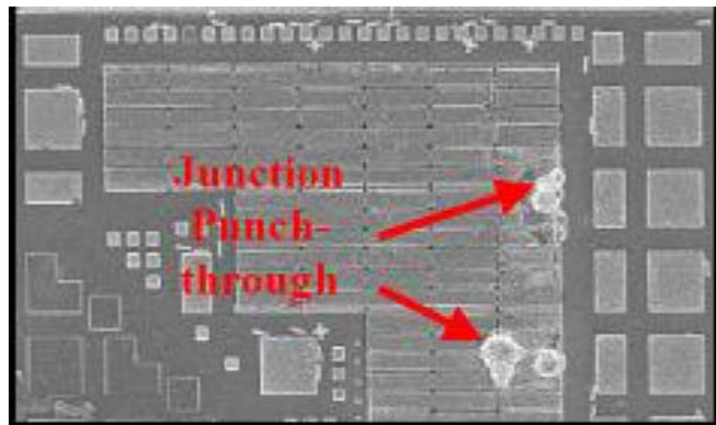
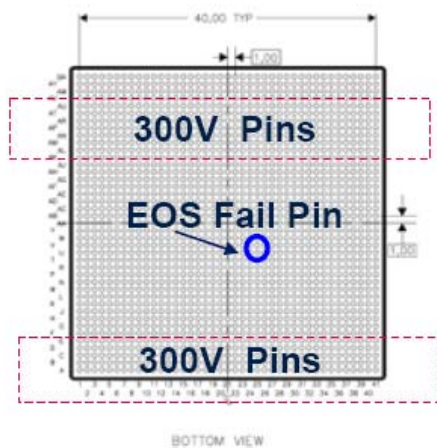


図 35 : CDM に対してより強いデバイスの電源ピンに対して EOS タイプの破壊が起こり、より弱い高速ピンは破壊しなかった。

5.3 結論

当会議の会員によって収集した 110 億個を越えるデバイスの FAR データが、100V 未満から 2000V 以上までの CDM 強度レベルに無関係に EOS/ESD 破壊がフィールドで現われている事を示した。

CDM 認証テストの間に、典型的に見られる破壊は、絶縁膜の降服である。このような破壊は主に、IC 供給者で、CDM 強度が低い新製品の立ち上げフェーズで、主として発生している。これは、ESD コントロール手法を改良する事により、製品の再設計なしで、容易に解決する事ができる。通常、少しの努力と少ない投資の組み合わせだけが必要となるのみである。

ケース・スタディは、殆どのフィールドでの破壊は FAR データによると、EOS またはボード帯電事象 (CBE) に起因している事を示した。これらの EOS 的な破壊は、普通、CDM に弱いピンでは起こらず、(危険にさらされやすい) より CDM に強いピンで発生する。また、CBE 的な破壊は CDM 的な破壊と直接比較できない。ボードの帯電にはそれなりの原因があり、“真の” CDM 的な破壊と同様の手法で評価できる。

References

- [1] Chernoff H., Lehmann E.L. The use of maximum likelihood estimates in χ^2 tests for goodness-of-fit. The Annals of Mathematical Statistics 1954; 25:579-586.
- [2] White Paper 1 'A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements' Industry Council on ESD Target Levels, August 2007

第 6 章：現時点での現実的な CDM 目標値の推奨と将来の展望

Harald Gossner, Infineon Technologies
Reinhold Gaertner, Infineon Technologies
Charvaka Duvvury, Texas Instruments

6.1 序文

これまでの章で、製造環境で CDM 事象を防止するためのコントロール及び、CDM パラメータを取りあげて ESD 保護設計を議論してきた。

HBM とは対照的に、CDM 試験（付属書 C）、および、CDM の ESD 設計（第 2 章）、または、CDM コントロール手段（第 3 章）の評価、の両方に関係した 1 個の CDM 測定パラメータは存在しない。HBM 電圧レベルは ESD 保護設計が耐える電流レベルの抽出を許すし、それに対応した、製造環境に於ける測定電圧に関係すべき、電圧の抽出も可能とする。さらに、その電圧値は、ESD コントロール手段の品質のための有用なガイドラインをも与える。これとは対照的に、CDM テスタ内の電流及び電圧レベルの間の相関関係はパッケージ自身の寸法、適用した試験スタンダード、試験時の環境条件等で広く変化する。

例えば、HBM の場合、EPA 内の ESD コントロール手段の適用で基礎的な ESD レベルをパスする部品の安全な組立が保証できる。CDM では、極めて高い“CDM 強度”を持つ部品ですら、フェイルが起きる可能性がある。このような事が修正できるのは、工程ステップの監査と工程特有のコントロール手段の導入によってのみである。これらの詳細は、第 3 章に記述している。例えば、第 3 章の表 III は、PCB アセンブリの可能性のあるリスクを一覧している。これは、CDM の信頼性が、ある特定の CDM レベルを持つ部品のみによって決まるのではなく、製造のコントロール手段も同様に重要である事を図示している。この、CDM 工程コントロール監査／工程特有のコントロールは、概して、大きなコスト上昇の要因にはならない。

その結果として、チップ上の ESD 回路に対する制限の増加と ESD コントロール分野の主要な努力を結合して、歩み寄り案を見つけなければならない。この章の意図するところは、両者の制約を品質に関して妥協する事なく調停する事である。さらに、私たちは、テクノロジーが深いサブ 50nm ノードから 22nm ノードへ、そしてその先へと更にスケール・ダウンする時の CDM の現実的なロードマップを提示する。

6.2 電流レベルの妥当性

CDM 破壊のメカニズムは、通常、CDM の放電電流のピーク値によって生じるチップ上の電圧降下に起因する。そのため、オンチップ設計法は薄いゲート酸化膜の両端のようなクリティカルな場所での過剰な電圧降下を回避する事を目指している。保護クランプのサイズ決めは安全に流すべき電流のピーク値に基づいて行う。CDM 領域では、このピーク電流レベルは HBM のピーク電流を 1 桁しのいでいる。IO

の ESD セル開発の場合には、パッケージがピーク電流を決める主なパラメータであるのに、事前に、自分がどのパッケージに入るか知ってはいない。その為、良く定義されている電流レベルは、設計ゴールとしては難がある。

6.3 電圧レベルの妥当性

CDM 電圧レベルの妥当性は、世界中の IC 製造業者の製造ラインで収集されていることからきている。ここでは、ただ、認証テストの電圧レベルが分かっているだけである。欠点は、付属書 C で議論しているように何通りかのテスト・スタンダード間の偏差である。

6.4 製造環境に於けるコントロール手段との相関

IC の CDM 認証電圧レベルの、ある EPA 内での取り扱い能力との相関には経験的な性質がある。ラインで測定された電圧は、テストでプリチャージした電圧と直接の関係がない。CDM テスタで見られるように、決まったパッケージでの破壊電流に関する強い依存度が、製造箇所の実世界事象で同様に現れるかどうか不明確ではない。

あるクラスの強さを持つ部品の取扱経験によると、第 3 章に記した通り CDM 事象に関して、EPA の品質の格付けに関する分析法が開発されている。

6.5 推奨する CDM 目標レベル

製造、ハンドリング、テストの工程での、詳細な工程特有の評価を、ESD コントロールの専門家が現在使用できる測定法を使って行くと、CDM 耐電圧 125V 未満の部品でも、立ち上げ時、量産時をとわず、安全な製造環境が保証できる。これは、理想的なケースである。しかし、詳細な CDM（環境の）評価の能力は今日では制限がある事を知っているが、基本的な CDM コントロール法を維持しつつ、監査労力を軽減して、私たちは、CDM レベル 250V 及びそれ以上の製品を推奨する。CDM レベルが 125V と 250V の間にある製品では基本的な CDM コントロールに加えて、いくらかの追加努力が必要となる。これは、以下の表 VI に示した他のクラスのデバイスを取り扱うための適切な CDM 認証の習熟期間を保証する事にもなる。

表 VI：全てのパッケージ・タイプの CDM ESD 認証レベルの現実的な等級

CDM 認証レベル (JEDEC で試験した値)	ESD コントロールに関する要求
$V_{CDM} \geq 250V$	● 基本的な ESD コントロール法と金属機械部の接地、絶縁物のコントロール
$125V \leq V_{CDM} < 250V$	● 基本的な ESD コントロール法と金属機械部の接地、絶縁物のコントロール + ● 工程特有の手段で、デバイスの電荷を減ずるか又は激しい放電の回避（デバイスのリードに高抵抗材料で接触）
$V_{CDM} < 125V$	● 基本的な ESD コントロール法と金属機械部の接地、絶縁物のコントロール + ● 工程特有の測定で、デバイスの電荷を減らし、更に激しい放電の回避（デバイスのリードに高抵抗材料で接触） + ● 各工程ステップで、帯電／放電測定を実施

しかしながら、立ち上げ時に詳細な工程特有の評価を実施していない場合には、いずれの CDM レベルの製品であっても、製造不良がまだ起こりうるなら、それが、極めてまれにしか発生しない場合でも、記録しておかなければならない。この場合には、その不良の根本原因を見つけて工程特有のコントロール手段によりそれを排除するために、特別の監査を必要とする。

推奨する CDM 目標レベルのインパクト

IC 性能に対する要求の増加と関連したテクノロジー・ダウンスケーリング、およびより大きなパッケージ寸法への動向など全てが、CDM 保護設計に対して厳しい制約を課している。下記の理由で 500V の仕様は最早、多くの製品で適合出来なくなってしまったことは明白である。

- 高速度回路要求
- 継続するテクノロジー・スケーリング効果が ESD 設計ウィンドウを閉じる
- 高容量の IC パッケージへの優勢な動向

大きな製品パッケージに入れた高速回路の設計のためには、250V という値が現実的な設計目標である事が証明された。今ではこのような CDM 強度を持った部品が日常的に安全に取り扱えている。

CDM で 250V またはそれ以下の部品を取り扱うコントロール法が製造現場で利用できる限り、種々の製品ファミリに対して異なる CDM 認証目標を決める必要はない。供給者と顧客の間の時間を要する提携を回避するためにも、全ての製品に対する普遍的な目標値が推奨される。

それ故、当会議では、オンチップ設計と全ての IC 製品のための一様な製造工程のコントロールに対する要求との合理的な妥協として現時点では 250V（JEDEC によって試験して）を普遍的な CDM 認証目標

として採用する事を推奨する。性能を低下する事なく又市場への時間遅れもなくより高い CDM 強度を得られるのであれば、さらに余裕度を加えるのであり、常に有益である。

この推奨目標レベルは、フィールドからの返品に関する統計、何らかの物理的モデル、又は ESD コントロール・スタンダードにおいて発見された明確な閾値によって決定したものではない。それは、製造ラインの実用的な ESD コントロール法と ESD に対するオンチップ保護設計の間の連携を可能にする為のガイド値として考えるべきものである。付属書 D で議論しているように、EOS、CBE またはシステム・レベル ESD のような他の破壊メカニズムに対する、これらの部品の強度は、ここで推奨する目標レベルによって低下する事はない。

6.6 シリコンのテクノロジー・スケーリングからくる CDM のロードマップの展望

第 2 章で議論したように、IC 設計は、回路速度に関する要求の増加のために、達成できる CDM レベルに関して厳しい制限を課せられ続けている。本書では今日の高度なプロセス技術と高速性能要求に適合する為に、CDM 耐電圧は余裕がなければならない事をすでに示した。65nm と 45nm のテクノロジー・ノードでは提案した現実的な目標である 250V CDM は安全なだけではない。現実的で高速 IO 回路性能とも両立する。これらの高速マクロを含む高ピン数の IC に関してはこの事は特に正しい。しかし、シリコン技術が更に進み、深いサブ 50nm から 22nm ノードへ、そしてその先へと行くにつれて、より低い耐電圧でさえもスケーリング効果と 40Gb/sec またはそれ以上に近づきつつあるデータ速度に於ける高速回路速度への継続的移行を考慮する必要性が生じてくる。これは第 2 章ですでに述べている。HSS と RF の 22nm ノードからスタートし、125V の CDM レベルを実現する事は殆ど出来ないであろうことを予測した。従って、私達は、今後 5 年以内に、125V レンジ以内の CDM レベルが新しい目標になり得ると想像している。

この予測に基づくロードマップを図 36 に示す。CDM が認識され始めた初期の頃には、顧客は 1000V または 750V の保護レベルを要求した。例えば、1991 年当時の AT&T の仕様は、高速ピンに対しての手加減はあったけれど、コーナー・ピンに対しては 1000V であった。この時には、これらの仕様は製造エリアでの CDM の関する普通に利用可能なコントロールに基づいていた。しかしながら、90 年代の終わり頃までに、顧客も供給者も 500V が手頃な値として受け入れやすい値となっていた。それ故、過設計を回避し、過酷な製品要求を回避するために、時間の経過と共にレベルの訂正が必要であるとする手法が存在してきた。

本書に示した新しい情報では、250V を新しい、安全で実用的なレベルとして推奨する事により、現在使用できる CDM コントロール法は全ての現存する製品に関して、この推奨を容易にサポートする事を注意しつつ、設計要求を受け入れる事ができる。テクノロジーが 22nm ノードへ近づく今後 5 年以内でロードマップを予測すると、新しい実用的な CDM レベルとして常に 125V が導かれる。また、製造エリアの CDM コントロールの進歩も、図 36 に示している。50V 未満に対する CDM コントロールは適切な先進的手法として既に証明されている。その結果、製造エリアの“継続的に改良する CDM コントロール”

は日常的な実践だけに止まらず、ESD に対する敏感さの解決への主要な手法であるべきである。オンチップ保護は常にある最低レベルのベース保護を保証するのに対し、ESD コントロール法は、より広い役割を担うべきである。今日入手できる専門技術や工場コントロール法から判断すると、この事は問題にはならないであろうし、なるべきでもない。工場の CDM コントロールの継続的改良はこれらのゴールに到達するために多面的な手法を帯びている。これには、製造及び取扱エリアに於ける CDM の認識の増加、監査プログラムに加えてより簡単に入手できる CDM データの改良とそれに対する大きな注目などが含まれている。最先端のデバイスが紹介されると、破壊に動かされて工程コントロールの応答時間が改良されなければならない。将来は、更なる検出と監視技術も同様に重要となるであろう。このロードマップの目的は、この認識を高め、CDM コントロール・プログラムの継続的改良の必要性が差し迫っている事を指摘する事である。

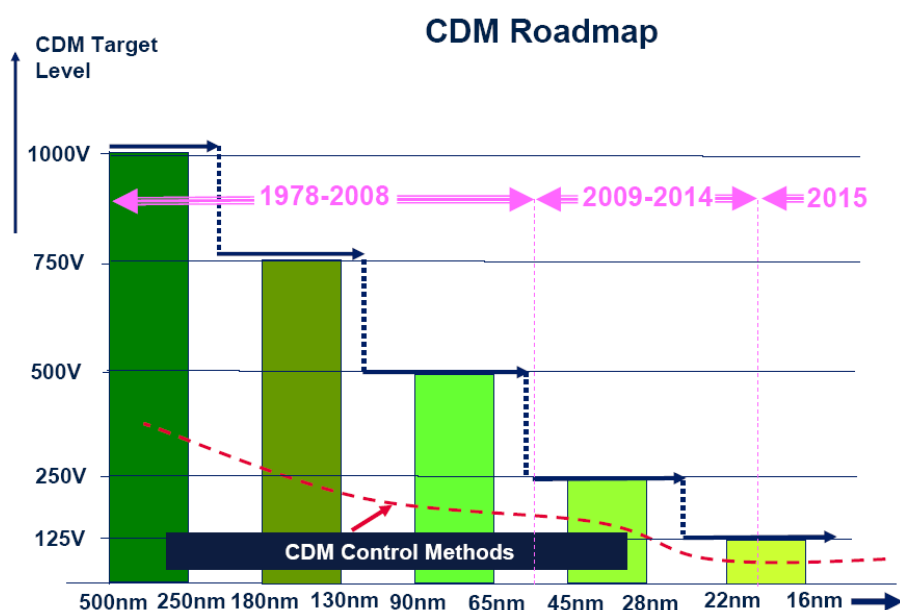


図 36 : CDM 目標レベルの時間に対する進展。工場レベルでの、CDM コントロールの継続的改良を CDM レベルのロードマップと共に示した。

図 36 の CDM 目標レベルの動向は ESD アソシエーションが立証したテクノロジー・ロードマップ（第 4 章、図 29 で議論している）とは、下記に設計レベルにおける進展として示すように[1]、切り離されている事を指摘しておかなければならない。

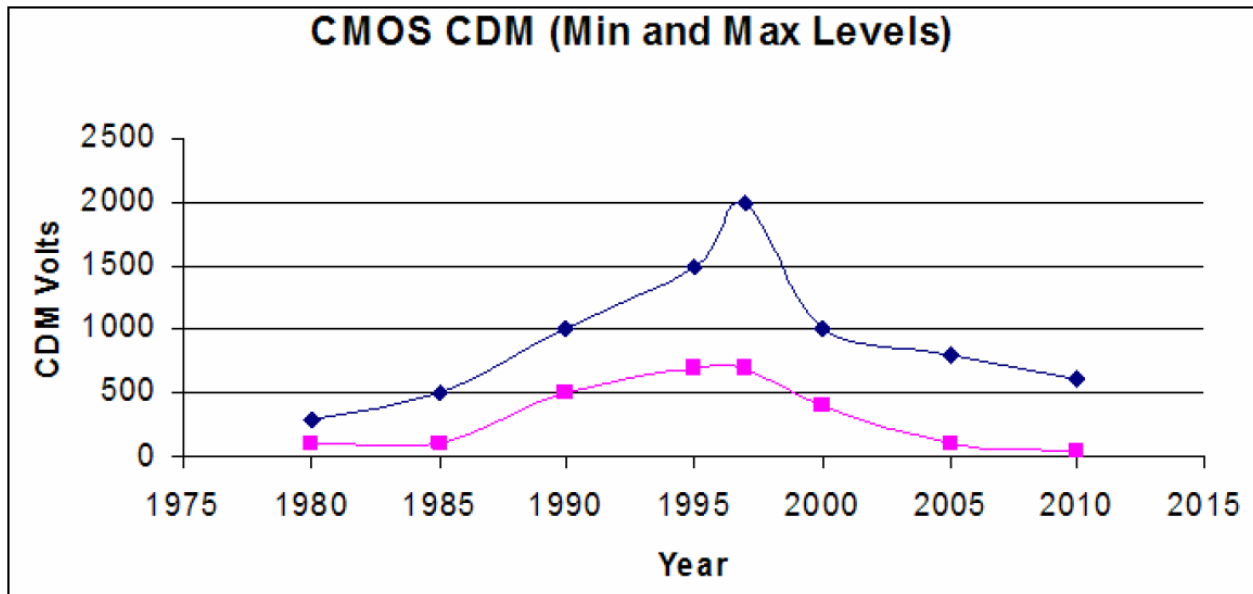


図 37 : 第 4 章で既に表示しているように時間に対する CDM 設計レベルの動向を示す。

ピークの時は 1997 年あたりで、以後は低下している[1]

図 37 には可能性のある最低と最高の実用的な設計レベルを示している。従って、ある先端テクノロジー・ノードで 500V の設計を続ける事が可能でも、殆どの回路設計はこのレベルには耐えられず、有る回路の要求は 50V の低さまで近づく可能性がある。これらの動向を知っておくことは重要である。なぜなら、契約製造業者にこれらの事を知らせなくてはならないし、その開発計画も知らせなくてはならないから。このロードマップに関しては、50V レベルを目指したコントロール・プログラムを作っておき、それを世界中の製造エリアのベースに広げておくことが賢明といえるであろう。

References

- [1] ESD Association Road map: <http://www.esda.org>

付属書 A: CDM テスタの回路モデリングのいくつかの様相

Timothy Maloney, Intel Corporation

要約 — デバイス帯電モデル (CDM) のソケットを使わない ESD テスタは、ESD アソシエーション及び JEDEC により仕様化されているが、これらが、デバイスで、および校正用テスト・フィクスチャで発生する波形は回路モデルで理解できる。1GHz 程度までの周波数では、波形は十分単純なので、最も簡単な集中定数による LRC の直列回路を使って、動作を記述できる。CDM テスト・ヘッド及び試験しているデバイスまたはフィクスチャの分布伝送線路効果を考察するには、このモデルを単に拡張すれば、多く報告されている、高周波 (例えば 3 GHz) での特性を説明し、計算する事ができる。基礎的な LRC モデルで、ピーク電流を計算し、代表的な火花抵抗値、および、半導体部品の CDM 試験時の L 及び C の値に対する L-C 平面上にプロットする事ができる。これにより、ESDA と JEDEC の CDM テスタの鍵となる違いを浮き彫りにし、説明できる。この分析を通じて、ラプラス変換の視点とそれに関係した回路のモデル化手法が時間領域と周波数領域の変換に有益である。このような解析はまた、ウェーハ・レベルのシリコンの CDM 試験の主要な特徴を再現するために提案した手法を明確にする事ができる。

A.1 イントロダクション

ソケットを使わない CDM (ns-CDM) テスタは、[1, 2]によれば、図 A1 のように回路モデル化でき、直接電荷パケット Q_{imm} が計算できる。図 A1 では C_{frg} は、概ね、グラウンド・プレーンからフィールド・プレートへの容量である。 C_f は DUT (試験しているデバイス) のフィールド・プレートに対する容量で、 C_g は上部グラウンドの DUT に対する容量である。CDM 事象は放電ピンが DUT に接触する時に、つまりスイッチが閉じるときに発生する。結果として生じる Q_{imm} は

$$Q_{imm} = Vf \left[\frac{C_f}{C_g + C_f} \right] \left[C_g + \frac{C_f * C_{frg}}{C_f + C_{frg}} \right] = Q_1 + Q_2. \quad (1)$$

実効容量 C_{imm} は従って、式 $Q_{imm} = C_{imm} * Vf$ を満足する。この回路モデルは 50Ω ラインを 1Ω ディスク抵抗で終端して測定する電荷パケット測定によく一致する事を示す。

上の式は、ある条件が持続すれば、和は変わることなく単純化できる。通常は、誘電体が薄いので $C_f \gg C_g$ であり、これは、 $Q_1 \ll Q_2$ を意味する。この事はまた、 $C_f / (C_g + C_f)$ は略 1 に近い事を意味する。下記の式を残しておく。

$$Q_{imm} \approx Vf \cdot (C_f \parallel C_{frg}) \quad (2)$$

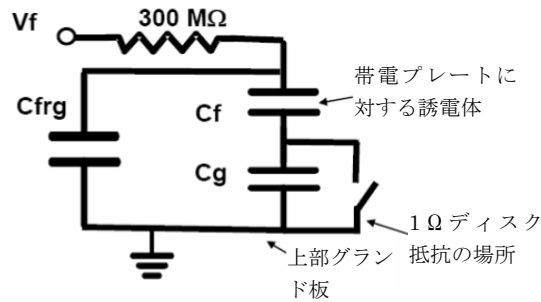


図 A1 : FI ns-CDM テスタの回路モデル。放電ピンが DUT にぶつかった時にスイッチが閉じる

A.2 CDM テスタのモデル

本質的な ESDA または JEDEC の ns-CDM テスト回路は、いくつかの寄生要素が無視できるならば、LRC の単一ループとしてモデル化できる。最初に、CDM テスタの、簡単化してはいるが、より完全なモデルを見てみよう。

CDM テスタに関する種々の文献[1、3-4]がテスト内のデバイスの 3 容量モデルの有益性を示している、そして、3 つの容量の直・並列組み合わせを使って、高速事象を引き起こす場合の 1 個の等価デバイス容量 C_{imm} を抽出できる事を示している。そこで、帯電プレートのチャージが V_0 の場合、直接電荷 $Q_{imm} = C_{imm}V_0$ である。回路内の主要な抵抗要素は火花抵抗 R_s であり、これはかなり変化し、また、時間に依存する[5]が、CDM テスタで代表値としての推定値は 25Ω とする。インダクタンスがまだ残っているが、これは、テストヘッドのポゴピン・プローブ[5]及び、パッケージ化したデバイス自身に含まれるものが殆どと見られる。要求される波形に適合する為に、JEDEC の CDM テスタのテストヘッドは余分の電気長を持っている。これは、インダクタンスのせいと、 1Ω 電流検出抵抗とそれからオシロスコープへつながる 50Ω のケーブルが背後に小さなキャビティを構成しているためであろう。同様に、パッケージ化したデバイスでは大きなパッケージの場合、ピンからダイまで 2 から 3cm の配線長があり得る。この配線上の信号は、ダイまで全て 50Ω で整合を取っているかもしれないが、ESD 環境では、ダイオード又は他の高導電度保護デバイスがオンして、終端抵抗を数 Ω 程度の低い値に下げてしまう。その為に、我々は、火花抵抗とスイッチの両端で、殆ど短絡状態の伝送線路を有しているのである。伝送線路モデルに戻る前に、RLC 回路の主要な極と零点に焦点を当てるために、 1Ω で終端した伝送線路を図 A2 で示すような等価 T 回路網として描いてみよう。

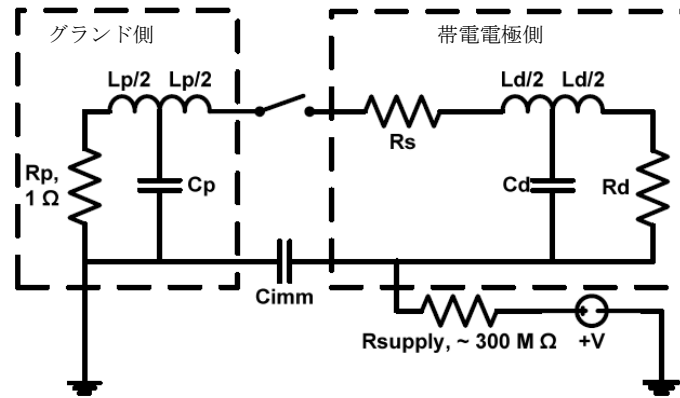


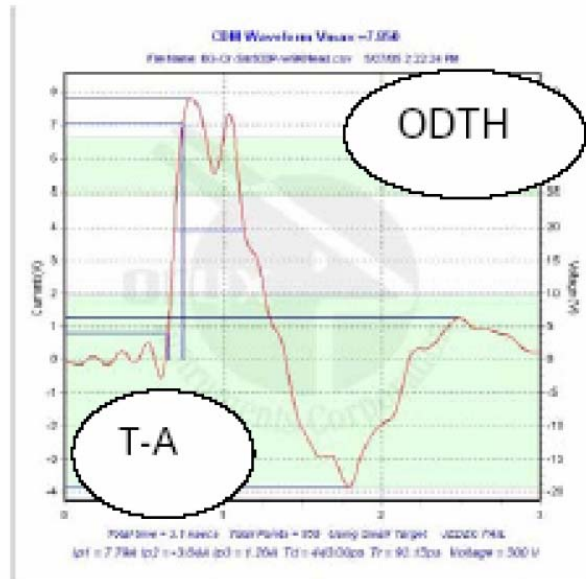
図 A2 : CDM テスタの等価回路。帯電したデバイスは右側で、接地したテスト・ヘッドとプローブは左に示している。 $R_p=1\Omega$ はテストヘッドの電流検出器で、 $R_d\approx 1\Omega$ はチップ上の保護回路である。

図 A2 で、帯電した(ホット)側はデバイスと共に右側に、グランド側は、ポゴピンとテストヘッドのモデルと共に左側に記している。関連したおよそその C_p と L_p の値を、パッケージの場合、校正用フィクスチャ及びテスト・フィクスチャの場合に関して表 A-I に示している。我々の主な関心は、図 A2 の外側のループであり、これは、よく知られた直列 LRC にまとめる事ができる。これは、アドミッタンス関数で 2 つの極と 1 つの零点を有し、抵抗は火花に支配されている。アドミッタンス関数は

$$Y(s) = \frac{Cs}{LCs^2 + RCs + 1}, \quad (3)$$

ここで、 L 、 R および C の値は、明らかに、外側のループの総和である。

通常の観測、特に 1GHz またはそれ以下の帯域のオシロスコープでの観測では、1 個の鋭いスパイクと限られたリングング (少し制動不足の解)、又はリングングの無い (過制動解) 波形が見られる。これは、 1Ω 検出器を通過する外のループの電流である。伝送線路の実効容量が内側のループを構成し、全て、同じ R_s で (回路の両側で) ある事に注意しなければならない。この事は、デバイスまたはプローブの容量が外のループのインダクタンスの幾分かをバイパスするので、高い周波数での極に関していくつかの選択肢をもたらす。より低いインダクタンスと、 C_{imm} に直列の容量のせいで、これらの新しい極は、明らかに、外のループより高い周波数で発生する。従って、何 GHz もの帯域の測定システムを使った報告[6]にある通り、高い周波数のリップル及び 2 つのピークを、我々は、見るのである。これらは、外側のループのみしか見えていなかった、より低い周波数での測定では見えなかったのである。図 A3 は文献 6 からのスコープ波形で、これらの特長を示している。このような複雑な共振周波数はテストヘッドと DUT の相互作用による事に注意。もしデバイスの配線長が変わると、全ての極が移動する。従って、帯電プレート及びグランド・プレートの移動に起因する C_{imm} の変化は別としても、ピーク電流が (及びその他の多くが) パッケージの位置によって変化しても驚く事ではない[7]。校正用フィクスチャの場合には、注意すべき寄生定数はほとんどないし、 C_{imm} も安定しているので、CDM 事象のチェック用に、意図する通りに使えるであろう。



7 (A & B) 6GHz/20GSa/s data from 6.8 pF Target-4

図 A3：高速オシロスコープで測った JEDEC CDM パルス。より高い本来の周波数に敏感で、
従ってピークが2つ観測される。[6]より。図 A2 及び A4 の回路モデルが説明できる。

図 A2 のための表 A-I の記入も、よく知られていることだが、JEDEC CDM のテストヘッドでデバイスを試験した時に、なぜ時折問題が発生するかを明らかにする。JEDEC (CDM) の ESDA ヘッドより長い電気長は ESDA ヘッドより大きな寄生インダクタンスと容量を創出するのである。これは、外部ループ周波数を少し下げるが、これらはすでに、 C_{imm} によって大幅に変えられているのである。このテストヘッドがより大きな L_p と C_p のために内部ループの周波数に影響する。 C_d を通過するループは十分長いパッケージ配線に対して低い周波数を有するので、ESDA テストヘッドを使うときにもこの効果が出る事がある事に注意。

図 A2 のアドミッタンス零も、極と同様注意すべきである。右と左に並列 LC のタンク回路があるので、2つの零点がある事は容易に見え、関係する伝送線路において $1/4$ 波長の短絡に対応する。アドミッタンス関数において電流を零で止めるのは悪いことではないが、左の検出器の 1Ω と右の保護デバイスの両方が、これらのタンクの中央にある。この事は、デバイスには感じ(流れ)ない電流が検出抵抗に流れるか、またはその逆のケースがある事を意味している。しかし、絶縁体内の長い 50Ω 線路のパッケージ共振、表 A-I に示した $2cm$ 、は $3GHz$ 以下 (表 A-I は $1/4$ 波長周波数より十分低い、 $\sqrt{\epsilon_r} = 1.5$ の誘電体で $2cm$ は $1/4$ 波長周波数 $2.5GHz$ に相当する) である。これは、JEDEC テストヘッドの共振周波数として、[6]で報告された $3GHz$ 以下であるので、 2.5 から $3GHz$ の間で強い $1/2$ 波長の直列 L-C 共振を持つように見え、これが容易に破壊の原因となる可能性がある。では、さらに正確な伝送線路モデルに戻りましょう。

表 A-I : 図 A2 に示した回路要素の概略値

	L _P , nH	C _P , pF	L _d , nH	C _d , pF
ESDA テストヘッド*	3.6	0.22	x	x
JEDEC*テストヘッド*	10-12	~0.5 – 0.6	x	x
校正フィクスチャ	x	x	小	小
デバイス、短い配線(2mm)	x	x	0.5	0.2
デバイス、長い配線(2cm)	x	x	5	2

*JEDEC のテストヘッドは、短い Hi-z キャビティ内に 1Ω の検出抵抗を持っており、ポゴピンとキャビティの実効電気長は真空中で 2.5cm で又は 3GHz の共振周波数である[6]。

CDM テストシステムは図 A4 に描いているように、それぞれ低いインピーダンス Z で終端した、2つの伝送線路のシリーズ接続によるループでうまくモデル化される。1つのラインはデバイス用（インピーダンス Z_{d0} は通常 50Ω で伝送定数及び電気長は k_d で与えられる）で、もう1つはテスト・ヘッドとプローブ（同 Z_{p0} 、 k_p ）である。推定される平均のテスト・ヘッドのインピーダンスは、テスト・ヘッドにより、100 – 200Ω を越えている。更に洗練する為には、プローブ部とテスト・ヘッド部を2またはそれ以上の線路に必要に応じてモデル化する事もできる。

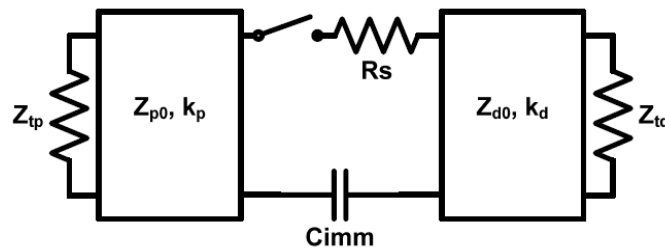


図 A4 : 一般化した CDM テスト・システムの伝送線路モデル。テスト・ヘッドとプローブ側を左に、(帯電した)デバイス側を右に記述

終端 Z_{td} 及び Z_{tp} は図 A2 の R_d 及び R_p の一般的なフォームである。 Z_{din} の一般的な数式は

$$Z_{din}(s) = Z_{d0} \left[\frac{Z_{td} + Z_{d0} \tanh(k_d s)}{Z_{d0} + Z_{td} \tanh(k_d s)} \right], \quad (4)$$

そして、これに対応する $Z_{pin}(s)$ がある。回路のアドミッタンス関数は下記になる。

$$Y(s) = \frac{1}{R_s + Z_{din}(s) + Z_{pin}(s) + \frac{1}{C_{imm}s}}. \quad (5)$$

この関数の零点は(LRC 直列回路の通常の $s=0$ は別にして)線路の一つが特異点を通過する時に発生し、 $\tan(\pi/2)$ 、すなわち、線路上の 1/4 波長共振点である。極は式の分母が 0 となる時に発生し、最低周波数の極は、関心のある、我々の外部ループである。 s は複素周波数、 $\sigma + j\omega$ 、であるから、これらの最低周波数は、負の s 依存項は R_s と釣り合うので、実数にも負（過制動）にもなり得ることに注意が必要。標準の CDM テスタ内での事象は、持続時間が短く抑制したリングング・パルスのため、その最低周波数の極は大きな実数成分を持っているであろう。

$Y(s)$ のより高い周波数の極は最初の $1/4$ 波長共振の先（より高周波数）で、一方の Z_{in} が負で（大きく）虚数になり、ついには、ずっと小さい C_{imm} 項と一緒になってもう一方の Z_{in} とバランスする時に起きるであろう。これは、両方の Z_{in} 関数が同じ周波数の近くで $1/4$ 波長に近づく時に最低周波数で起きる。一方が $\pi/2$ を越えて変化する時、 $j\tan \theta$ は負になり、しばらくして分母は 0 より出る。一方の線路の電気長を短くする事により（または、最も可能性が高いのは、極の対の組みで）この極をより周波数の高い領域へ、しかし、より長い線路に対する $1/2$ 波長周波数を越えない値に設定する。この、高い方の周波数での極による共振は、破壊的であり得る。なぜなら、終端電流（例えば、我々の保護デバイスに流れる）が、直列 L-C 共振内の両方の線路に見られる高い（等しい、及び逆極性の）電圧によって持ち上げられるから。 $Y(s)$ が 0 の時の終端によって起こりうるどんな場合よりも、これは、はるかに破壊的である。CDM テスタに関するこの教訓は、テストヘッドとプローブの電気長 (k_p) が、テストヘッドとデバイスの組み合わせによって、 $1/2$ 波長共振周波数を、より低い周波数帯へと下げているという事である。しかし、パッケージの配線効果は、工場の CDM 事象の部分に過ぎないので、これらのパッケージ条件が存在する時には、この高周波ストレスは適切と見られる。

A.3 波形の解析

式 3 のアドミッタンス関数を解くと、2 つの極が得られ、ラプラス領域では極の無い式で表現できる。

$$Y(s) = \frac{s}{L(s+a)(s+b)}. \quad (6)$$

一般的に、 $-a$ 及び $-b$ に於ける極は複素周波数である。これらの極は下記で与えられ、

$$a, b = \frac{R}{2L} (1 \pm \sqrt{1 - \frac{4L}{R^2C}}), \quad (7)$$

解は、 $R > 2\sqrt{L/C}$ であれば過制動である。ラプラス変換の分析[8]では時間領域の解は、複素指数関数 e^{-at} 及び e^{-bt} の総和で得られる。

ラプラス領域の CDM 放電電流は $I(s) = V(s) * Y(s)$ で、 $V(s)$ は、 C_{imm} が零に放電する事を表す、スイッチの火花のステップ関数である。これは、無限に急峻なステップ関数、 V_0/s で有りうるが、LCR には無関係な、火花自身の有限の立ち上り時間を構築したい。これは、 $50-200ps$ ($10-90\%$ の立ち上り時間) と信じられており、極も追加して得られるので、 c を正の実数として、漸増指数関数、 $V_0(1-e^{-ct})$ を導入する。 $10-90\%$ の立ち上り時間を τ とすると、 $c = 2.2/\tau$ でなければならない。我々の原式は、(正規化ファクタを無視して)、 $V(s) = V_0/(s(s+c))$ となるので、下記の式を得る。

$$I(s) = \frac{V_0}{L(s+a)(s+b)(s+c)}. \quad (8)$$

この 3 極モデルが、基礎的な LCR ループの放電電流波形を与える。[8]より、逆ラプラス変換を見つける事により実行できる。しかし、ここでは、抵抗と火花の立ち上がり時間を得るために、推定とカーブの合わせこみを行う。今後のピーク電流の議論では、簡単化のために、それぞれ 1 つの L、C、R の値をベースにした 2 極モデルに逆戻りする。直列 LCR 回路の、C の両端の電圧初期条件が V_0 、スイッチの開動作が完全であるとした時のピーク電流、 I_{peak} は、過制動 ($R > 2\sqrt{L/C}$)、不足制動 ($R < 2\sqrt{L/C}$) の場合で、それぞれ下記の通り。過制動の場合は

$$I_{peak} = \frac{2V_0}{\sqrt{R^2 - 4L^2\omega_0^2}} \exp\left(-\frac{R}{2\omega_0 L} \tanh^{-1}\left(\frac{2\omega_0 L}{R}\right)\right), \quad (9a)$$

ここで、 $\omega_0 = \sqrt{\left[\frac{R}{2L}\right]^2 - \frac{1}{LC}}$ 。不足制動の場合には、

$$I_{peak} = \frac{2V_0}{\sqrt{R^2 + 4L^2\omega_0^2}} \exp\left(-\frac{R}{2\omega_0 L} \tan^{-1}\left(\frac{2\omega_0 L}{R}\right)\right), \quad (9b)$$

$\omega_0 = \sqrt{\frac{1}{LC} - \left[\frac{R}{2L}\right]^2}$ 。図 A5 には 500V で R が 25 Ω (等価火花抵抗として普通見つかる値[9])の時の I_{peak}

を、L 及び C 平面上にプロットしている。過制動のケースは、右下の部分に赤字で示した。

この等価 LCR に縮小した ESDA または JEDEC の CDM テストに関し、容量は C_{imm} で、インダクタンスは部品又はテスト・フィクスチャ、および、テスト・ヘッドに依存している。図 A5 は試験されるデバイスがテスト・ヘッドに大きなインダクタンスを付加しない、つまり、部品の V_{ss} または V_{cc} プレーンにストレスを印加する場合の、JEDEC 及び ESDA テストに一般的に合っている範囲を示している。すでに指摘したように、JEDEC のテスト・ヘッドは、高い方の周波数モードの周波数を低下させてはいるが、主 LCR ループに起因するピーク電流は、インダクタンスが大きいために、JEDEC に関しては実際には少し低くなっていることに注意。従って、もし高周波共振効果が測定対象デバイスに関して重要でないなら、ピーク電流が高いので、ESDA 破壊電圧は低下する。

L-C 平面上の I_{peak}

ESDA

JEDEC

	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X
4																								
5																								
6																								
7																								
8																								
9																								
10																								
11		20	3.1	4.17	4.92	5.51	6	6.42	6.79	7.12	7.41	7.69	7.94	8.17	8.38	8.59	8.77	8.95	9.12	9.28	9.43	9.58	20	
12		19	3.17	4.26	5.02	5.62	6.11	6.54	6.91	7.24	7.55	7.82	8.07	8.31	8.52	8.73	8.92	9.1	9.27	9.43	9.58	9.73	19	
13		18	3.25	4.35	5.13	5.73	6.24	6.67	7.04	7.38	7.69	7.96	8.22	8.45	8.67	8.88	9.07	9.25	9.42	9.58	9.73	9.88	18	
14		17	3.33	4.46	5.24	5.86	6.37	6.81	7.19	7.53	7.84	8.11	8.37	8.61	8.83	9.03	9.23	9.41	9.58	9.74	9.9	10	17	
15		16	3.42	4.57	5.37	6	6.51	6.95	7.34	7.69	8	8.28	8.54	8.77	9	9.2	9.4	9.58	9.75	9.91	10.1	10.2	16	
16		15	3.51	4.68	5.51	6.14	6.67	7.12	7.51	7.85	8.17	8.45	8.71	8.95	9.18	9.38	9.58	9.76	9.94	10.1	10.3	10.4	15	
17		14	3.62	4.82	5.65	6.3	6.83	7.29	7.69	8.04	8.35	8.64	8.9	9.15	9.37	9.58	9.78	9.96	10.1	10.3	10.5	10.6	14	
18		13	3.73	4.97	5.82	6.48	7.02	7.48	7.88	8.24	8.56	8.84	9.11	9.35	9.58	9.79	9.99	10.2	10.3	10.5	10.7	10.8	13	
19	L, nH	12	3.86	5.13	6	6.67	7.22	7.69	8.09	8.45	8.77	9.07	9.33	9.58	9.81	10	10.2	10.4	10.6	10.7	10.9	11	12	
20		11	4.01	5.31	6.19	6.88	7.44	7.91	8.33	8.69	9.02	9.31	9.58	9.83	10.1	10.3	10.5	10.7	10.8	11	11.1	11.3	11	
21		10	4.17	5.51	6.42	7.12	7.69	8.17	8.59	8.95	9.28	9.58	9.85	10.1	10.3	10.5	10.7	10.9	11.1	11.3	11.4	11.6	10	
22		9	4.35	5.73	6.67	7.38	7.96	8.45	8.88	9.25	9.56	9.83	10.2	10.4	10.6	10.8	11	11.2	11.4	11.6	11.7	11.9	9	
23		8	4.57	6	6.95	7.69	8.28	8.77	9.2	9.58	9.91	10.2	10.5	10.7	11	11.2	11.4	11.6	11.7	11.9	12.1	12.2	8	
24		7	4.82	6.3	7.29	8.04	8.64	9.15	9.58	9.96	10.3	10.6	10.9	11.1	11.4	11.6	11.8	11.9	12.1	12.3	12.4	12.6	7	
25		6	5.13	6.67	7.69	8.45	9.07	9.58	10	10.4	10.7	11	11.3	11.6	11.8	12	12.2	12.4	12.5	12.7	12.9	13	6	
26		5	5.51	7.12	8.17	9.05	9.58	10.1	10.5	10.9	11.3	11.6	11.8	12.1	12.3	12.5	12.7	12.9	13.1	13.2	13.4	13.5	5	
27		4	6	7.69	8.77	9.58	10.2	10.7	11.2	11.6	11.9	12.2	12.5	12.7	12.9	13.1	13.3	13.5	13.7	13.8	14	14.1	4	
28		3	6.67	8.45	9.58	10.4	11	11.6	12	12.4	12.7	13	13.3	13.5	13.7	13.9	14.1	14.3	14.4	14.6	14.7	14.8	3	
29		2	7.69	9.58	10.7	11.6	12.2	12.7	13.1	13.5	13.8	14.1	14.3	14.6	14.8	14.9	15.1	15.2	15.4	15.5	15.6	15.7	2	
30		1	9.58	11.6	12.7	13.5	14.1	14.6	14.9	15.2	15.5	15.7	16	16.1	16.3	16.4	16.6	16.7	16.8	16.9	17	17.1	1	
31		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20		
32																								
33																								
34																								

RLC Series Circuit

Tim Maloney, 4/08

Rev. 0

Underdamped

Overdamped

Ipeak, Amps

Vo=500V

Rs=25 ohms

L, nH

C, pF

LC plane

図 A5: 簡単な直列 LCR 放電の 500V に於ける、代表的な L と C に対するピーク電流。R=25Ω。ESDA と JEDEC の CDM テスタの代表的な領域も示した。

図 A6 はインテルで開発用のテスト製品から、V_{ss} への放電を JEDEC の CDM のテストで、1GHz のオシロスコープで測定した例を示す。この帯域は、ダブルピーク等の高周波効果をフィルタで除くに十分低い。この波形は制動不足に見える。電流の積分より得られる電荷量の測定から、容量値は 18 - 20pF が得られる。ピーク電流は大体 14A である。

次に、これらの測定に、最も良く合う等価火花抵抗 R の値は、もう 1 つの L-C 平面上の I_{peak} プロットである図 7 に示す通り、38Ω と得られる。この R の値は不合理ではない。特に 2 極モデルでは、本質的な火花の立ち上がり時間の効果を含んでいると予想している。我々がこの解析で使っているのは 3 極のつもりである。図 7 に示すとおり、容量とピーク電流は、JEDEC CDM テスタで期待した値と近いのが出て来ている。

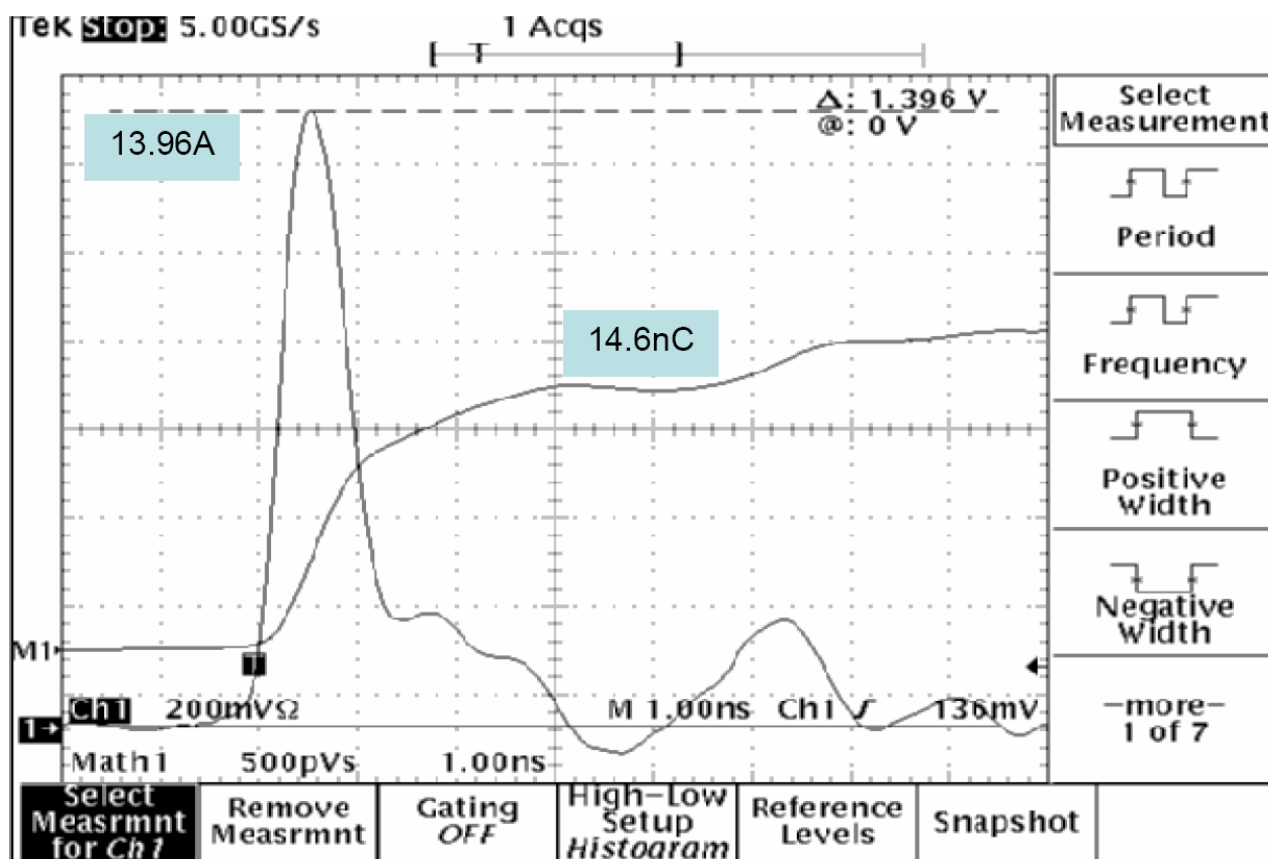


図 A6: 開発用の製品の V_{SS} プレーンからの 800V の JEDEC CDM 波形。ピーク電流とトータル電荷量を示す。

800V での、 $R_s=38\Omega$ に対する I_{peak}

インテルの例

	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X
4										RLC Series Circuit														
5										Tim Maloney, 4/08														
6										Rev. 0														
7																								
8																								
9																								
10																								
11		20	4.66	6.13	7.12	7.88	8.49	9.01	9.46	9.85	10.2	10.5	10.8	11.1	11.3	11.5	11.7	11.9	12.1	12.3	12.5	12.6	20	
12		19	4.75	6.25	7.25	8.01	8.63	9.16	9.61	10	10.4	10.7	11	11.2	11.5	11.7	11.9	12.1	12.3	12.4	12.6	12.8	19	
13		18	4.86	6.37	7.39	8.16	8.79	9.31	9.77	10.2	10.5	10.8	11.1	11.4	11.6	11.9	12.1	12.3	12.4	12.6	12.8	12.9	18	
14		17	4.97	6.51	7.54	8.32	8.95	9.48	9.94	10.3	10.7	11	11.3	11.6	11.8	12	12.2	12.4	12.6	12.8	12.9	13.1	17	
15		16	5.1	6.66	7.7	8.49	9.13	9.66	10.1	10.5	10.9	11.2	11.5	11.7	12	12.2	12.4	12.6	12.8	13	13.1	13.3	16	
16		15	5.23	6.82	7.88	8.67	9.31	9.85	10.3	10.7	11.1	11.4	11.7	11.9	12.2	12.4	12.6	12.8	13	13.2	13.3	13.5	15	
17		14	5.38	6.99	8.06	8.87	9.52	10.1	10.5	10.9	11.3	11.6	11.9	12.1	12.4	12.6	12.8	13	13.2	13.4	13.5	13.7	14	
18		13	5.53	7.18	8.27	9.08	9.73	10.3	10.7	11.1	11.5	11.8	12.1	12.4	12.6	12.8	13	13.2	13.4	13.6	13.7	13.9	13	
19	L, nH	12	5.71	7.39	8.49	9.31	9.97	10.5	11	11.4	11.7	12.1	12.3	12.6	12.8	13.1	13.3	13.5	13.6	13.8	14	14.1	12	L, nH
20		11	5.91	7.62	8.74	9.57	10.2	10.8	11.2	11.6	12	12.3	12.6	12.9	13.1	13.3	13.5	13.7	13.9	14.1	14.2	14.4	11	
21		10	6.13	7.88	9.01	9.85	10.5	11.1	11.5	11.9	12.3	12.6	12.9	13.2	13.4	13.6	13.8	14	14.2	14.3	14.5	14.6	10	
22		9	6.37	8.16	9.31	10.2	10.8	11.4	11.9	12.3	12.6	12.9	13.2	13.5	13.7	13.9	14.1	14.3	14.5	14.6	14.8	14.9	9	
23		8	6.66	8.49	9.66	10.5	11.2	11.7	12.2	12.6	13	13.3	13.6	13.8	14	14.2	14.4	14.6	14.8	14.9	15.1	15.2	8	
24		7	6.99	8.87	10.1	10.9	11.6	12.1	12.6	13	13.4	13.7	13.9	14.2	14.4	14.6	14.8	15	15.1	15.3	15.4	15.6	7	
25		6	7.39	9.31	10.5	11.4	12.1	12.6	13.1	13.5	13.8	14.1	14.4	14.6	14.8	15	15.2	15.4	15.5	15.7	15.8	16	6	
26		5	7.88	9.85	11.1	11.9	12.6	13.2	13.6	14	14.3	14.6	14.9	15.1	15.3	15.5	15.7	15.9	16	16.1	16.3	16.4	5	
27		4	8.49	10.5	11.7	12.6	13.3	13.8	14.2	14.6	14.9	15.2	15.5	15.7	15.9	16.1	16.2	16.4	16.5	16.7	16.8	16.9	4	
28		3	9.31	11.4	12.6	13.5	14.1	14.6	15	15.4	15.7	16	16.2	16.4	16.6	16.7	16.9	17	17.2	17.3	17.4	17.5	3	
29		2	10.5	12.6	13.8	14.6	15.2	15.7	16.1	16.4	16.7	16.9	17.1	17.3	17.4	17.6	17.7	17.8	18	18.1	18.2	18.2	2	
30		1	12.6	14.6	15.7	16.4	16.9	17.3	17.6	17.8	18.1	18.2	18.4	18.5	18.7	18.8	18.9	18.9	19	19.1	19.2	19.2	1	
31		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20		
32																								
33																								
34																								

図 A7: 800V、 $R=38\Omega$ に於ける直列 LCR 放電回路の L-C 平面上の I_{peak} 。

図 A6 の例の場所を示す。JEDEC CDM テスタに矛盾しない。

A.4 結論

上記の分析より、比較的簡単なモデリングに関する考察から、CDM 試験に関する多くの事が理解できる事が明白になる。回路モデルは第一に低い周波数での効果に焦点を絞り、もし希望があれば、伝送線路を分割し、適切な近似を用いて、より高い周波数での効果を含むよう拡張する。回路モデルは、ラプラス領域で直接解に導き、それを、逆ラプラス変換[8]で時間領域に変換できる。または、SPICE のような CAD ツールを使って、数値的に解く事もできる。

この種類の回路モデリングと関係するラプラス変換分析はウェーハ・レベルの CDM 的なパルス印加、および、ESDA 又は JEDEC テストの代替の 2 つの分野に応用できる。一方は、本章の著者のウェーハ CDM (WCDM) 技術[10]で、接地したウェーハの上に置いた帯電プレートとプローブを使い、パッドで放電する。本章の ns-CDM の分析と重複する部分も多いが、WCDM 法の時間領域及び周波数領域における更なる分析を、文献 10 でご覧ください。WCDM の焦点は、CDM 的な高速立ち上がり時間と大ピーク電流を得るために LCR の過制動した解を使用する事である。CDM 的なパルスを発生するその他の方法は、容量で結合した伝送線路パルスング (CC-TLP) であり、何度か発表されている[11]。この方法では、予めウェーハ上のパッドに接続してあるプローブにパルスを供給するのに、ステップ発生器とこ

れとプローブをつなぐ 50Ω 線路を使用する。グラウンド・リターンはウェーハの上側に設置する接地用ディスク（又は接地した部品）へ容量結合で行う。 50Ω 線路の中のバラツキ効果を除いてはいるが、火花抵抗と立ち上り時間はここでは、TLP のリレー内にある。また、火花抵抗は 50Ω 線路源から離れたところにあり、減衰器やインピーダンス整合により除去できる。CC-TLP の場合のアドミッタンス関数を書いておくことは興味があろう。本質的な、また、バラツキのあるステップ関数の立ち上り時間を無視すると、下記となる。

$$Y(s) = \frac{Cs}{LCs^2 + 50Cs + 1}, \quad (10)$$

スイッチの抵抗を 50Ω の線路インピーダンスで置き換えた以外は式 3 と非常によく似ている。インダクタンス L は CC-TLP グラウンド・プレートの下側に伸びているプローブの非常に小さいインダクタンスである（プローブに分布している容量も幾分ある[12、13]が、プローブ・インピーダンスは $Z=\sqrt{L/Cp}$ で相当高い）。 C はグラウンド・プレートの容量である。波形は $50 > \sqrt{L/C}$ であれば、2 重指数関数（Double Exponential、2 つの実(平方)根で過制動）で、プローブのインダクタンスが小さく、グラウンド板が合理的な寸法で有れば極めて高い可能性で、この波形となる。もっとも単純な WCDM 案[10]も式 10 に似たアドミッタンス関数をもつ。この場合は、 L はプローブの低いインダクタンスで式 10 の 50Ω 、又は式 3 の R の代わりに、火花抵抗として調節可能な抵抗を使用できる。

References

- [1] R. Renninger, M-C. Jon, D.L. Lin, T. Diep and T.L. Welsher, "A Field-Induced Charged-Device Model Simulator", EOS/ESD Symp. pp. 59-71, 1989.
- [2] J.A. Montoya and T.J. Maloney, "Unifying Factory ESD Measurements and Component ESD Stress Testing", EOS/ESD Symp. pp. 229-237, 2005.
- [3] T.J. Maloney, "CDM Protection, Testing and Factory Monitoring is Easier Than You Think", 2007 Taiwan ESD Conference Proceedings, pp. 2-7.
- [4] B. Atwood, Y. Zhou, D. Clarke, T. Weyl, "Effect of Large Device Capacitance on FICDM Peak Current", 2007 EOS/ESD Symposium Proceedings, pp. 275-282.
- [5] R. Renninger, "Mechanisms of Charged-Device Electrostatic Discharges", EOS/ESD Symp. pp. 127-143, 1991.
- [6] L.G. Henry, R. Narayan, L. Johnson, M. Hernandez, E. Grund, K. Min, Y. Huh, "Different CDM ESD Simulators provide different Failure Thresholds from the Same Device Even Though All the Simulators Meet the CDM Standard Specifications", 2006 EOS/ESD Symposium Proceedings, pp. 343-53.
- [7] A. Jahanzeb, Y.-Y. Lin, S. Marum, J. Schichl, C. Duvvury, "CDM Peak Current Variations and Impact Upon CDM Performance Thresholds", 2007 EOS/ESD Symposium Proceedings, pp. 283-88.
- [8] M. Abramowitz and I.A. Stegun, Handbook of Mathematical Functions, New York: Dover Publications, 1965.
- [9] Evan Grund, private communication.
- [10] B. Chou, T.J. Maloney, and T.W. Chen, "Wafer-Level Charged Device Model Testing", 2008 EOS/ESD Symposium Proceedings, September 2008.
- [11] H. Wolf, H. Gieser, and D. Walter, "Investigating the CDM Susceptibility of IC's at Package and Wafer Level by Capacitive Coupled TLP", EOS/ESD Symp. pp. 297-303, 2007.
- [12] T.W. Chen, T.J. Maloney, and B. Chou, "Detecting E and H Fields with Microstrip Transmission Lines", 2008 EMC Symposium, August 2008.
- [13] S.A. Schelkunoff, "Theory of Antennas of Arbitrary Size and Shape", Proc. IEEE, vol. 72, no. 9, pp. 1165-1190, Sept. 1984. Originally published in Proc. IRE, vol. 29, pp. 493-521, Sept. 1941.

付属書 B: 実世界の事象を表す場合の CDM テスタの限界

Satoshi Isofuku, Tokyo Electronics Trading

Yasuhiro Fukuda, OKI Engineering

Hiroyasu Ishizuka, Renesas Technology

Tim Maloney, Intel Corporation

B.1 実世界の CDM の物理

B.1.1 CDM の物理とは？ CDM は工場ではどのようにして発生するか？

デバイスの CDM 放電は帯電したデバイスと外部の金属物体の電位差がそれらの間の小さな空気間隙の絶縁耐圧を越えた時に発生する。空気の代表的な降服電圧は、よく知られたパッシェン曲線で定義されている。しかしながら、実世界の事象は、以下に示す様な種々の条件に依存する：

- 放電接点の形状
- DUT の移動に伴う容量、電位、間隔間隔の変化
- パッケージの形状及び導体放電表面の形状に依存するインダクタンスの変化

もし帯電電圧が、大体 2 kV 以上であれば、コロナ的な放電が起こり得て、CDM 気中放電が発生する前に、DUT の電位は低下する。他方で、CDM 試験では、それが認証試験であるので、再現性の良い事が求められ、容量、インダクタンス、接触速度、環境条件などを可能な限り一定に保ち、スタンダード[1 – 4]に適合させようとする。

基本的な CDM 放電は、図 B1 に図示したように、2 つの物体間の急激な電荷の移動と考えられる。

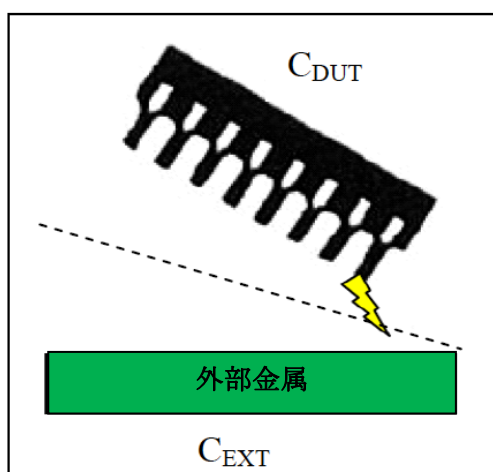


図 B1: 2 つの物体間の CDM 放電。1 つの容量が、図のように分割する面に対する 2 つの直列容量部分 C_{DUT} と C_{EXT} に分割される。

図 B1 は容量 C_{DUT} を持つ DIP IC と容量 C_{EXT} を持つ外部金属（両者共、合理的に書いているが、厳密に定義した面に対する容量）の間の放電パスを示す。環境、インダクタンス、および抵抗が放電経路に存

在するかも知れず、これらは、電圧及び電流放電特性に影響する。ダイポールが消滅し、 C_{DUT} と C_{EXT} の電位差が平衡すると放電が終了する。

B.1.2 : デバイスの電位／帯電／放電メカニズムに関する実世界 CDM の解説

電界帯電、摩擦帯電がデバイスの帯電の主要な方法である：

電界帯電：デバイスの周辺の電界の変化は、そのデバイスの持つ正味の電荷を変えることなく、デバイスの電位を変化させる。この電位の変化は、そのデバイスが、他の異なる電位を持つ導体と接触した時に急速な電流パルス、つまり、CDM 事象を引き起こしやすい。

摩擦帯電：デバイスが他の物体の表面を滑ると静電荷が発生する。発生する静電荷は各々の面の材料、摩擦係数、摩擦速度に依存する。製造での IC の自動ハンドリングで実在する数例を示すと：

- IC の出荷用チューブ内でのデバイスのスライドはこの帯電の例である
- テープやトレイからのデバイスのピックアップ：デバイスを搬送用のテープやトレイからピックアップする時に電荷が発生する。これは摩擦帯電の 1 種である。
- シートをはがす／テープをリールから引き出す：表示デバイスや CCD などの電子デバイスの表面から保護シートを剥がす、または、リールよりテープを引き出すと、電荷が発生する。これも摩擦帯電の 1 種である。

帯電した金属工具がデバイスに接触すると CDM 的なストレスを生じる。これは、電界帯電とも摩擦帯電とも幾分異なっている：しかし、CDM ストレスの 1 タイプと考える事ができる（パルス幅は多少広い事もあるけれども）。金属工具の大きさによっては、システム・レベルストレスに似てくる。ボード帯電事象（CBE）もこの分類に含まれることもある。

IC デバイス及びパッケージ技術の進歩により、近代的な製造環境では CDM 事象の発生が増加している。初期の段階では、IC パッケージはスルーホール・タイプであり、一般に、機械、または人手で取り扱っていた。これは、表面実装パッケージに移行し、自動機械がより多く使われるようになっている。今日、大量生産工場では人手によるハンドリングは殆ど存在しない。

B.1.3 初期の段階での実世界 CDM 事象の例

図 B2 は IC パッケージが捺印ローラとパッケージ表面の間の摩擦で帯電していた例を示している[5]。その他の例では、DIP パッケージがチューブ内部をスライドして、その後試験ソケットに挿入される IC テスタにも見られた。

図 B3 はその他の例で、初期のデバイスの帯電電圧が 1000V を越えると、1) コロナ放電、その後、2) より高い抵抗の気中放電、そして最後に低抵抗の火花放電を生じる例を示している[6]。コロナ放電は空気間隙の放電がトリガされる前にデバイスの電位を下げる。間隙の距離がより狭くなると、振動しない（火花抵抗がより高い）放電を検出し、その後、振動する（火花抵抗がさらに低い）放電を、接触の少し前に検出する。最後の火花放電の火花抵抗は $50\ \Omega$ 以下で、2 番目の火花抵抗は通常、 $100\ \Omega$ 以上である。

接近速度が十分速いと、2 番目の放電は通常検出されない。もし、接近速度が極めて遅いと、完全な接触までに、2 個以上の気中放電が起きる事がある。

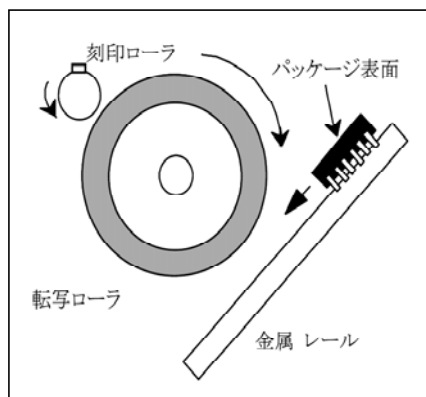


図 B2 : 初期のパッケージへの帯電の例

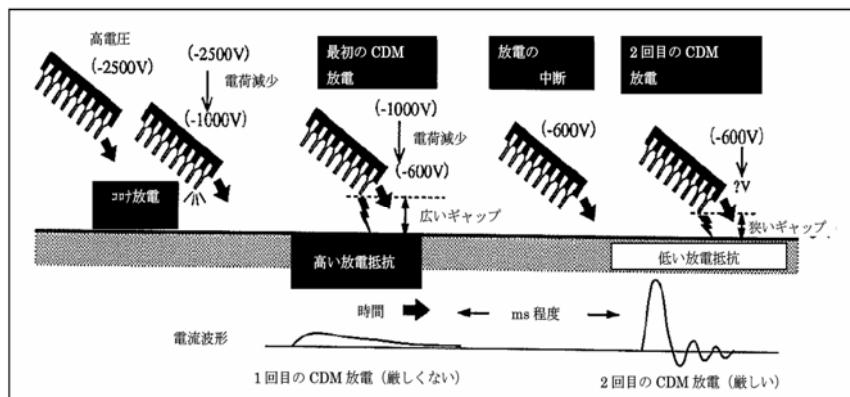


図 B3 : 高電圧デバイスからの多重 CDM 放電の例

B.1.4 最近の実世界の CDM 事象の例

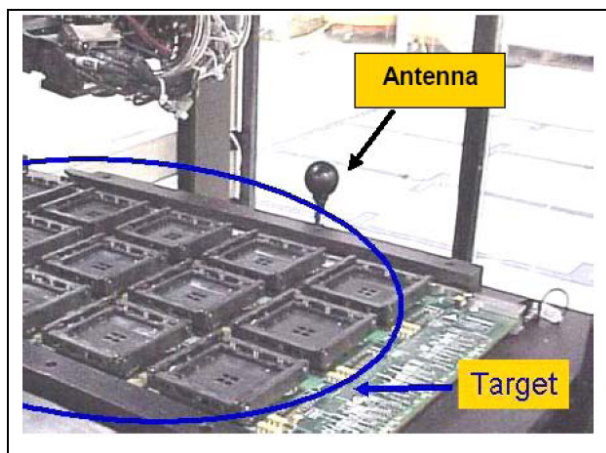


図 B4 : 最新の CDM の例

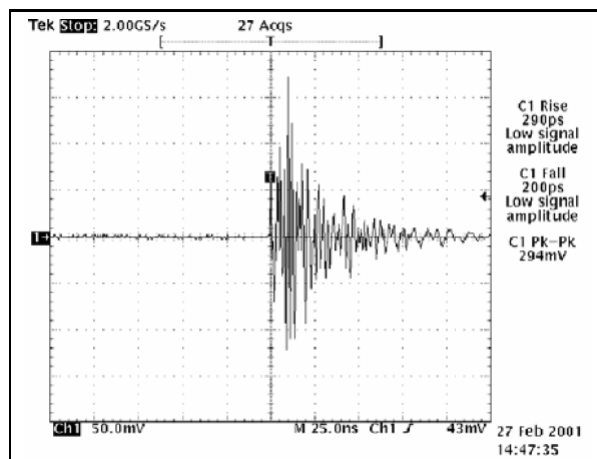


図 B5 : 図 B4 のアンテナで受信したスコープ波形

今日では表面実装パッケージがより普通になっているので、ピック＆プレース型自動機械が、自動製造ラインのあらゆる所で使われている。このような環境では電界誘導によるチャージングの機会がより多く見られる。図 B4 はデバイスをトレイより取り上げ、バーンイン・ボード上のソケットに装着する例を示している。CDM 事象は、デバイスのピンと IC ソケットが接触する直前に両者の間に十分な電位差があれば発生する。図 B4 に示した近接界アンテナはこの事象によって発生する電磁界を受信し、図 B5 のような波形でオシロスコープで監視できる。この波形の p-p（ピーク・ピーク間）電圧は、もし、CDM 放電源とアンテナの距離が一定であれば、CDM 事象の電荷に比例する事が報告されている[7]。

B.1.5 実世界 CDM ストレスに於ける容量変化の影響

典型的な CDM 放電は、帯電した IC の 1 つのピンが外部導体表面に接近すると発生する。それは、接触の直前に起きる空気中の放電である。例を列記すると：

IC と試験ソケット間の接触

IC と PC ボードの接触

IC と均質でない抵抗率を持つ IC トレイとの接触

実世界では、ハンドリングは自動化され、取り扱うデバイスと目的とする物体（PC ボードなど、そこへデバイスを設置する）の間の容量は変化する。容量の変化（増加）率は、接触の直前が、言い換えれば CDM 事象の直前が、一番大きい。図 B6 は容量測定の実例で、DIP デバイスとグランド板との間隔によって変化する[8]。図 B6 は、デバイスとグランド板との距離が、グランド板より数 mm 増えると、容量は、最初のスタート時の容量のほぼ 1/10 に減少する事を示している。

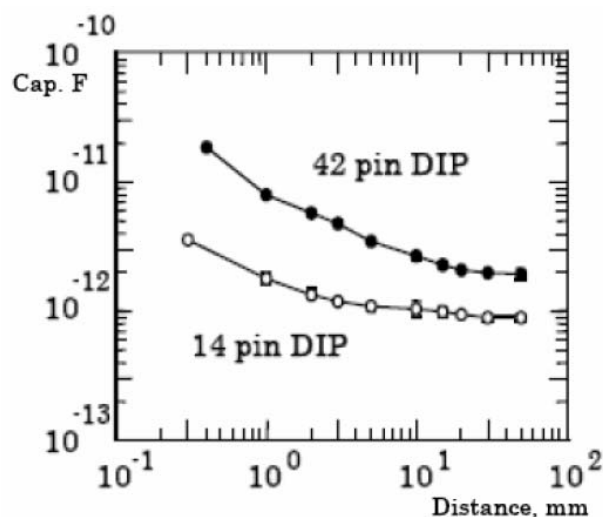


図 B6 : 距離対デバイス容量

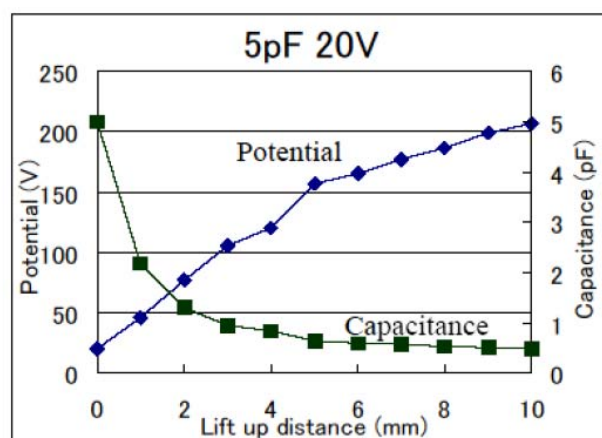


図 B7 : 距離対デバイス容量

この事は、もしデバイスの電荷量が一定であれば、デバイスが 10mm の距離からグランド板まで接近した後では、デバイスの電位は、1/10 に下がる事を暗示している。これは、放電電流対容量源（すなわちデバイス）とグランド板の間の距離をプロットする事により同様に、図示できる[9]。図 B7 は距離と電位／容量の関係を示している。このグラフは、容量モジュールの電位は、デバイスを持ち上げる事により、25V から 200V まで上昇していることを示す。他方で、容量は、5pF 以上から、0.5pF 以下に減少する。CDM 事象のピーク電流はギャップ間の電圧に比例するので、ギャップ間隔の減少により電位差が減少すれば、ピーク電流は減少する。このような現象は実世界の事象では非常に一般的である。

B.1.6 実世界の CDM 事象による破壊のタイプ

図 B8[10]及び B9 は部品の CDM 破壊の例を示している。図 B8 はゲート酸化膜の破壊を示しており、最も一般的な CDM 破壊モードである。NMOS ゲートの白い点がこの写真内の破壊の放射痕を示す。図 B9 は Y. Fukuda 氏により報告された他の CDM 破壊例で、ダイオード接合の破壊例である。ダイオードの拡散間隔が十分でなく、破壊を制限できなかった事例である。

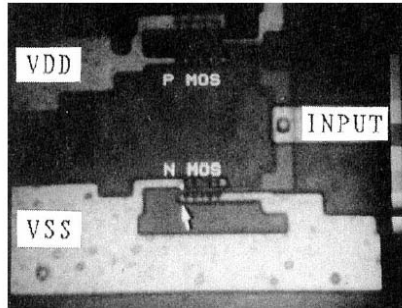


図 B8 : GOX の破壊例[10]

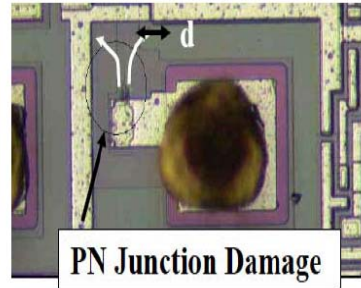


図 B9 : PN 接合の破壊例

B.2 実世界の CDM に関する考察と分析

B.2.1 実世界の CDM の回路モデル表現

図 B1 は図 B10 に示す回路図のように記述できる。S は CDM 放電が発生する接点を意味している。R_{DUT} 及び L_{DUT} は DUT 内部の直列抵抗とインダクタンスである。L_{EXT} と R_{EXT} は外部導体表面が形成するインダクタンスと抵抗である。全ての回路要素は直列接続されているので、インダクタンス、抵抗をそれぞれ加えて、図 B11 のように簡単化した回路をつくる事ができる。図 B11 の R は R_{DUT}、R_{EXT} 及び S の火花抵抗を含む。V_{DUT} と V_{EXT} の間に十分な電圧差があれば放電が起きる。

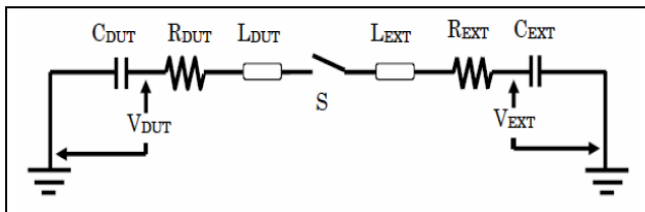


図 B10 : 実世界の CDM、回路モデル

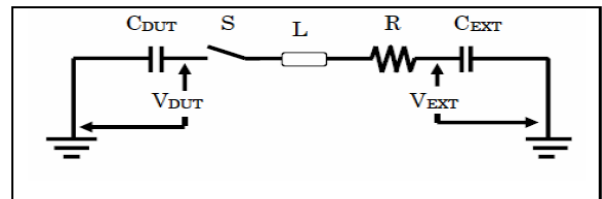


図 B11 : 図 B10 の簡単化した回路

B.2.2 パッケージの形状／寸法及びグランドによる実世界の CDM ストレス

実世界の CDM に影響する要因の変化が大きいのので、あらゆる事例を比較する事は困難である。ここでは代表的な事例に関して議論する。

CDM 電流は、ルートの内部が正の場合、下記の式で定義できる[6]。この式の V は、図 B10、および B11 で示した V_{DUT} と V_{EXT} の差である。

$$I(t) = \frac{V}{\omega L} e^{-\alpha t} \sin(\omega t) \quad , \quad \text{ここで、} \alpha = R/2L, \quad \text{および} \quad \omega = 2\pi f = \sqrt{\frac{1}{LC} - \left(\frac{R}{2L}\right)^2} \quad \text{式 B.1}$$

他方で、CDM テスタの容量モデルが図 B12 のように報告されている[7、12]。もしこのモデルを実世界に適用すると、C_{frg} (帯電プレートとグランド板の間の空気を介した容量) は通常、C_f (薄い絶縁シートを介したデバイスと帯電プレートとの間の容量) より極めて小さい。C_{frg} と C_f の直列の組み合わせが図 B10 及び B11 の C_{DUT} に、そして、C_g は C_{EXT} に似ている。しかしながら、テスト内では、これらの容量が直列ではなく並列に結合している。その結果、式 B.1 の容量 C は図 B10 及び B11 の中の C_{DUT} と

C_{EXT} の直列容量で定義される。テストに関しては、付属書 A に記述されているように、 C_g は C_f 及び C_{frg} に対して直列の組み合わせで追加している。いずれの場合にも、1つの等価容量に帰結する。

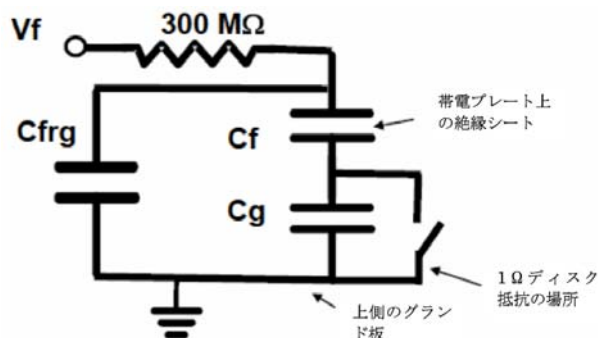


図 B12 : F-CDM テスタの容量モデル

式 B.1 で、各パラメータは、実世界で次の意味を持っている：

V: 放電の直前のギャップ間の電圧差 ($V_{DUT} - V_{EXT}$)

L: 放電パスのインダクタンス。これは、パッケージ内部のボンディング線、ピンの長さ、PC ボードのパターンやソケットの接点リード等の外部要素などのインダクタンスを含む。

R: 放電パスの直列抵抗。実世界の CDM では、火花抵抗が支配的で、環境条件により 10Ω 程度から 100Ω 以上まで変化する。L と C の値により、上記式の条件 ($R < 2\sqrt{L/C}$) が満たされなければ、振動しないパルス (図 B3 の左) となる。

C: 上に述べたとおり、 C_{DUT} と C_{EXT} の直列容量。

上記前提のもとに、パッケージ間の比較を行う。

小さな BGA パッケージと大きい BGA パッケージ間の比較

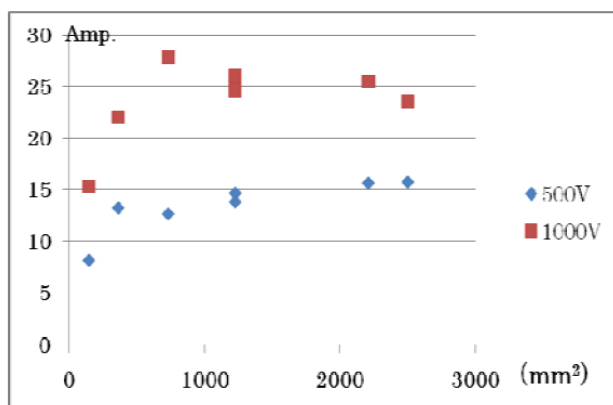


図 13 : 異なる BGA パッケージ寸法間のピーク電流の比較

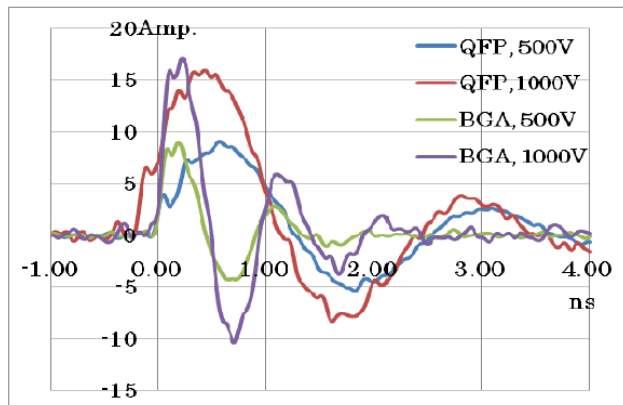


図 14 : 同じダイを入れた小さい BGA と大きい QFP パッケージのピーク電流の比較

より小さいパッケージは大きいパッケージより C_{DUT} が小さいのが普通である。しかし、ピーク電流を大きく駆動するのは C_{EXT} と C_{DUT} の直列結合である。小さな金属工具の場合には C_{EXT} は小さいであろうから、ピーク電流もそれに従い小さい。これはテストの世界でも正しく、等価容量 C がスタンダードで定義される[11]。図 B13 は 12 x 12BGA から 50 x 50BGA までの実世界でのピーク電流を、図 B20 で示すような小さい金属工具への放電を模擬して測定し、比較した。実世界では、工具側の C_{EXT} はデバイスの C_{DUT} に比べ大幅に小さい（特に C_{DUT} が大きい場合）場合が普通なので、大きい容量を持つ大きなパッケージからの電流は、ほぼ一定となっている。図 B13 に見られるように、パッケージ寸法が 1000mm² 以下の小容量領域でのみピーク電流が増加している。

異なるパッケージタイプ間の比較（BGA と QFP）

図 B14 は同じ設計のダイを封入した小さな BGA と大きな QFP からの波形を比較している。BGA と QFP のパッケージ寸法はそれぞれ、12 x 12 と 28 x 28（共に mm²）であった。ピーク電流は同等であったが、BGA からのパルス幅は QFP パッケージからの幅の半分以下であった。これらの波形測定に使った上部グラウンド板の寸法は 140mm x 140mm であった。パッケージ・タイプが異なっても、同じダイから、同じ電流振幅が得られる事は、常に真ではない事には注意すべきである。測定条件の違いにより、電流振幅の比較が異なる結果となる事がある。例えば、帯域の低いスコープを使うと、パルス幅の違いにより、BGA パッケージからの実測ピーク電流は QFP パッケージからのピーク電流より低くなる可能性がある。

スルーホール型パッケージと表面実装型パッケージ

スルーホール型パッケージを、PC ボードに実装する時には、ボード上の取り付け穴（スルーホール）に IC のリードを貫通させる。この方法では、IC のリードの先端が PC ボードの金属に触れる時の PC ボードと IC チップの距離が表面実装パッケージに比べ離れている。この事は、CDM 事象の間の、スルーホール型パッケージの C_{DUT} は表面実装パッケージに比べ小さい。その結果、もし、両方のパッケージが同じ電荷を持っており、（ダイの面積、パッケージの面積も同じとすると）、CDM 放電発生直前の電圧は、スルーホール型パッケージの方が、表面実装型パッケージより高い。しかしながら、スルーホール型パッケージからの放電インダクタンス L は、表面実装パッケージのそれより、一般的に大きい。電流の比較には、両パッケージのボンディング線の長さの差も考慮しなければいけない。これらのパッケージ・タイプからの電流差の比較には、式 B.1 の V 及び C (に加えて L) も考慮しなければならない。

パッケージの厚さ（表面実装パッケージ）

一般に、より薄いパッケージは厚いパッケージに比べて、もし底面積が同じ（ダイも同じ）なら、より大きな C_{DUT} を持つ。もし両方のパッケージが、PC ボードから遠く離れた所から、同じ電位で PC ボードの方向へ移動を始めたと仮定すると、CDM 事象が起きる時の電圧 V は薄いパッケージの方が低いので、結果として起こる、より薄いパッケージからのピーク電流は、厚いパッケージからのそれより少ない。

重さとパッケージ表面：

デバイスのハンドリングにおいて、滑りが主要な考慮事項であった時には、重さと表面の平坦さが帯電の重要なパラメータであった。ピック&プレイスが必要な表面実装パッケージが普通になったので、こ

これらのパラメータはそんなに重要ではなくなった。表面の物質と平坦さは帯電に差がある。鏡のように滑らかな表面を持つパッケージは、粗い表面のパッケージより帯電しやすい[10]。

B.3 実世界の CDM とテストでの CDM の違い

表 B-I: 実世界とテスト世界の CDM の比較

パラメータ	実世界	テスト世界
デバイスの容量 (C_{DUT})	パッケージと環境に依存。 通常はテスト世界より小さい。	安定しているが、パッケージ、テスト、スタンダードに依存
放電電荷を受ける容量 (C_{EXT})	ターゲット(放電を受ける)物体による。 通常はテスト世界より小さい。	安定しているが、パッケージ、テスト、スタンダードに依存
帯電プレートと上部グランド間の容量 (C_{frg})	殆どの場合無視できる。	等価 C_{DUT} を決める。これは、実世界の値を越える可能性がある。
帯電電圧	環境に依存する。	再現性があり、限定できる。
放電抵抗	パッケージ、環境、接触部の材料による	概ね安定。環境をコントロールできる
放電インダクタンス	パッケージとターゲットの物体による	一定、しかし、テスト、テスト・スタンダード、デバイス・パッケージには依存
ピーク電流	パッケージとターゲット物体による。殆どの場合テスト世界より低い、特に大きいパッケージの場合	再現性が高い。しかしパッケージとスタンダードに依存。
電流立ち上がり時間	100ps 以下から数 ns まで	安定であるがスコープの帯域制限がある

注意：表 B-I は実世界とテスト世界の CDM パラメータを比較している。CDM スタンダード間の比較に関しては、付録 C を参照。

実世界はテストでいかに表現できるか？

- テスタは実世界の事象の最悪ケースをシミュレートする。
- テスタは再現性のある CDM 評価を提供する
- テスタのストレス・レベルは、そのテストが準拠する、JEDEC、ESDA、AEC または JEITA のスタンダードによる。
- もし、実世界の CDM の電流レベルがわかれば、同じ電流を CDM テスタでデバイスに印加できる。しかし、現在の全ての CDM スタンダードは、ANSI/ESD STM5.3.1-1999 及び ESD DS5.3.1-2007 を除き、低い帯域(1GHz)のスコープを使っているのもので、実世界の電流とは相関が取れないかもしれない。
- 電圧又は電流：破壊電圧だけを使うと、C（容量）又は I（電流）が分からないので、CDM ESD の感じやすさを良く定義できない。

B.4 実世界とテストの CDM 波形の比較

全ての CDM ESD スタンドアードは、市販の CDM テスタが電流波形の仕様[1－4]に従う事を要求する。小と大の評価用(容量)モジュールから放電するピーク電流が表 B-II の範囲に入らなければならない。JEITA スタンドアードの小及び大モジュールの容量値は表 B-II に示した値とは異なっている(約 15%小さい) かもしれない。これは、JEITA スタンドアードが、グランド板上に、名目誘電率 4.0 の誘電体シートを使用する事を推奨している(コインモジュールは JEDEC と極めて近いけれども) からである。これらのスタンドアードはまた、電流パルスの立ち上がり時間と幅も指定している。これらの評価用モジュールは、インダクタンスは全く含まないので、放電パスにはテストのインダクタンスのみが含まれる。

表 B-II : CDM スタンドアード間のピーク電流の比較

	JEDEC[1]	ESDA[2]	AEC[3]	JEITA[4]
小	500V で 5.75A(±15%)	500V で 7.5A(±20%)	500V で 4.5A(±20%)	500V で 4.0A(±10%)
大	500V で 11.5A(±15%)	500V で 18A(±20%)	500V で 14A(±20%)	500V で 5.5A(±10%)
注意	スコープ帯域:1GHz 以上 小: 6.8pF±5% 大: 55pF±5%	スコープ帯域:3.5GHz 以上 小: 4pF±5% 大: 30pF±5%	スコープ帯域:1GHz 以上 小: 4pF±5% 大: 30pF±5%	スコープ帯域:2GHz 以上

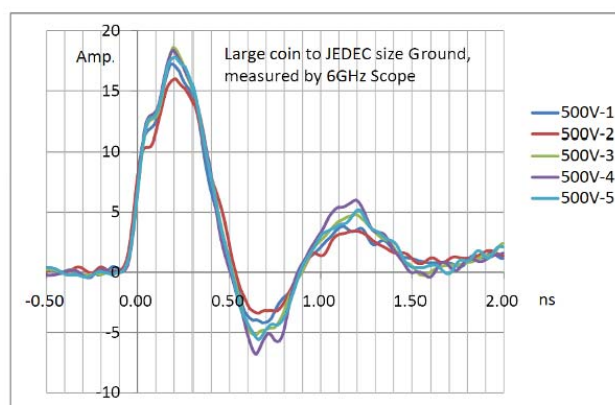


図 B15:JEDEC 寸法のグランドへの大コインの放電

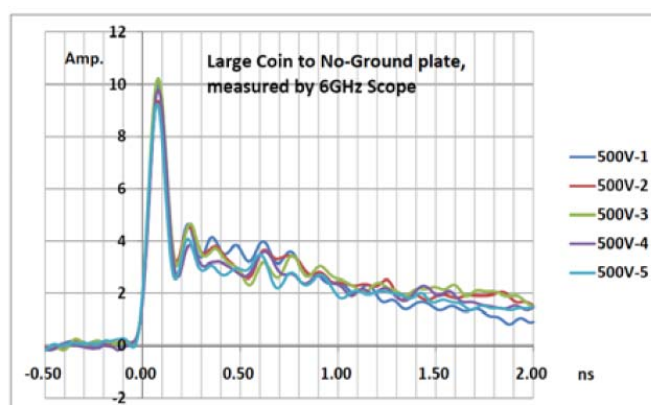


図 B16:大コインからグランド板なしへの放電

図 B15 は JEDEC の大きい評価(コイン)モジュールを 500V に充電してから、JEDEC 寸法(63.5mm x 63.5mm)のグランドへ放電した時の波形測定結果である。図 B16 は、上側のグランド板を除去して、同じ大きいコインモジュールからの電流波形を示している。電流波形はこれらの図の間で非常に違う。JEDEC 寸法のグランドへの電流は、そのグランド板がない場合に比べ、50 から 80%大きい。グランド板付きの場合の波形は減衰振動だが、グランド板なしでは短い単一パルスである。実世界の CDM 事象では上側のグランドは、テスト世界の CDM のように大きくないのが通常なので、図 B16 の方が、図 B15 より実世界の CDM 事象の波形に近い。

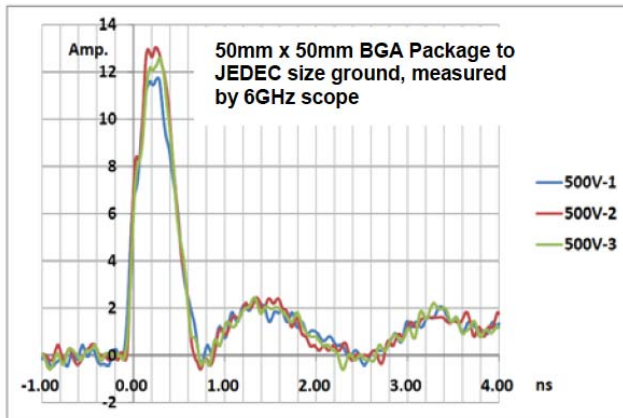


図 B17 : 大きい BGA パッケージから JEDEC 寸法のグラ
ランドへ

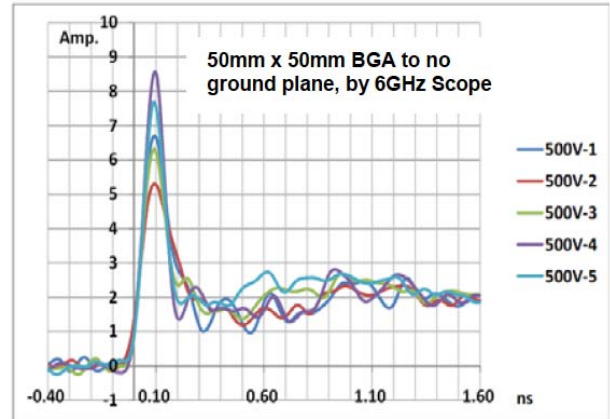


図 B18 : 大きい BGA パッケージからグラウンド無しへ

図 B17 は 50mm x 50mm の BGA パッケージ・デバイスから JEDEC 寸法のグラウンド板へ、500V の放電波形である。このグラウンド板を取り除くと、図 B18 の波形となる。図 B17 と B18 の間の関係は、図 B15 と B16 の関係と非常によく似ている。グラウンド板を除くと放電電流は振動せず、パルス幅は、グラウンド板への波形に比べて非常に狭い。この BGA パッケージを 0.4mm の厚さの JEDEC 絶縁シート状に置いた時の容量は約 100pF であった。

図 B19 は放電パスのインダクタンスのピーク電流に対する影響を、小コイン、大コイン、小 BGA、大 BGA に対して図示している。接触棒の長さは、2mm、5mm、10mm を使用した。図 B19 は、接触棒の長さが 2mm から 10mm に増えると、容量の大きなデバイスでは、ピーク電流は概略 1/2 に減少する事を示す。容量の小さいデバイスからのピーク電流は、容量が大きなデバイスほどインダクタンスの影響を受けない。

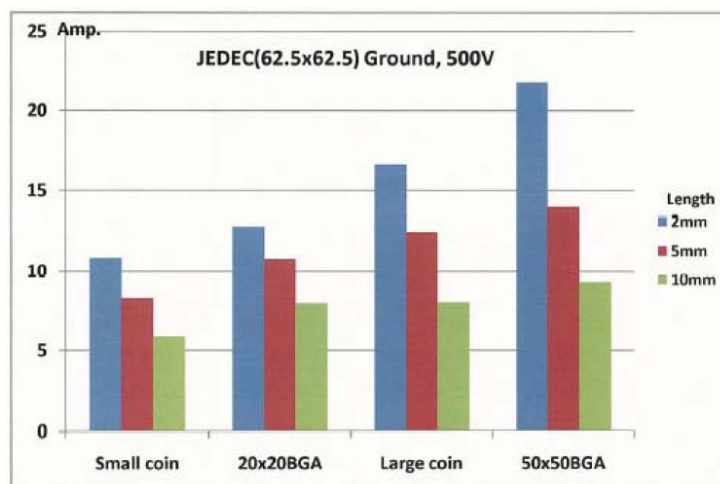


図 B19 : 接触棒の長さのピーク電流への影響

実世界の CDM では放電を受ける側の“グラウンド”は最悪ケースのテスト世界に於ける大きなグラウンド板とは似ていない。この事は、実世界の CDM 事象のピーク電流はテストの世界ほど高くはない事を意

味する。上記実験に使用した電流プローブを図 B20 に示す。

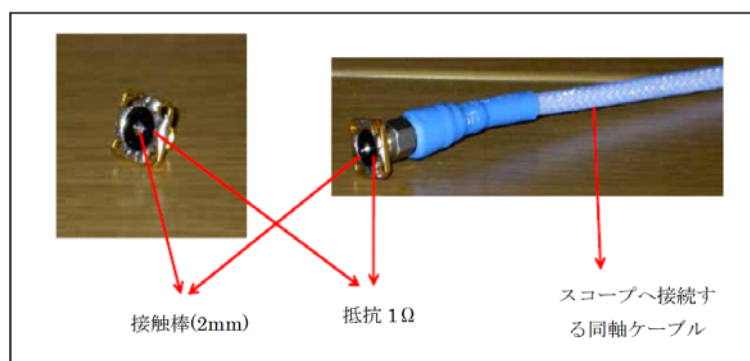


図 B20 : 本実験に使用した電流プローブ。異なる寸法のグラウンド板をコネクタの 4 個の穴で固定した。

B.5 結論

実世界の CDM 事象を評価し、テスト世界のそれと比較して下記の結論を得た：

- 実世界の CDM 事象はテスト世界の CDM 放電ほど再現性がない。
- 容量がより大きいデバイスからの放電電流はテスト世界の上側のグラウンドの寸法がより大きいと増加する。
- 実世界での CDM 事象では、大きな上部グラウンドへの非常に低インダクタンスの放電は極めてまれである。実世界の CDM 事象の直列インダクタンスは通常テスト世界に於ける場合より高いので、ピーク電流はテスト世界ほど高くない。もし 10mm の棒（ほぼ 13nH）が放電パスに存在すると、大容量デバイスからの放電電流は 2mm の棒の放電に比べて、ピーク電流は 50%に減少する(図 B20)。
- ボード帯電事象（CBE）はこの実世界 CDM 事象の議論では含んでいない。CBE は CDM とは別に扱わなければならない、付属書 E で議論している。

References

- [1] JEDEC JESD22-C101D standard, “Field-Induced Charged-Device Model Test Method for Electrostatic-Discharge-Withstand Thresholds of Microelectronic Components”, Oct. 2008. See www.jedec.org.
- [2] EOS/ESD Association Inc., ANSI/ESD STM5.3.1-1999, “Charged Device Model (CDM) Component Level”, 1999.
- [3] Automotive Electronics Council, AEC-Q100-011 Rev-B, “Charged Device Model Electrostatic Discharge Test”, 2001.
- [4] JEITA CDM Standard, CDM (EIAJ ED-4701/300-2, Test Method 305A)
- [5] Y. Fukuda, ESD Protection Network Evaluation by HBM and CDM(CPM), 1986 EOS/ESD Symposium Proceedings, pp. 193-199
- [6] M. Tanaka, CDM ESD Test Considered Phenomena of Division and Reduction of High Voltage Discharge in the Environment, 1996 EOS/ESD Symposium Proceedings, pp. 54-61
- [7] J. Montoya and T.J Maloney, Unifying Factory Measurements and Component ESD Stress Testing, 2005 EOS/ESD Symposium Proceedings
- [8] K. Suzuki, et al, The use of the coulomb meter to measure the excess mobile charge and capacitance of LSI circuits in the charged device model, Semicond. Sci. Technol, 13 (1998), pp.1368-1373
- [9] Y. Soda, Discharge Current and Electric Field Radiated from a small capacitance Device, 2003 EOS/ESD Symposium Proceedings, pp. 426-431
- [10] Y. Fukuda, VLSI ESD Phenomenon and Protection, 1988 EOS/ESD Symposium Proceedings, pp. 228-234
- [11] T. Brodbeck, et al, CDM Tests on Interface Test Chips for the Verification of ESD Protection Concepts, 2007 EOS/ESD Symposium Proceedings, pp. 1-8
- [12] R. Renninger, M-C. Jon, D.L. Lin, T. Diep and T.L. Welscher, “A Field-Induced Charged-Device Model Simulator”, EOS/ESD Symp. pp. 59-71, 1989.

付属書 C: CDM の認証とテストの方法

Melanie Etherton, Freescale Semiconductor

Robert Ashton, ON Semiconductor

Michael Chaine, Micron Technology

この付属書では現存する CDM ESD テスト方法とスタンダードそして、それらの間の違いを要約し、その違いの製品試験結果に対する影響を説明する。それは、製品の試験結果に於ける矛盾や非再現性を導く現存するテスト装置及び方法の弱点を説明する。この付属書は、これらの欠陥がある程度は、スタンダード・テスト方法に於ける仕様の不足、例えば、テスト製造業者、タイプ、設定パラメータにテスト結果が強く依存する事が、帯電プレート又はグランド板の寸法に関する仕様の不足に起因している事などを説明する。

再現性及び非再現性の問題が、現在広く使われている気中放電テスト法の根本的な特性に起因している事も示すことになる。この付属書はまた、現在の CDM 電圧分類レベルが、より大きく、より薄いデバイスに対して、より小さくより厚いデバイスより、同じ分類レベルで、より大きなストレスを印加する事を説明する。

C.1 CDM ESD テスト法

全ての ESD 事象は帯電される容量と電流が放電する経路の 2 つの基本的小道具で決定される。CDM 試験は他の ESD テストと比較して、容量は試験する IC デバイスの特性によって支配され、例えば HBM ESD 試験[1][2]のように外部の容量ではないので、独特である。CDM に関係する容量は試験されるデバイスの周囲に対する、一般的には、近傍のグランド板に対する容量である。CDM ESD 事象の間はチップおよびパッケージも又放電電流パスに著しい影響を与える。

CDM スタンダード・テスト法は下記の問題を処理しなければならない：

1. IC の寸法に応じた容量を形成し、現実の事象の間その IC デバイスの周囲に対する容量を再現する
2. この容量から、またはこの容量へ、IC デバイスの個々のピンを通して高速に電荷を移動する手段を提供し、さらに
 - a. 再現できる放電事象を創造する。
 - b. 放電電流に対して低インピーダンスの放電電流パスを維持する。
 - c. 放電事象が起こる事を保証する。
 - d. 放電電流を正確に測定する。

C.1.1 ソケットを使わない CDM ESD テスト法

ソケットを使わない CDM ESD テストでは、DUT (device under test、テストするデバイス) を、図 C1 に示すようにピンを上にして、“死んだ虫”の格好で金属板の上に置く。これは、DUT と周辺の間、DUT の寸法に依存する容量を構成する。特定のスタンダード及びテスト法に従い、金属板とデバイスの間に、絶縁物を置くかもしれない。この絶縁物の在否、タイプ、厚さはテスト・スタンダードにより変

化する。

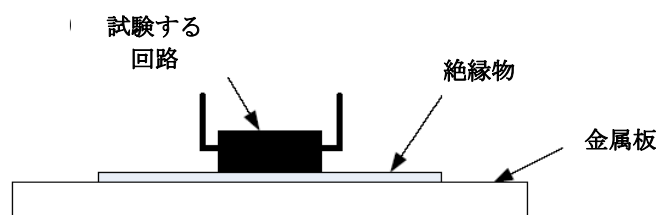


図 C1: 金属板の上に IC を置く事により形成される容量

A. 帯電させる方法

2 種の異なる帯電法、“直接” 及び “電界誘導” を使って図 C2 に図示したように、IC デバイスが構成する容量を充電する。直接充電法では IC デバイスの 1 つのピン、多くの場合サブストレートにロボットで動くプローブを接触させる。このピンに、数十 $M\Omega$ 以上の高抵抗経路で高電圧電源を接続し、IC デバイスの電位を高電圧レベルに持ち上げる。

電界誘導 CDM 充電法では、金属のグランド板を IC デバイスと金属プレートの上に置く。金属プレートは、この充電法を使う時には帯電プレートと呼ばれている。帯電プレートの電位は、これに高抵抗経路で接続した高電圧電源によって制御される。もし、帯電プレートと IC デバイスの間の容量が、IC とグランド板の間の容量に比べてずっと大きいなら、IC デバイスの電位は、帯電プレートの電位に緊密に追従する。帯電プレートの電圧レベルの正味の上昇は IC デバイスのグランド板（上側の）に対する電位となる。直接充電法と異なり、電界誘導法では、この“帯電段階”では電荷の移動はまだ起こらない。

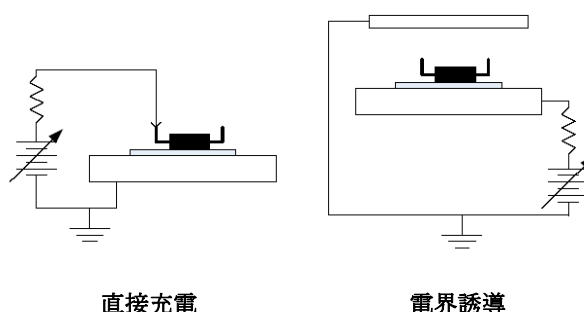


図 C2 : 直接充電と電界誘導の充電法

B. 放電事象

直接充電された IC デバイスの放電は、図 C3 のように 2 種のうちの 1 つの方法で起きる。接地した電極を試験対象となるピンに接触させ、気中放電を起こさせるか、または、そのピンをリレーで放電する。いくつかの事例では、図 C3 に図示した通り、同じ電極を IC デバイスの充電と放電に使用する。

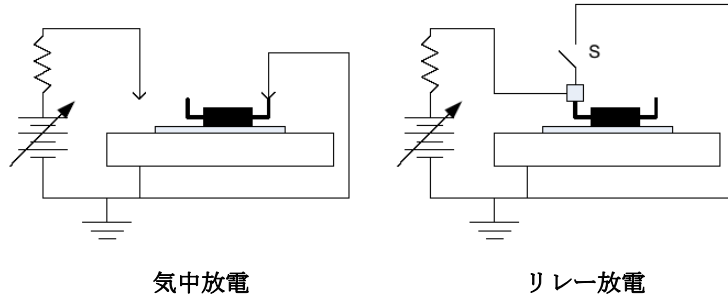


図 C3：直接充電した IC の放電

電界誘導法ではストレス事象は、IC デバイスが接地された時にこのデバイスは帯電する(充電される)ので、ストレスとなる事象は、放電する時ではなく、デバイスを接地する時により適切に定義される。この方法は、図 C4 に示してある。グラウンド・プレーンの中央にスプリング・ピン（通称ポゴピン）が付いている。このピンは円形の 1Ω 抵抗の中心に付いている。

ポゴピンが IC デバイスの試験ピンに対して接近する時に、2 つの電極間に強い電界が生じる。電界の強さが臨界に達すると、空気は降服し接地したポゴピンと IC デバイスのピンの間で火花が生じる。ここで、ポゴピンを通して急速な電荷の移動が起こる。ピンの接地は実際には IC デバイスを充電するので、この放電事象は、IC デバイスの最終的な電荷に達して終わる。

放電電流はポゴピンと円形の 1Ω 抵抗を通して流れるので、抵抗の両端の電圧降下として測定でき、オシロスコープ又はパルス検出回路で記録できる。

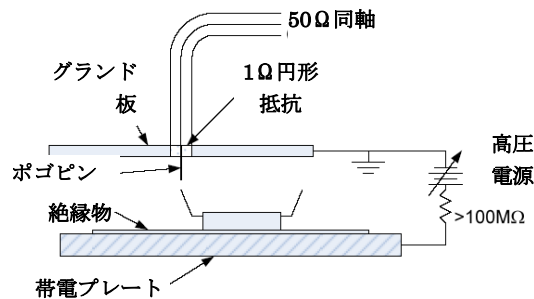


図 C4:電界誘導 CDM

C.1.2 ソケットを使用する CDM ESD テスト(SDM)

ESD アソシエーション (ESDA) のソケット・デバイス・モデル (SDM) [3]は自動化した HBM テスタをベースにしてリレー・マトリックスを使って CDM テストを実施する方法として開発された。このスタンダード・プラクティス・テスト法では IC を ESD テスタのソケットに装着し通常、すべてのグラウンドピン、又はデバイスの全てのピンより高電圧レベルに充電する。テストするピンをリレーを閉じることにより、IC デバイス及び ESD テスタに寄生している容量要素に帯電している電荷を放電する。この方法は CDM 的な回路の弱点を確認しフィールドでの破壊を再現するために、いくつかの会社で、うまく使われている。

しかしながら、このテスト法の背景となるテスタの容量は約 $25\text{--}30\text{pF}$ であるので、この方法の放電は IC デバイスの容量よりは、ESD テスタの容量に支配されている。このテスト法は電界誘導又は直接充電による“CDM のみの”テスト法とは全く異なるので、テスト結果及び破壊電圧を比較する事は困難であ

る。上記のような欠点のために、この方法は広くは使われず、これ以上議論する事はしない。

C.1.3 小容量モデル

日本では小容量モデルが開発され JEITA によって文書化されている。この方法では、小容量 ($\leq 10\text{pF}$) を低インダクタンス・スイッチと同じアッセンブリ内に形成する。この容量を充電し、IC の 1 つのピンと接地したもう 1 ピンに対して放電する。このモデルは、日本のごく少数の会社で使われている。関連性が限られているので、これ以上議論する事はしない。

C.1.4 容量結合 TLP (cc-TLP)

容量結合 TLP (cc-TLP) [4][5] はデバイスに対して CDM 的なストレスを発生する代替法の 1 つで有り、CDM ESD 事象の電氣的、物理的破壊痕跡を再現する。cc-TLP テスト装置では、再現性の良い高速立ち上がりで幅の狭い高電流パルスを、デバイスのピンに対して接触した後にその 1 ピンに印加する。指数関数的に減衰する充電電流 (RC) は FCDM のように、デバイス全体に分布しデバイス内部に電圧降下を発生する。このテスト法は現在既に使用されており、ウェーハ・レベルの製品の CDM 強度の測定、CDM 破壊のデバッグが実施されているけれども、認証目的にはまだ適用できていない。

C.2 現存する CDM スタンドアードの比較

C.2.1 スタンドアード文書の比較

A. 主要パラメータの比較

CDM には 4 つの主要なスタンドアードがある：

- JEDEC JESD22-C101D [6]
- ESDA ANSI/ESD STM5.3.1-1999 [7]
- AEC AEC-Q100-011 Rev-B [8]
- JEITA EIAJ ED-4701/300-2 Test Method 305 [9]

これらのスタンドアードの主要パラメータを表 C-I に比較している。JEDEC および AEC/ESDA スタンドアードが最も普通に使われているスタンドアードで有り、JEITA スタンドアードは大部分は日本で使用されている。

表 C-I : 異なるスタンダードの主要 CDM 特徴点の比較

組織	JEDEC	ESDA	AEC	JEITA
スタンダード	JESD22-C101D	ANSI/ESD STM5.3.1-1999	AEC-Q100- 011 Rev-B	EIAJ ED- 4701/300-2
充電法(帯電法)	電界誘導	電界又は直接	電界又は直接	直接または電界
校正モジュール	金属コイン	0.8mm の FR-4 上の 金属フィルム	0.8mm の FR-4 上の 金属フィルム	金属コイン
絶縁物の厚さ(mm)	0.381±0.038	無しから ≤0.13	無しから ≤0.13	0.40±0.04
絶縁物の誘電率	4.7±5%	指定なし	指定なし	4.0±0.5
放電	気中	気中	気中又はリレー	気中又はリレー
CDM 印加中の 電流測定	可	可	可	要求なし
放電回数 + & -	3	3	3	1
部品数	3	3	3	指定なし
校正電圧レベル (V)	200、500、1000	125、250、500、 1000、1500、2000	250、500、1000、 2000	500、1000

B. 波形パラメータの比較

表 C-II : 異なるスタンダード (JEDEC、ESDA、AEC & JEITA) に対する 500V での CDM 電流波形の特徴点の比較 :
ピーク電流、立ち上がり時間及び半値幅 (FWHH)

スタンダード (スコープ帯域)	小モジュール				大モジュール			
	C [pF]	I _{peak} [A]	t _{rise} [ps]	FWHH [ns]	C [pF]	I _{peak} [A]	t _{rise} [ps]	FWHH [ns]
JEDEC(1GHz)	6.8	5.75±15%	<400	1±0.5	55	11.5±15%	なし	なし
ESDA(3.5GHz)	4	7.5±20%	<200	<0.4	30	18±20%	<250	<0.7
AEC/ESDA(1GHz)	4	4.5±20%	<400	<0.6	30	14±20%	<400	<1.0
JEITA(≥2GHz)*	~6.8**	4±10%	≤300	≤0.6	~55**	5.5±10%	≤400	≤0.8

*JEITA のピーク電流値のスタンダード評価法。スタンダードには代替法も記しており、それによると別の電流値となっている。

**JEITA は評価に使うコインを実際の容量ではなく直径で決めている。この寸法は JEDEC 仕様で定義されている値と同等である。

表 C-I 及び C-II はこれらのスタンダードの間に多くの違いがある事を示しており、そのために、CDM テスト結果の比較を困難にしている。しかし、IC デバイスを破壊に至らしめる最も重要な CDM 波形のパラメータはピーク電流、I_{peak} である事は一般的に間違いない。I_{peak} 値の比較を図 C5 に示す。立ち上がり時間も、保護回路のターンオン時間に関係して重要になり得るし、半値幅は試験されるデバイスへ投入される総エネルギーに関係する可能性がある。

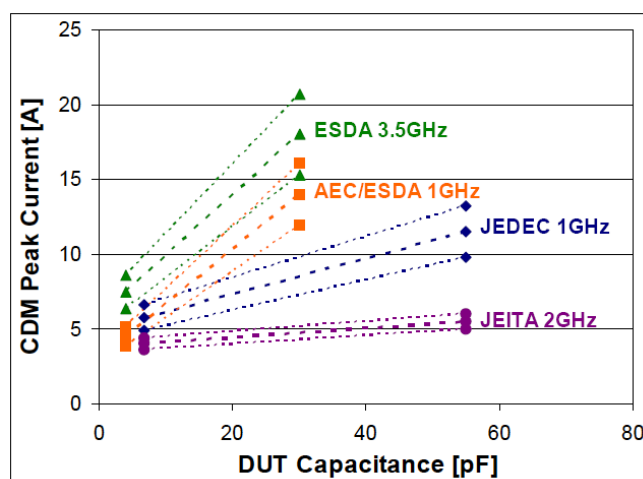


図 C5：異なるスタンダードの、評価用モジュールの容量に対して期待される CDM ピーク電流の違い。この違いのある部分は、ピーク電流の規格に使用するオシロスコープの帯域の違いが影響している。

C. 帯電プレート上の絶縁物の厚さ

ピーク電流に直接影響する主な違いの 1 つは電界帯電プレート上の絶縁物の厚さである。ESDA と AEC スタンダードでは厚くても 0.13mm の厚さを指定し、絶縁物なしの帯電プレートも許している。JEDEC は 0.381mm の絶縁物を使用し、JEITA スタンダードでは、0.4mm の絶縁物を必要としている。

それ故、デバイスの容量は各スタンダードにより異なる。パッケージの厚さに何らかの著しい変化があると、ESDA および AEC スタンダードでは、JEDEC 及び JEITA スタンダードより容量の変化が大きく現れる。

D. 評価モジュールの正確さ

各スタンダードは波形の校正と確認のために使用する校正モジュールを指定している。表 C-II には、このモジュールは 2 つの主要テスト法、JEDEC22-C101 と ANSI/ESDA STM5.3.1-1999 の間で全く異なっている。JEDEC モジュールはコインの形状をした円板で、JEDEC 装置の一部である 0.381mm の絶縁物の上に設置する。ESDA は、厚さ 0.8mm の FR-4 のシートの上の金属フィルムを校正モジュールとして使用する。この根本的な設計の違いが、測定するピーク電流の値に直接影響する。これらの 2 つの問題が、異なるスタンダード間の CDM テスト結果の比較をする時に、単に換算比だけでは行かない事を暗示している。

E. オシロスコープの帯域

I_{peak} の測定精度に対し望まない変動の原因となるその他の領域に、スタンダードによるオシロスコープの帯域に関する要求の違いがある。CDM スタンダードが最初にかかれた時には、ギガヘルツ帯を測定する広帯域のオシロスコープの価格は極端に高かった。その為、評価のために使用するオシロスコープに要求される帯域は比較的 low だった。今日では、このタイプの測定機の価格は劇的に下がった。しかし、(スタンダード内の) オシロスコープの仕様は変わっていない。表 C-II は異なるスタンダードの測定器の要求を示している。JEDEC と AEC は 1GHz のオシロスコープのみを要求している。JEITA は帯域 2GHz またはそれ以上を必要とする。

ESDA は 1GHz と 3.5GHz の 2 つの異なる帯域のオシロスコープを準備している。1GHz の帯域は CDM 事象の速度に対して確かにぎりぎりであり、最近の報告では、3.5GHz を越える帯域のオシロスコープで見ると波形に著しい差がある事を示している[10]。この、測定帯域の変動が、スタンダードの波形仕様値が含まれているよりずっと大きい放電電流波形の変動を起こしうる。スタンダードに含まれるこれらのオシロスコープの帯域の要求の違いがスタンダード間の比較を更に困難にしている。

F. グランド板の寸法

異なるスタンダードのテスト方法はそれらの仕様に矛盾が多いし、今日のパッケージに対して十分とは言えない。ESDA 法は、グランド板は IC デバイスを完全にカバーしなければいけないと要求するが、JEDEC 法では寸法が固定で、装置のパラメータとして、 $63.5 \pm 6.35\text{mm}$ と指定している。1980 年代の終わりから 1990 年代の初めに CDM スタンダードを最初に開発した時には、最大の IC デバイスのパッケージ容量は 30pF より少なかった。それ故、デバイス寸法に対するピーク電流は 0 から 40pF までの範囲の小さい容量に関して直線的な関数であったので、指定された要求は多かれ少なかれ適切であった。今日では、ナノファラッドの容量を持つ非常に大きな IC パッケージがより普通になってきている。このような大きなパッケージの紹介は、グランド板が完全にパッケージをカバーできないというハード形状の問題に帰結している。そのため、デバイス容量に依存するピーク電流が 40pF を越える容量値では飽和する[16]。その結果、このような大きなデバイスのテスト結果は、特定のテストで使っているグランド板の寸法に依存し、異なるテスト・タイプ及び構造の間では更に顕著に変化しうる。このハードウェアの問題は、CDM テストを困難にし、再現性のある結果を得る事は挑戦的になっている。

G. 空気中または接触放電

空気中の放電とリレー内の放電の間の放電電流波形の違いは顕著である。もっとも簡単な 2 ピン構成ではリレー・スイッチの放電は変動が少ないと期待できるが、リレーの追加インダクタンスはパルスの立ち上がり時間を増やし、与えられた電圧でのピーク電流は減少し、リングングが増える。2 ピン構造をリレー・マトリックス回路内に変換しようとするどんな試みも、望まないテストの寄生 RLC を付加し、CDM 放電の電流波形の基本的な特性を変化させる。

H. 要約

この現存するテスト・スタンダードの比較は、テストの装置パラメータの仕様、実際の電流波形測定法に於ける著しい違いを強調する。これらの違いは十分に顕著なので、製品の CDM 破壊電圧レベルはそのテスト法に特有ともいえる。スタンダード間の破壊レベルを計算する為に単純な換算比を適用する事では、矛盾のない正しい結果を生じる事にはならないであろう。

C.2.2 製品の CDM テストの相関データ

この節では、主に使われており、産業界に受け入れられている CDM テスト・スタンダードである ESDA、JEDEC、AEC 及び JEITA を使って IC デバイスをテストしたいくつかの実験から得られた結果を要約する。これらの実験の結果はスタンダードの違いが CDM ESD による製品のパスとフェイルの電圧の違いに至っている事を説明する。

例 1

同じ IC デバイスの CDM 破壊レベルを ESDA と JEDEC スタンドアードの間で比較する、CDM ESD 相関調査[12]を実施した。全てのデバイスを JESD22-C101D と ANSI/ESDA STM5.3.1 スタンドアードに従ってテストした。各スタンダードの評価用モジュールを使った CDM 放電電流波形は、期待したとおり、おなじ電圧レベルでは、JEDEC スタンドアードに比べて、ESDA スタンドアードの方が高いピーク電流を示した。その結果、表 C-III に示す CDM テスト結果は ESDA は JEDEC スタンドアードに比べて低いストレス電圧レベルで破壊した。

表 C-III : ESDA 対 JEDEC のテスト結果の関係

CDM ストレス電圧	ESDA 破壊数／総テスト数	JEDEC 破壊数／総テスト数
250V	0 / 3	0 / 3
500V	2 / 3	0 / 3
750V	-	3 / 3
1000V	3 / 3	3 / 3

例 2

同様の CDM ESD 相関の調査[13]で、ESDA と JEDEC スタンドアードの間の CDM 破壊レベルを同じ IC デバイスに対して比較した。この CDM テスト結果は表 C-IV で ESDA スタンドアードで、JEDEC スタンドアードより低いストレス電圧レベルで破壊が見られたことを強調している。デバイスは、25V または 50V ステップでストレスを印加した。この調査で観察された最大の差は、400V 以上または 100%以上であった。

表 C-IV : JEDEC 対 ESDA のテスト結果の関係

CDM 耐電圧[V]			
部品	ピンのタイプ	JEDEC	ESDA
A	1	800	550
A	2	850	600+
A	3	800	500
A	Part	800	500
B	Part	800+	400
C	Part	550	350

注意：

- “+” はテストした最高電圧にパスしたことを示す
- “Part”は部品全体のレベルを示す（全てのピンをテストした）
- これらは必ずしも出荷するデバイスではない。評価用のみの物もあり得る

例 3

もう 1 つの CDM ESD 相関調査[14]では JEDEC の電界誘導法と JEITA の直接充電法を直接比較した。加えて、この調査では、2 つの異なるパッケージ構造にアッセンブルしたダイの間の CDM 破壊電圧をも調査した。デバイス A は 65nm バルク CMOS テクノロジーで作り、このダイを BGA と QFP の両方のパッケージ構造にアッセンブルした。デバイス B は 65nm バルク CMOS テクノロジーで作り、デバイス C は 90nm バルク CMOS テクノロジーで作った。これらは、BGA パッケージ構造にアッセンブルした。テスト結果は表 C-V に要約したが、JEITA スタンダードに比べ、JEDEC の CDM 破壊電圧レベルは著しく低い事を示している。校正時の JEITA スタンダードのピーク電流レベルは JEDEC スタンダードのそれに比べ大幅に低いので、このような結果は、予測できた。これらのデバイスはどちらのスタンダードでも、ほぼ同じ電流レベルで破壊する（図 C6 を参照）。

表 C-V : JEDEC 対 JEITA のテスト結果の関係

	JEDEC Field Ind. Charging CDM Voltage [V]	JEITA Direct Charging CDM Voltage [V]
Device-A (BGA 1212)	900	1300
Device-A (QFP 2828)	900	1300
Device-B (BGA 1515)	800	1400
Device C (BGA 3333)	600	1200

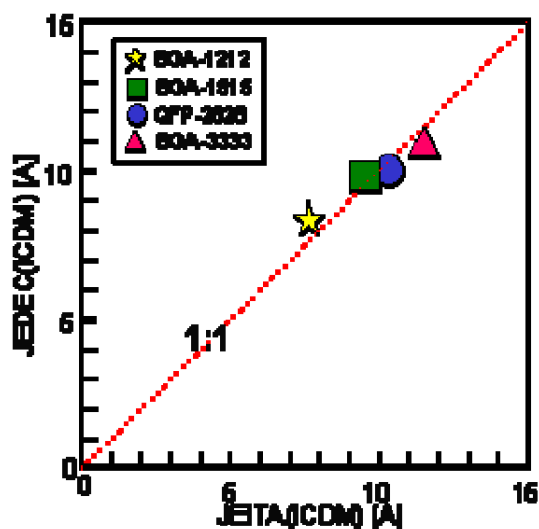


図 C6: JEDEC 電界誘導法と JEITA 直接充電法のための CDM 破壊電流の関係

例 4

包括的な相関調査[15]では、特殊な小規模回路の CDM 強度を評価した。このデバイスは 90nm CMOS プロセスで作成、PBGA388-2727-1.0 パッケージにアッセンブルした。この相関調査の目的は、同じ IC デバイスの ESDA、JEDEC 及び JEITA CDM スタンダード間の CDM 破壊レベルを比較することであった。この研究は、また、3 種類の異なるタイプの SCR ESD 保護回路、デバイス A、デバイス B、デバイ

ス C を比較した。テスト結果は、ESDA で最低の CDM 電圧、JEDEC で幾分高いレベル、そして、JEITA で最も高いレベルを示した。この動向は、期待した通りであ、夫々のスタンダードで期待されるピーク電流と対応していた。全てのテスト法が同じ CDM ゲート酸化膜破壊メカニズムを生じた。この調査の結果を表 C-VI に要約する。

表 C-VI : ESDA、JEDEC 対 JEITA のテスト結果の関係

	ESDA Direct Charging CDM Voltage [V]	JEDEC Field Ind. Charging CDM Voltage [V]	JEITA Direct Charging CDM Voltage [V]
Device-A	750	1100	1600
Device-B	400	600	900
Device-C	300	450	650

この節で示した調査の結果は、1つのスタンダードから他にテスト結果を関係づけるのに、簡単な変換規則はない事をも、確認している。これは、異なるスタンダードのテスト・フィクスチャが異なっている事に主因がある。

C.2.3 結論

異なる CDM テスト・スタンダードは同じサンプル・デバイスに対して著しく異なる CDM 電圧耐量レベルを生じる。1つのスタンダードからの結果は簡単な換算規則で他のスタンダードへ変換する事は不可能である。これは、間違った結果を生じるであろうから。

C.3 現存するテスト法とスタンダードの弱点

今日の CDM テスト・スタンダードは異なるシミュレータ間で繰り返し性の良い放電波形を得るために必要となる、重要な設定パラメータを全て完全に定義していない。その結果、製品のパス及びフェイル電圧は異なる CDM シミュレータ間で、同じスタンダードを適用していても、広く変化する可能性がある。

C.3.1 CDM テスト装置の不適切な仕様

現存する CDM ESD テスト・スタンダードは CDM テスタの必要とする特性に関する最低量の詳細情報を含んでいる。いくつかのスタンダード[6][7][8][9]に含まれている数値の例を表 C-VII に要約する。残りの寸法やパラメータ、例えば、グラウンド板と帯電プレートの寸法、ポゴピンの長さ、放電パスの誘導性及び容量性の寄生素子などは、ただ暗黙的に定義されるのみである。これらのパラメータは、評価モジュールの CDM 放電から得られる波形がスタンダードで定義されている各々の波形の要求に合うように決めなければならない。これらのパラメータは、ピーク電流、立ち上り時間、半値幅 (FWHH)、アンダシュート及びオーバシュート (数値は表 C-II を参照) である。

表 C-VII：異なるスタンダードに含まれている明確な CDM テスタの要求項目

組織	JEDEC	ESDA	AEC	JEITA
スタンダード	JESD22-C101D	ANSI/ESDA STM5.3.1	AEC-Q100-011 Rev-B	EIAJ ED-4701/300
グランド板の寸法	63.5±6.35mm	指定なし	指定なし	指定なし
誘電体の厚さ	0.381±0.038mm	≤0.13mm	≤0.13mm	0.4±0.04mm
誘電率	4.7±5%	指定なし	指定なし	4.0±0.5
帯電プレートの寸法	DUT より大	DUT の 7 倍以上の面積	指定なし	指定なし

波形の要求により暗示的に CDM ESD テスタのパラメータの定義の決定を行う事は、CDM テスタの製造の可能性の確保と、波形の完全さの確保のために、スタンダードの委員会によって、意識的に決定された。しかし、この暗示的な仕様が、CDM テスタの装置パラメータの設計と仕様決定に関して高いレベルの自由度をテスト・メーカに与える事となったので、放電電流波形のさらなる変動の原因となったのである。彼らは、グランド板の寸法、帯電プレートの寸法、ポゴピンの長さ、寄生インダクタンスと寄生容量の異なる組み合わせを導入する事により、特定のスタンダードに従う波形を作ったのである。しかしながら、実際の試験対象の製品に印加されるストレスは、テストの設定パラメータによって著しく変化しうる。不幸なことに、再現性の良いシミュレーションの開発を可能にする重要な装置パラメータがスタンダード文書で明確に定義されていなかったのである。

帯電プレート及びグランド板の寸法

Jahanzeb[11][図 C7 及び図 C10]、Atwood[16][図 C8]、Goëau[17]の最近の研究は、極端に大きなパッケージに対する CDM 放電のピーク電流はグランド板及び電界帯電プレートの寸法の影響を顕著に受ける事を示している。小さいパッケージに関しては、帯電プレート及びグランド板が IC デバイスよりずっと大きければ、CDM ピーク電流はテスト対象のデバイスの容量の増加に対して直線的に増加する。テスト対象のデバイスの帯電プレートに対する容量がグランド板と帯電プレートの間で形成される容量を越えると CDM ピーク電流は図 C7[11]及び図 C8[16]に示すように飽和する。

非常に大きな IC デバイスの場合、パッケージ寸法が帯電プレート及びグランド板の寸法に接近すると、CDM ピーク電流は一定ではなく、図 C10[11]に示すように、電界の変化によってピンの位置で変化する。ピーク電流が一番高いのは、電気力線が均一になるため、大きいパッケージの中央部分で、ダイの端では、パッケージの大寸法のために、電気力線が周辺効果の影響を受けるので電流はより低い。

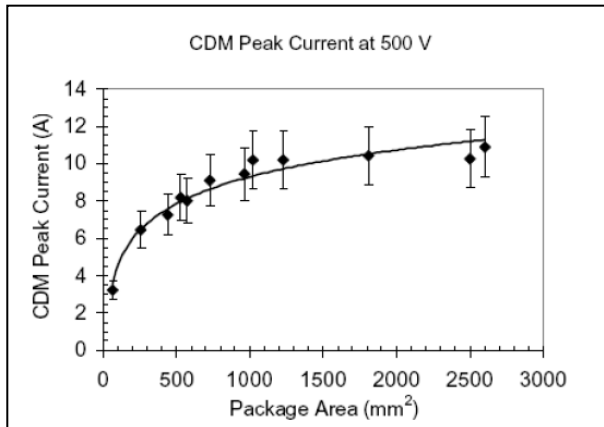


図 C7 (Jahanzeb 他[11]) : 種々のパッケージ面積のデバイスからの CDM 電流 (ESDA) のグラフ。1000mm²までのパッケージ面積では、ほぼ直線的な関係だが、より大きいパッケージに対してはピーク電流は飽和する傾向である。

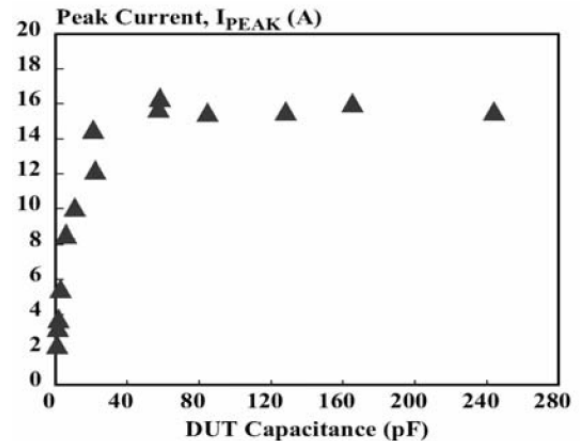


図 C8 (Atwood 他[16]) : JEDEC テスト装置での、ピーク電流と電界帯電プレートに対する DUT 容量の関係

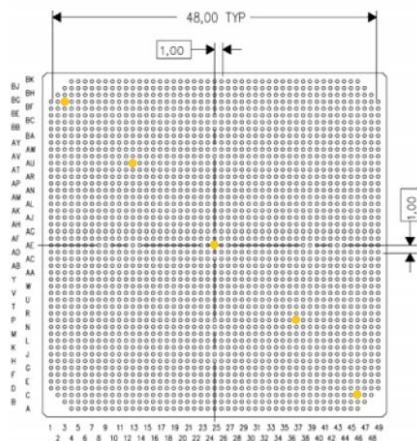


図 C9 (Jahanzeb 他[11]) : 異なるピン位置の CDM 電流の分析のために使用した BGA パッケージの略図。寸法は全て mm。パッケージ寸法は 50mm x 50mm。

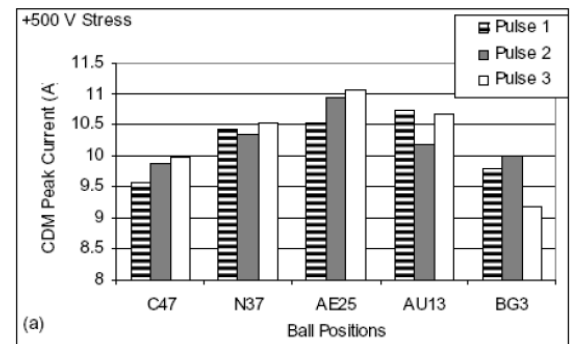


図 C10 (Jahanzeb 他[11]) : 図 C9 で示した 50mm x 50mm パッケージの、対角線上の異なる場所での +500V (JEDEC) の CDM ピーク電流の変動。使用した帯電プレートの面積は 126.6mm²。帯電プレートとパッケージの面積比は 5 : 1 (ESDA では少なくとも 7 : 1) である。グランド板の面積は 50cm² 以下。

C.3.2 テスタの装置パラメータに関して許される変動幅

今日の、ソケットを使用しない CDM ESD テスト・スタンダードは、CDM ESD テスト装置を動作させるために要求される装置条件として異なった範囲を許容している。そのため、ESD テスト結果は異なるテストの装置条件で、もしくは、同じ CDM スタンダードを使った同じテスト装置で IC デバイスを試験した時でさえも、変化する可能性がある。

A. オシロスコープの帯域

CDM スタンダードに明記されている現在のオシロスコープの要求は、今では時代遅れである。新しい研究では、1GHz のオシロスコープを使った放電波形は重要な CDM 波形の性質をとらえる事が出来ない事を示している[10]。

最初の CDM の仕様を書いた時には、経済的な問題もあって、テスト実験室で合理的に入手できるオシロスコープの最高帯域が 1GHz であった。この速度のオシロスコープは高速トランジェント電流パルス

の、最低限、より低い周波数成分だけでも CDM テスタが機能している事を日々証明する事が出来た。広帯域のオシロスコープの価格が下がり、入手性も一般的になってきたので、新しい、より広帯域の測定が、現存する CDM シミュレータの異なる特性を明るみに出してしまった（図 C11 及び C12）。その結果として、1GHz のオシロスコープで測ると極めて良く見える信号が、6GHz のオシロスコープで測定すると非常に違って見える事があるのである。

今日のスタンダードは CDM 波形の測定に、制限のある帯域のオシロスコープの使用を許している（JEDEC、AEC:1GHz、ESDA : 1GHz または 3.5GHz、JEITA: ≥ 2 GHz）。帯域が低いと CDM 放電波形の中の高い周波数の信号をマスクする（図 C11 と C12 を比較）ので、これらの比較的帯域のオシロスコープは真の CDM 放電波形[10]をとらえる事は出来ない。その結果、信号は 1GHz のオシロスコープで測定した時と非常によく似て見えるが、これを 6GHz のオシロスコープで測定すると随分違って見えるのである。低い帯域のオシロスコープで測定した、これらのテストの波形が非常によく似ていても、これらの隠れた違いが、異なるテスト、異なるテストの設定間で製品のテスト結果が異なる事態を招く結果となる。実際、現在の JEDEC JESD22-C101D スタンダードの要求に合わせるために、フェライト・ビーズ又はその代替手段を放電パスに追加してピーク電流、パルス幅、およびパルスの立ち上がり時間をチューニングしている。仕様の要求に合わせるために意図的に挿入したこれらの寄生素子が図 C12 に見られるように顕著な波形歪みの原因になっている。”きれいな”波形は図 C11 に示すように、1GHz に制限された帯域のオシロスコープで測る事により測定できる。

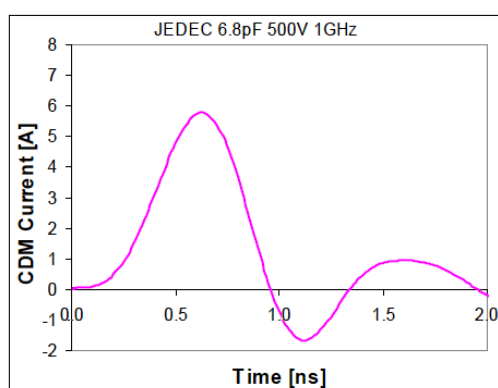


図 C11 : 1GHz(5GS/sec)のテクトロニクスのおシロスコープで測った CDM 放電波形 : JEDEC スタンダード、Oryx Orion CDM テスタ、6.8pF 評価モデル、500V

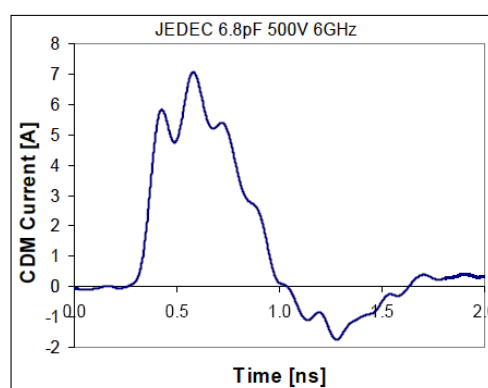


図 C12 : 6GHz(10GS/sec)のテクトロニクスのおシロスコープで測った CDM 放電波形 : JEDEC スタンダード、Oryx Orion CDM テスタ、6.8pF 評価モデル、500V

B. ピーク電流の範囲

スタンダードは波形の形状に関し広い変動範囲を許容している。例えば、全てのスタンダードが評価モデルの放電のピーク電流の顕著な変動、名目値から、 $\pm 10\%$ (JEITA)、 $\pm 15\%$ (JEDEC)、そして $\pm 20\%$ (ESDA、AEC)をを許容している。

スタンダードを最初に開発した時には、シミュレータの特性があまり良く理解されていなかったもので、ピーク電流の大きな変化が受け入れられていた。今日では、多くの重要な装置パラメータが良く分かってきているが、明確な機器の改良はまだ実施されていない。これが、現存する CDM スタンダードに関

する由々しい弱点である。IC デバイスの感じやすさ（壊れやすさ）のレベルが低下するにつれ、 I_{peak} の変動が正確な測定を極めて困難にする。

I_{peak} の広い変化の結果、許される電流ウィンドウの下限又は上限にテストを設定する可能性があるし、同じテストが、設定によっては、著しく高いピーク電流のストレスをデバイスに加える可能性もある。JEDEC スタンダードで許されるピーク電流の範囲の例を図 C13 に示す。

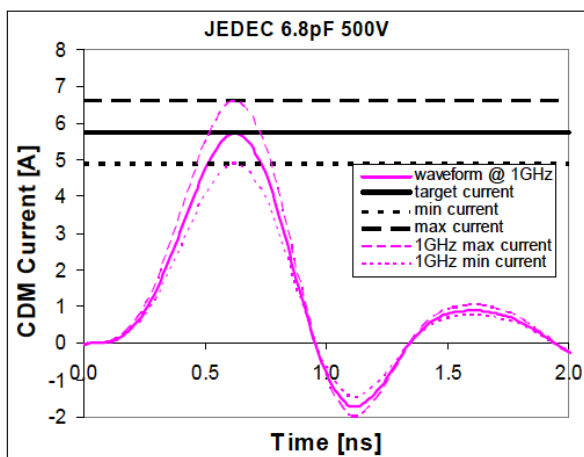


図 C13: JEDEC の 6.8pF 評価モジュールの 500V での CDM 放電波形。1GHz オシロスコープで測定するピーク電流の許される目標最大値と最小値と共に示す。

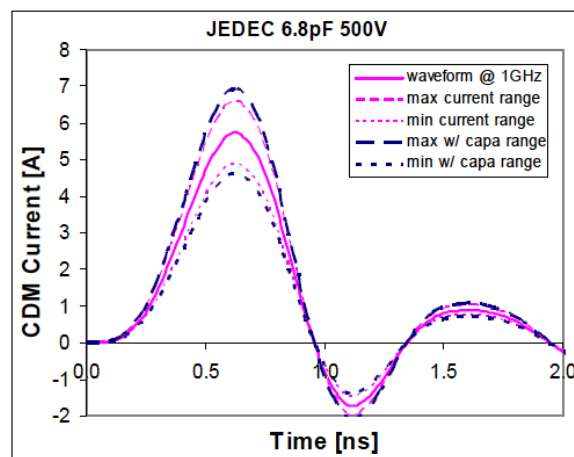


図 C14: 図 C13 と同様の CDM 放電波形。評価モジュールの許容容量変化を考慮した時の最小、最大電流を青の波形で示している。

C. 評価モジュールの変動

ピーク電流の広い許容差は、評価モジュールに許される変化幅によりさらに悪化する。モジュールに容認される容量変化は評価モジュールの名目容量値より $\pm 5\%$ の偏差を見込んでいる（表 C-VIII を参照）。スタンダードの仕様は、一方では金属コインを指定しているのに、他方では FR-4 誘電体上の金属膜を定義しているので、また、矛盾が多い。

ピーク電流と評価モジュールの効果を結合すると、許されるピーク電流の範囲は JEDEC では $\pm 20\%$ 、ESDA および AEC では $\pm 25\%$ まで変わり得る。例として、図 C14 は異なるテスト装置のピーク電流の変化を示している。CDM JEDEC スタンダードを使い、CDM テスタの帯電プレートとの容量が約 4pF の IC デバイスを 500V でテストした時に、一つのテストではピーク電流が 4.6A と低い、同じテストで 6.9A と高い事もある。この最悪ケースの最小と最大のピーク電流レベルは現在の $\pm 20\%$ の I_{peak} の範囲には入っている。その結果、パスまたはフェイルの電圧レベルを定義する事が極めて困難である。この IC デバイスは、400V でフェイルする可能性も、600V でパスする可能性もある。この容認されている I_{peak} の変化は、共に同じ CDM テスト・スタンダードの仕様に入っている異なる CDM テスタが、同じピンに関して、矛盾するフェイル・レベル与える可能性を生じる。

表 C-VIII : 異なる スタンダードで定義されている評価モジュールのパラメータ

組織	JEDEC	ESDA	AEC	JEITA
容量	6.8pF $\pm 5\%$ 55pF $\pm 5\%$	4pF $\pm 5\%$ 30pF $\pm 5\%$	4pF ± 0.2 pF 30pF ± 1.5 pF	値は指定なし。 寸法のみ

C.3.3 CDM テストの特長：繰り返し性がないという問題

種々の CDM テスト・スタンダード(表 C-1)に明示されているように、ソケットを使わない CDM テストは、“非接触モード” 或は“気中” 放電モードの動作を要求もしくは許可している。この場合、放電はテストするピンと接近する放電ピンの間の空気が絶縁降服した後に小さな空気ギャップの間に起きる。この放電法は現実の放電条件を代表している。実際の放電は、放電が水銀リレーの内部で始まる“接触モード” より、この放電の方がより近い。

非接触モード放電法の主な欠点は、放電火花の特性が、テスト装置と環境因子の両方の影響を受けることである。CDM のポゴピンとデバイスのピンの材質、表面積、形状、ポゴピンの接近速度、温度、湿度などの気象条件など、あらゆる条件が結合して放電電流波形特性に影響する。加えて、火花の形成は統計的なプロセスで、抵抗は、放電毎に著しく変化しうる。

更に、ピン間隔が非常に狭い IC デバイスを高電圧でテストする時、デバイスの小さいピンに接触する事は、難しく、隣のピンへの放電も起こりやすいので、特定の 1 ピンに対する放電は不確かになりやすい。ポゴピンの寸法を減じる事は助けにはならない。なぜなら、電極棒の先端の周辺の電界は、先端が小さくなるに従って、劇的に増加するからである。より高い電界は、ポゴピンとテストするピンの間の不安定な距離で未熟な絶縁降服を引き起こすからである。この変動は、予期できない火花抵抗を誘起し、ピーク電流値に振動を追加する可能性がある。

入手可能な市販の CDM ストレス・シミュレータは CDM 事象を出来るだけ写實的に再現するように設計している。非接触モード放電に起因する放電電流の大きな逸脱は、現在では業界で受け入れられている。

1 つのデバイスの全く同じピンに何度かストレスを印加すると、CDM ピーク放電電流は著しく変動する。図 C15 と図 C16 で Jahanzeb[11]と Broadbeck[12]は、前者では±20%、後者では+25%および-60%の範囲の顕著なピーク電流の変動を示している。このデータは、唯 1 つのピンに対する火花放電において、厳しい統計的な変化がある事を明確に示している。

IC デバイスのリード上の異なる場所[図 C17]からグラウンド・ポゴピンへ放電させると、立ち上り時間、ピーク電流、パルス周波数にも影響が出る[12]。同じ印加電圧 (500V) で JEDEC と ESDA 法では最大ピーク電流が異なっている[12]。図 C18 は LF-BGA-256 パッケージの全 256 ピンのピーク電流値を示す。このデータは ESDA スタンダードでは JEDEC スタンダードに比べて 20 から 30% 高い最大ピーク電流を生じ、最大ピーク電流がピン毎に著しく変わる事を示す。

火花抵抗の変化を図 C19 に図示している。ここでは、JEDEC の 6.8pF 校正モジュールのピーク電流を BGA パッケージの A1 ボールと比較している。

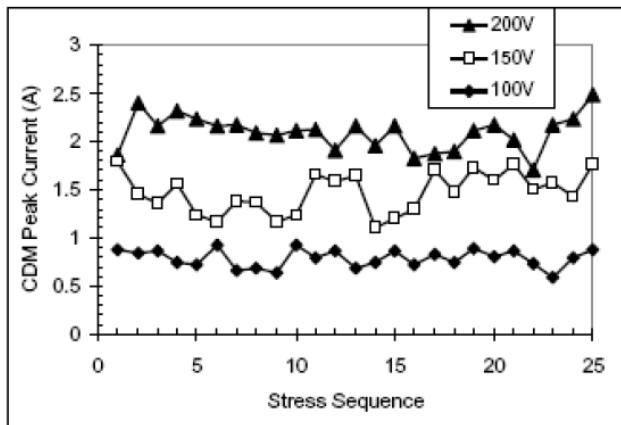


図 C15(Jahanzeb 他[11]) : 同一ピンに対する 25 パルスのピーク放電電流。3 種類の CDM 電圧に対する放電電流の変化を図示した。デバイスのパッケージは 10mm x 10mm。

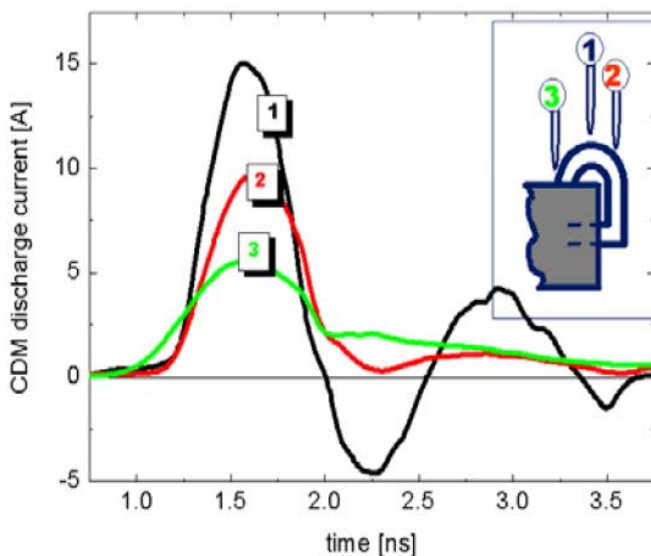


図 C17 (Brodbeck 他[12]) : テスト・システムの放電ピンとデバイスのピンの異なる 3 点の間の CDM 放電電流波形 (RCDM、ESDA モード、60%RH)

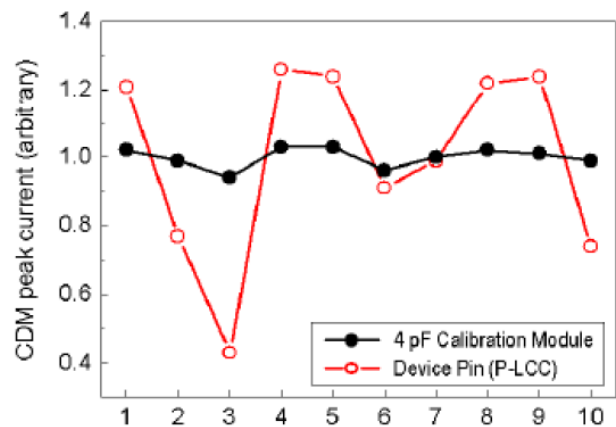


図 C16(Brodbeck 他[12]) : PLCC 部品と評価モジュール (4pF、ESDA) の正規化した CDM 放電ピーク電流。10 個の連続した放電 (RCDM、1.5 kV、60%RH) をプロット。

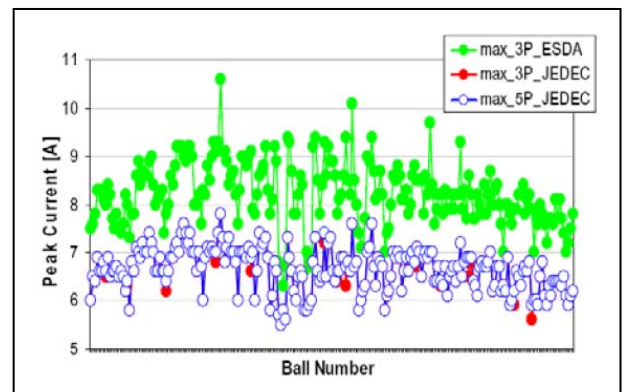


図 C18 (Brodbeck 他[12]) : ESDA 及び JEDEC で、1 つのパッケージ上の異なるボールからの CDM 放電ピーク電流。3 (3P) または 5 (5P) 回の CDM 放電に対する最大ピーク電流を図示。

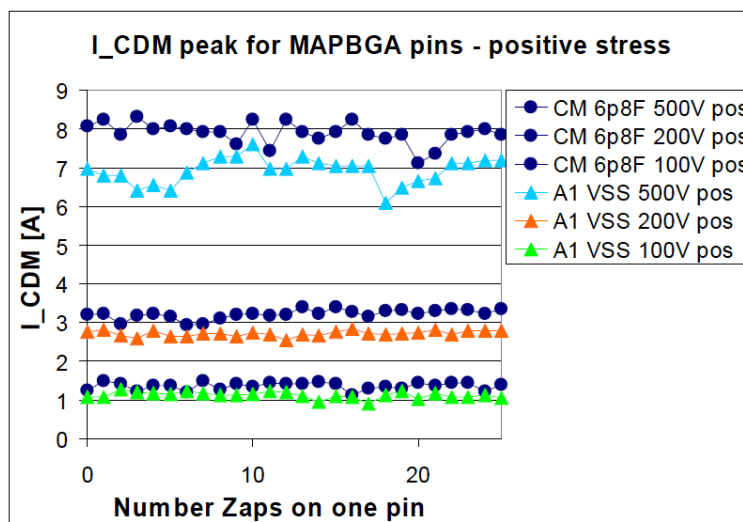


図 C19 : 同じ校正モジュール(6.8pF)と同じ BGA パッケージのピン (A1-VSS) からの複数回の CDM 放電のピーク電流。3 種類の電圧 (100V、200V、500V) で 26 回繰り返している。ピーク電流に大きな変動が見られた (特に 500V の時)

C.3.4 同じスタンダードの異なる CDM テスタに対する関連データ

130nm の CMOS IC デバイスを使って、Freescale 社の ESD 測定器室で CDM ESD 関連の研究を実施した。全てのデバイスを JESD22-C101D スタンダードに従いテストした。この関連調査の目的は、同じ IC デバイスの CDM 破壊レベルを異なる測定器室の多数の CDM テスタでテストして比較する事であった。評価モジュールを使って CDM 放電電流波形をテスト前及びテストの途中で測り、JEDEC スタンダードの仕様に合っていた。テスト結果は測定器室 3 のテスト 1 での最低破壊電圧は 650V であったが、測定器室 1 及び 2 でテストしたものは、750V までパスした。テスト結果の違い[表 C-IX]は、異なる、完全に校正したテスト装置の間で 150V を越えていた。校正したシステムの、破壊に至らしめたピーク電流を測定する事で、より深い洞察を得ることができ、テスト結果の矛盾を説明しそうである。

表 C-IX : Freescale 社の JEDEC 複数 ESD 測定器室間のテスト結果の相関

	250V	500V	550V	600V	650V	700V	750V	1000V
ESD Lab1	pass	pass	n/a	n/a	n/a	n/a	pass	fail
ESD Lab2	pass	pass	n/a	n/a	n/a	n/a	pass	fail
ESD Lab3/Tester1	pass	pass	pass	pass	fail	fail	fail	fail
ESD Lab3/Tester2	n/a	n/a	pass	pass	pass	pass	n/a	n/a
ESD Lab4	pass	pass	n/a	n/a	n/a	n/a	fail	fail

C.3.5 現在のテスト法とスタンダードに関する結論

現存する CDM スタンダード (JEDEC、ESDA、AEC または JEITA) が、ピーク電流のような、重要な放電電流波形のパラメータに許容している変化範囲があまりにも大きすぎる。エラーのあるものは、気中放電に固有であるが、このエラーの主な要因は、テストの仕様が不適切であるためである。ポゴピンの長さ、帯電プレートの寸法、テスト・ヘッドのモデル、そしてグランド板の寸法に関して、現存するスタンダードのどれもが、適切な仕様を提供していない[10] [11] [16]。ポゴピンの接近速度は良く定義していないし、湿度コントロールが欠落している。その結果、同じ製品 (及びパッケージ) の CDM テスト結果が、使用した CDM テスタのタイプ (製造者、モデル、年度) 及び装置パラメータによって著しく異なる。進んだ 65nm 及び 45nm テクノロジーでの CDM 感度レベルが低下するなかで、繰り返し性が良く、再現性のある CDM テスト結果を得る事はますます挑戦的になるであろう。

現存する CDM (ソケットを使わない CDM) スタンダードは、何年もの間、非接触モードつまり、気中放電モード動作を受け入れてきた。このタイプのテスト法は、たとえ、それが、放電事象が変動しやすく不規則であっても、実際の CDM 放電事象をモデル化する事を意図している。この気中放電 ESD 事象は、基本的な環境での出来事なので、本質的により変化しやすいものであり放電電流波形に影響を与えるものになるのである。

これらの基本的な性質が進歩した高ピン数の、ボール間隔が極めて狭い IC デバイスの設計と結合する事によって、高い繰り返し性のテスト結果を得るための成功の確率は低い。電圧ステップが 100V 以下になると、CDM の実際のパス、フェイル・レベルを決める事は非常に困難である。1 つの IC デバイスに対して 1 つの CDM シミュレータ上で存在する変動は、同じタイプで同じ設計のシミュレータに対するシミュレータ間の変動が含まれた時には、増加する。異なる設計で製造された CDM テスト装置を比較すると、この変動幅要因は更に増加し、予知できないレベルに達し得る。

実世界の CDM 放電を再現するゴールは、非常に高価格となる。その主要な犠牲が、ESD 放電事象の非常に厳格な繰り返し性と再現性を獲得する事である。

C.4 電圧分類レベルに起因する問題

現存する ESD スタンダードは全て、電圧要求に基づいた分類レベルを含んでいる。例えばもしあるデバイスが HBM ストレス 1000V に耐えることができたなら、ESDA の HBM スタンダードは、このデバイスをクラス 1C レベルに分類する。HBM では、デバイスがこの 1kV で受けるストレスは、その IC が使っているパッケージの寸法やタイプに依存せず、概ね同じであるし、どのスタンダードを適用しても、どのテスト・メーカを使っても変わらない。これは、どのスタンダードの分類レベルの定義とも矛盾しないし、相対的な ESD 感度レベルを固定したストレス条件と関係づける。

CDM の場合は、これは正しくない。CDM スタンダードは、同様に、感じやすさのレベルを含んでいる。例えば、デバイスが ESDA スタンダードで 500V またはそれ以上の CDM ストレスに耐えれば、ESDA CDM スタンダードはこのデバイスを C4 レベルに分類する。しかし、もし同じデバイスをもっと大きくて薄いパッケージに入れて大きなパッケージ容量でテストすると、同じデバイスが 500V の CDM ストレスにパスする事は出来ないであろう。従って、より大きくて薄いパッケージに入ったデバイスは、電流で見てより高いストレスに耐えなければ、同じ電圧分類認証レベルに入れることはできない。もし、ある特定の CDM 電圧に対してテストしても、パッケージが大きくて薄くなると、より小さくて薄いパッケージより、ずっと低い電圧でフェイルするのである。

この事実は、ESD 保護は ESD 事象の間に期待する電流に従って設計しなければならないので、任意の IC のためのチップ上の ESD 保護を設計する事は極めて困難から、不可能となってしまう。HBM では、この電流は何らかの電圧レベル又は分類レベルに対してほぼ同じであるが、CDM ではそのピーク電流が DUT ごとに、ダイとパッケージ寸法によって幅広く変化し得るのである。

C.5 結論

この付属書では異なる CDM ESD テスト法とスタンダードを、JESD22-C101D、ANSI/ESD STM5.3.1、AEC-Q-100-011REV-B 及び EIAJ ED-4701/300-2 テスト法 305 を含めて、簡単に比較した。この分析はこれらの CDM スタンダードの個々の装置パラメータが著しく変動する事を明白に示した。それに加えて、個々の評価モジュールは異なる材料と容量で製作している。その結果、試験するデバイスに対して印加されるストレスは、各スタンダードのモデルによって異なる。従って、CDM のパスまたはフェイル電圧は異なるスタンダード間で著しく違い、これらのスタンダード間で簡単に比較する事が出来ない。

ある IC デバイスに関して、CDM ESD テスト結果を議論する時には、テストする時に使ったスタンダードを常に考慮しなければならない。異なるスタンダード間の簡単な換算比を適用する事は、殆どの場合、矛盾が多く、両立しない結果を招く可能性が高い。

CDM ESD テストを実施する事は、HBM の部品レベル・テストよりはずっと複雑である。気中放電の ESD 事象は本質的に、著しい統計的な変動のあるピーク電流を生じる。多くの外部環境要因、湿度、温度、IC ピンまたは及びボールの寸法及び形状、接地するポゴピンの直径などが気中放電の電流波形のパラメータに強く影響する。現在の CDM スタンダードは重要な装置パラメータのいくつかは定義しているけれども、全ての CDM テスト・シミュレータが発生するピーク電流の変動は、まだ適切に定義していない重要なパラメータが残っている事を示している。この再現性、繰り返し性の問題は、各スタンダードが許容するピーク電流の範囲、 $\pm 10\%$ (JEITA)、 $\pm 15\%$ (JEDEC)、 $\pm 20\%$ (ESDA、AEC) により目立っている。これらの環境変数の制御の不足がピーク電流の幅広い変動に寄与している。将来のスタンダードの改訂版ではこれらのパラメータの定義を加え、ピーク放電電流の変化幅を減じなければならない。現在のスタンダード文書の新版では、これらのパラメータをもっと厳密に定義し、ピーク電流の変動を最小レベルに減らさなければならない。波形の測定、システムの評価は、1GHz よりずっと広帯域のオシロスコープ、例えば 6GHz でなされるべきである。各製品の CDM ESD テスト結果には、確認済の正確な容量値と共に、評価モジュールで測定した波形を付すべきである。今日、CDM 放電電流は低い CDM ストレス電圧（例えば 100V 又は 200V）では多少、（高電圧での場合より）変動が少ない。

全ての CDM 産業スタンダードは電圧要求に基礎をおいた区分レベルを採用している。外部の固定容量にストレス電圧を印加する、HBM モデルでは、ある電圧レベルはテスト対象デバイスに対する電流ストレス・レベルをかなり良く定義してくれる。しかしながら、CDM では、ストレス電圧はパッケージの容量に印加される。この容量は IC デバイスの特性で、パッケージ寸法と厚さに依存する。その結果、より大きく、より薄いパッケージに入ったデバイスを、同じ電圧レベルに認証する為には電流で、ずっと高いストレスに耐えなければならない。もし、ある CDM 電圧レベルに対してテストすると、より大きくより薄いパッケージは、より小さくより厚いパッケージに対して、ずっと低い電圧でフェイルする。ESD 保護は ESD 事象の間に期待される電流に応じて設計しなければならないので、この事実は、任意の IC のためのオンチップ ESD 保護を設計する事を、極めて困難から不可能にしてしまうのである。

C.6 展望

この付属書で先に記述した再現性及び相関性を伴う基本的な問題は回避されなければならないとは言え、CDM ESD に対する潜在的な弱点を持つデバイスはできるだけ早期に見極めておく必要がある。その為、良く定義されたストレス・レベルで、CDM 的な ESD 事象の電氣的及び物理的破壊痕跡を再現する方法を必要とする。このテストはシリコンが入手出来たらできるだけ早期に、すなわち、パッケージレベルでは勿論であるが、ウェーハ・レベルででもなされるべきである。

これらの要求に適合する 1 つの方法は容量結合トランスミッション・ライン・パルス (cc-TLP) と呼ばれ、Gieser 他[4]及び Wolf 他[5] (図 C20 及び C21 を参照) により紹介されている。この cc-TLP テスト

法を応用して、パッケージ IC デバイス及びウェーハ上のデバイスでも、CDM 型の破壊痕跡を生ぜしめることが、うまく出来ている。破壊に至るピーク・ストレス電流が、cc-TLP と CDM の間で、90nm までの CMOS テクノロジーで良く相関が取れる事が確認できている（図 C22 を比較）。

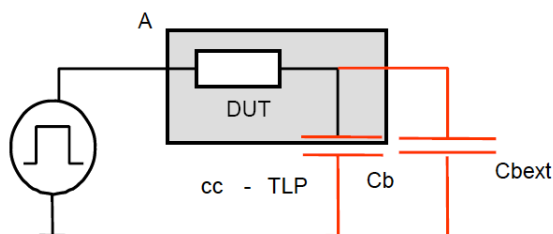


図 C20 : cc-TLP の原理。cc-TLP は 1 ピン・ストレスである。DUT へのストレス電流はこのテストに使う vf-TLP パルスの振幅と立ち上がり時間及び容量に依存する。

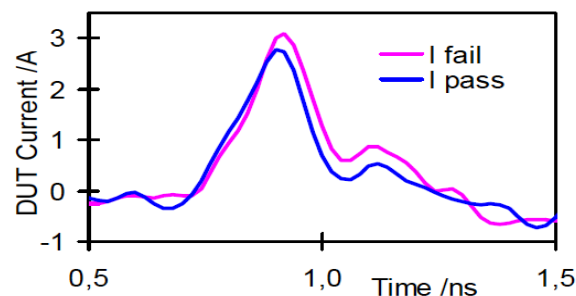


図 C21 : cc-TLP の 2 つのパルスの電流波形。低い方のパルスではデバイスはまだパスするが、これより少し高いパルスの後ではフェイルする。

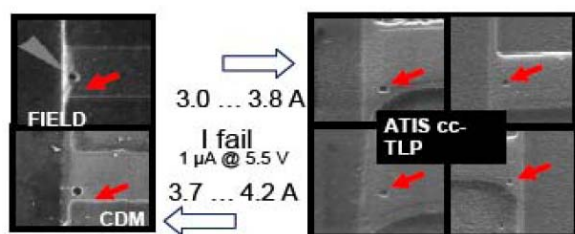


図 C22 : フィールドでの、CDM 及び cc-TLP の物理破壊痕跡の比較。cc-TLP はフィールドでの、および CDM ESD テストによるゲート酸化膜の破壊痕跡を再現する。

C.7 謝辞

著者達は、本付属書の cc-TLP に関する情報を提供された、独ミュンヘンの Fraunhofer Institute の Horst Gieser 及び Henry Wolf 両氏に感謝いたします。

References

- [1] JEDEC Solid State Technology Association, JESD22-A114F, “Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM)”, 2008.
- [2] EOS/ESD Association Inc., ANSI/ESD STM5.1-2007, “Human Body Model (HBM) Component Level”, 2007.
- [3] EOS/ESD Association Inc., ANSI/ESD SP5.3.2-2004, “Sensitivity Testing Socketed Device (SDM) Component Level”, 2004.
- [4] H. A. Gieser, H. Wolf, F. Iberl, “Comparing Arc-free Capacitive Coupled Transmission Line Pulsing cc-TLP with standard CDM-Testing and CDM Field Failures”, 9. ESD-Forum, 2005, pp. 11-17
- [5] H. Wolf, H. A. Gieser, “Investigations on the Correlation of Capacitive Coupled TLP at Package Level with CDM”, International ESD-Workshop, 2008, pp. 252-260
- [6] JEDEC Solid State Technology Association, JESD22-C101D, “Field-Induced Charged Device Model Test for Electrostatic Discharge-Withstand Thresholds of Microelectronic Components”, 2008.
- [7] EOS/ESD Association Inc., ANSI/ESD STM5.3.1-1999, “Charged Device Model (CDM) Component Level”, 1999.
- [8] Automotive Electronics Council, AEC-Q100-011 Rev-B, “Charged Device Model Electrostatic Discharge Test”, 2001.
- [9] Standard of Japan Electronics and Information Technology Industries Association, EIAJ ED-4701/300, “Environmental and endurance test methods for semiconductor devices, Test Method 305 (provisional standard), Charged Device Model Electrostatic Discharge (CDM/ESD)”, 2001.
- [10] L.G. Henry, R. Narayan, L. Johnson, M. Hernandez, E. Grund, K. Min, Y. Huh. “Different CDM ESD Simulators provide different Failure Thresholds from the Same Device even though All the Simulators meet the CDM Standard Specifications”, Proc. EOS/ESD Symp. 2006, pp. 343-53.
- [11] A. Jahanzeb, Y-Y. Lin, S. Marum, J. Schichl, C. Duvvury, “CDM Peak Current Variations and Impact Upon CDM Performance Thresholds”, Proc. EOS/ESD Symp. 2007, pp. 283-288
- [12] T. Brodbeck, K. Esmark, W. Stadler, “CDM Tests on Interface Test Chips for the Verification of ESD Protection Concepts”, Proc. EOS/ESD Symp. 2007, pp. 1-8
- [13] Private Communications with S. Beebe, AMD, December 2007.
- [14] H.Ishizuka et al, “Discharge Current Analysis and Comparison of ESD Performance Levels under JEDEC-FI / JEITA-DC CDM Tests”, Proc. RCJ EOS/ESD/EMC Symp. 2008, pp. 123-127
- [15] Private Communications with Toshiba’s ESD Lab, December 2007.
- [16] B.C. Atwood, Y. Zhou, D. Clarke, T. Weyl, “Effect of Large Device Capacitance on FICDM Peak Current”, Proc. EOS/ESD Symp. 2007, pp. 275-282.
- [17] C. Goëau, C. Richier, P. Salomé, J-P. Chante, H. Jaouen, “Impact of the CDM tester ground plane capacitance on the DUT stress level”, Proc. EOS/ESD Symp. 2005, pp. 170-177

付属書 D: CDM—それは他の ESD ストレスと相互関係があるのか？

Theo Smedes, NXP Semiconductors

Hiroyasu Ishizuka, Renesas Technology

Alan Righter, Analog Devices

Leo G. Henry, ESD/TLP Consulting, Teaching & Testing

Benjamin van Camp, Sarnoff Europe

この付属書では、CDM[1]とその他の ESD 的な現象の間の関係の可能性を取り扱う。それ故、CDM と他の部品レベル・テスト、HBM[2]及び MM[3]、の間の相関関係を調査する。HBM と MM は一般には非常によく相関がある事はすでに示した[4]。それゆえ、簡潔にする為に、CDM と比較するにあたり、HBM のみに触れる。その他のテストまたは現象、システム・レベル ESD[5]、ボード帯電事象、CBE[6]、および EOS に対する関係も議論する。分析は理論的な見地より始め、例とケース・スタディにより図示する。最後に結論で推奨に関する結果を要約する。

D.1 理論的な分析

ESD 破壊は 2 つの別個の機構、部分的な大きい電力消費と高電界による絶縁破壊、により発生する。第 1 の機構は通常、物質の溶解／転位に起因する破壊に達する。第 2 の機構は通常、絶縁物の内部の破壊に達し、また、第 1 の機構の誘引となる。明らかに、破壊の性質は有効なエネルギーおよび、消費の場所に依存する。従って、ESD 的な諸現象間の可能性のある相関の研究のためには、破壊モードの条件を決める電気的パラメータを比較する必要がある。

熱破壊は放電のエネルギーの含有量、放電に含まれる電力、及び放電の持続時間に依存する。後の 2 者はいわゆる（非線形の）Wunsch-Bell の関係[7]にある。絶縁物の破壊は、高電界、つまり回路内の高い電圧差に起因する。これらは、2 つの理由より生じる。第 1 は、高いピーク電流である。第 2 は、放電事象の dv/dt が ESD 保護回路に対して、それがオンする前に高いピーク電圧を誘発する[8]。

エネルギーの含有量、パルス幅、立ち上り時間、ピーク電流などと異なる現象を記述する関連のあるパラメータが著しく異なっている。これらのパラメータのいくつかは、主として方法、例えば、HBM の中で、定義されるが、その他は、例えば CDM の場合には、DUT に強く依存する。表 D-I では、固定したパラメータと、全ての現象の 1kV 事象の場合の計算した数値を要約している。DUT パラメータとして現実的な範囲に入れられる場所にはそれを入れてある。モデル間で大きな差がある事が明白である。結果は次の節で議論する。

テストの機構の性質の違いにより、DUT 内部で放電電流が分布する仕方は著しく異なる。多くの現象は 2 ピンの実験により記述できる。放電電流は与えられた 1 つのピンより入り、もう 1 つのピンより出る。標準的に設計した ESD 保護回路では、頭に描いた ESD 電流の能力で特別に設計した、事前に定義したパスの強度をこれらのテストで、評価する。CDM では、しかしながら、ピンのうちの 1 つは、DUT の

外界／テストへ容量的に結合している。チップの基準電圧はグランドとは異なっているため、パルスのエネルギーは、チップ／パッケージ容量自身内にストアされている。どれか 1 ピンをグランドへ放電すると、その 1 個の IC 内で多くの並列電流パスが生じる。この放電の CDM パスは内部回路から外へ、そしてピンの放電から電圧を生じながら、内部回路は電源及びグランド領域の容量から電圧を得る。遅延時間が異なるので、デバイス全体に電位差を生じる。

表 D-I : 1kV のストレスに対する代表的な回路の値と電気量の比較

	C(pF)	R(Ω)	τ (ns)	Q(nC)	E(μ J)	P(kW)	I _p (A)
HBM	100	1500	150	100	50	0.330	0.67
CDM	1 - 100		1 - 2	1 - 100	0.5 - 50	0.25 - 25	1 - 25
システム	150	330	50	0.15	75	1.5	3.0

D.1.1 HBM 対 CDM

CDM に関係する時定数は HBM のそれに比べるとずっと小さい事はよく知られている。この差があまりに大きいので、この 2 つのタイプのストレスは実際には、Wunsch-Bell 図形の 2 か所の異なる領域に当てはまっている。表 D-I で明らかなように CDM のピーク電流は HBM に比べてずっと大きい。従って、全電力を 1 つの場所で消費すると仮定しても、CDM と HBM の間には一般的に強い関係はないであろうことは明らかである。第 2 に CDM 放電事象の高い dv/dt はオンする前の ESD 保護回路の高いピーク電圧を内蔵する[8]。そのため、ドメイン間回路の内部ゲート酸化膜が完全に放電する前の ns 領域より少し長い時間の間、高電圧にさらされ、破壊を受けやすい。

一般に、CDM テストで破壊したサンプルの殆どがゲート酸化膜の破壊を示しており、これに対して、HBM テストで破壊したサンプルは溶解破壊を示している。その為に、HBM と CDM の間の相関は期待出来ない。後の節では、この事を FA の例と相関の計算により示す。

D.1.2 システム・レベル ESD 対 CDM

システム・レベル ESD (IEC) の歴史とモデルはインダストリ会議の白書 1 [4]及び IEC 61000-4-2 スタンダード[5]に記述している。システム・レベル ESD の波形の独特の特徴が、2 つの個別部分、最初の非常に速い (約 1ns まで) 高ピーク電流部分と、2 番目の中速 (10~100ns) 中電流部分、で構成されている事は良く知られている。最初の部分は CDM 的な波形の第 1 のピークに似ており、これが、大きな電位差を発生させやすい。第 2 の部分は HBM または MM ストレスの最初のピークと似ており、より大きいエネルギーを持っている。これは ESD ガンを既定の短絡に対して放電した時の校正波形である事に注意すべきである。システムボード回路及び放電するシステム・ピンによっては、ボード回路が受けるエネルギーはパスが変わるので、ボード上の部品が異なると、異なり、破壊モードは予測できない。

システム・レベルのパルスは HBM に似た損傷も示すが、CDM 的な損傷に見える故障を生じる事も示されている。これは図 D1 に示すように製品[9]でも、テスト構造[10]でも見られる。損傷の物理的な機構は製品の認証中に発生するものと同じであるが、一般的には、製品および部品レベルの結果と関連がない。システム内での IC の不良モードは、破壊電圧も同様、印刷回路ボード (PCB) の設計、それをシステムにアセンブルする方法に依存する。

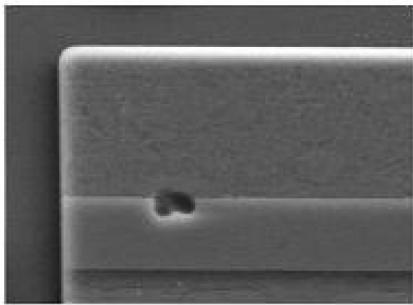
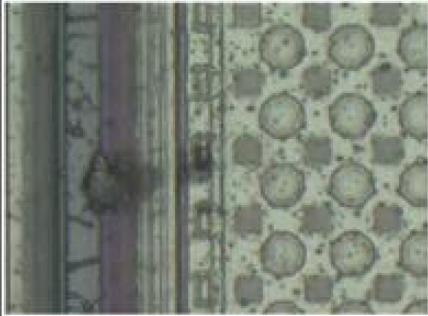
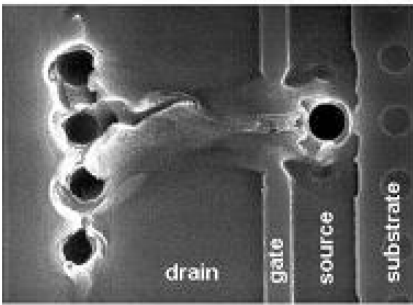
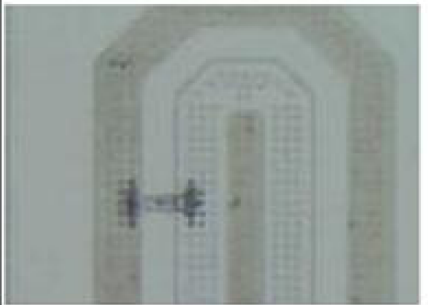
不良メカニズム	不良 デバイス・レベル	不良 システム・スレベル
絶縁の降服 (左：ゲート酸化膜、 右：LOCOS)		
シリコンの熱による溶 解		

図 D1：部品レベルとシステム・レベル・ストレスからの異なる不良モード[9]

これが、システム・レベルのテストの標準セットアップを開発している理由である[11]。ボード上のシステム・レベルのストレスは、ボード上の複数の IC の何個かのピンに関係する。更に、白書 1 に記述した通り、システム・レベル ESD テストによって発生する EMI がラッチアップ的な破壊を誘発する事も知られている。部品レベルの ESD テストでは、IC には電源を供給しないので、このような事は起きない。通常は、これらは物理的な破壊には至らないが、もし破壊する場合には、熱破壊の分類になるであろう。

D.1.3 CDM 対 EOS

EOS という言葉は、“electrical overstress:電氣的な過ストレス”を表している。電子部品にとって、過ストレスは 2 種の一般的なエネルギー範囲に分割される。ESD は持続時間 $1\mu\text{s}$ 以下の過ストレス信号に適用し、EOS は $1\mu\text{s}$ を越える持続時間の過ストレスをカバーする[7]。ESD の製造コントロール（機械、機器及び作業者の）は EOS イベントを防止する。しかしながら、電子機器が、保護されていないか又は電圧を帯びている物と接触すると、内部回路へ放電が発生して EOS イベントを生じる可能性がある。EOS イベントの例としては、電源を供給していないデバイスを、電圧を供給している“ホットな”テストソケットに挿入したり、または、電源印加順序が適切でない場合などが含まれる。集積回路に適用されるラッチアップ・テスト[12]は、何 ms もの間、正常な動作電圧を越える電圧で実施するので、EOS イベントとみなしている。しかしながら、より高電圧でより短時間の過ストレス・イベント、または、より長い過ストレスは EOS 損傷を起こしうる。

CDM 事象の総エネルギーは ESD と EOS イベントの間の移行部分のそれに比べ大幅に少ない。CDM で

見られる破壊モードは、EOS イベントに比べて損傷は面積的な広がりが大幅に少なく、材料への影響も少ないので、この事を証明している。EOS に起因する破壊と ESD に起因する破壊の間の明白な区別は説明されている[13][14]。チップを流れる ESD 電流に関係する機構は[15]、[16]で説明されている。EOS 破壊に関する機構は[17]で説明されており、EOS 破壊は殆どの場合ボンディング線（損焼、溶断）で発生し、ダイの表面（ガラス及びトップ金属）上では、損焼、溶断した金属表面に変形したガラスが、見られる。その主要な特徴は、破壊場所の変色である。一般に ESD 破壊で、特に CDM 破壊では、変色不足の特徴がその直接的な対照点である。EOS では破壊を観察するのに、低倍率（1000 倍まで）で十分であるが、ESD 破壊を観察するには非常に高い倍率を必要とする。ESD でフェイルしたデバイスはシリコン・レベルまで解体しなければならない。ESD 及び EOS のシミュレーションには異なるパルス幅と立ち上がり時間を必要とするので、相関は期待できない。

D.1.4 CDM 対ボード帯電イベント（CBE）

CDM 破壊はデバイスの容量に蓄積した電荷が放電する事に起因する。このデバイス容量は、CDM イベントの結果充電される(場合もある)容量で、チップの寸法、パッケージの寸法に依存し、通常は数十 pF 程度である。これに対して、CBE では、関係する容量はデバイスとパッケージだけでなく、共通のシステム基板の容量及びそれに接続されている IC の容量にも依存する[6]。従って、IC 周辺の CBE の総容量は 1 個の DUT の場合の CDM より格段に大きい。CBE 放電では、この大量の電荷がいくつかの IC を通して放電するので、放電電流はデバイス・レベルの CDM の数十倍に達し、CDM ではなく熱破壊を起こしやすい[18]。より詳細は付属書 E で述べている。

D.2 例と幾つかのケース・スタディ

この付録の、前の節で CDM とその他の ESD モデルの間の違いを記述した。これらの違いには、パルスのエネルギー／持続時間、エネルギーの源、および生じる破壊モードがある。従って、我々は、CDM と他のストレスを受けたサンプルの FA（不良解析）を比較する必要がある。この節では、CDM テストから得られた古典的な破壊タイプを説明し、その他の破壊のタイプと比較／対照する。

D.2.1 CDM

図 D2 は代表的な CDM 損傷の写真を 2 つ示している。図 D2a は-500V での CDM 破壊で、古典的な CDM

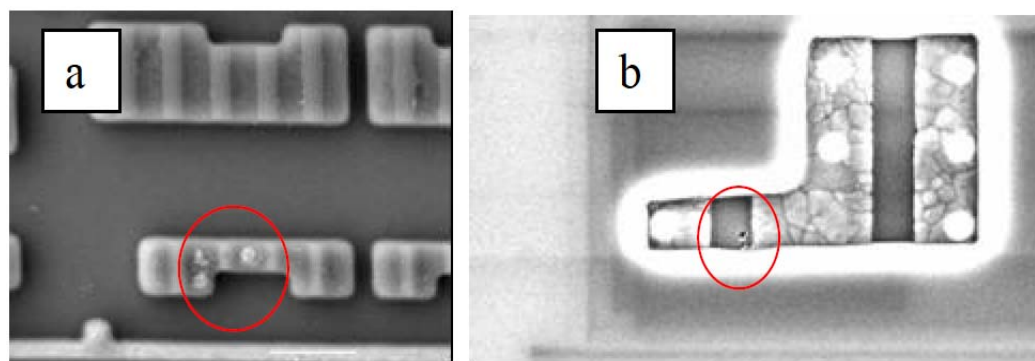


図 D2：ドメインを介したロジックで駆動した 2 つの NMOS トランジスタのゲートの破壊(a)と入力トランジスタ

破壊を図示している。これは1つのドメイン内にある2つのNMOSトランジスタのゲート/ソースを含んでおり、このゲートは他のドメインからのロジックでドライブされる。図D2bはある入力バッファの-300VでのCDM破壊の結果である。両ケースともトランジスタは小さく、損傷ははっきり見えているが、この損傷を起こしたのは比較的小さな電流であった事に注意を要する。

D.2.2 HBM

図D3はHBM破壊を2つ示している。図D3aは2kVのHBM破壊で、比較的大きなMOS I/O トランジスタのドレイン/バックゲート接合を含む典型的なHBM破壊である。この放電の電流パスは、破壊したピンと近接したグランド・ピンの間の正の放電であった。図D3bはVddとVssの間のストレスに対する、コア・トランジスタの破壊である。

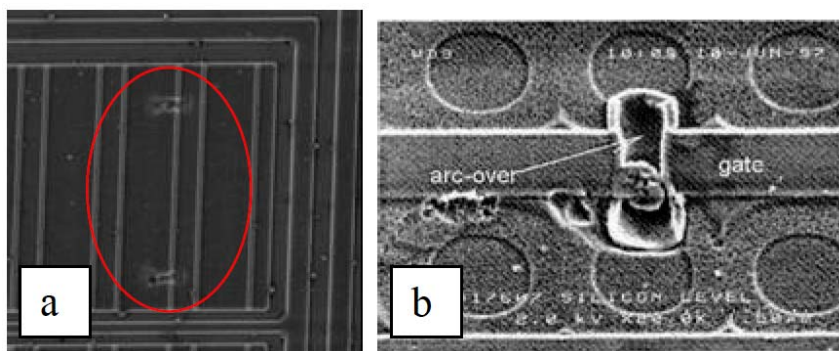


図 D3: 接点スパイク/シリコン損傷を示す HBM、2kV の破壊

疑う余地もなく、CDM破壊はHBM破壊とは非常に違っており、チップ上の異なる場所で発生している。これらの破壊を試験する電気的およびESDシミュレーションでは、リーク電流及び機能的な変化を示しているが、フィールドからの返品の原因を見つけるには十分ではない。認証試験でのフェイルとの類似性を発見するために、返品された製品のFAを実施しなければならない。

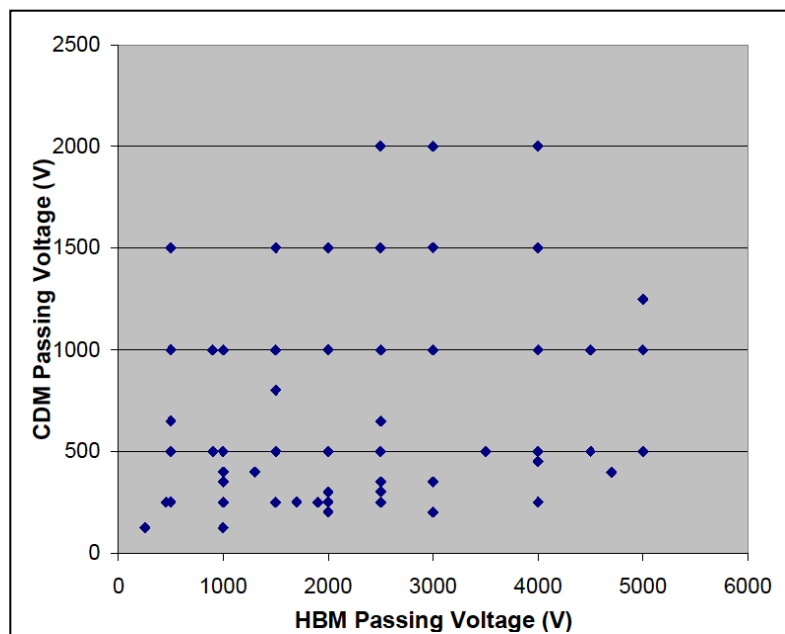


図 D4: 100 種を超す異なる製品の CDM 対 HBM レベル

HBM と CDM の相関を期待できない事は明白である。図 D4 に示した、異なる製造会社からの多くの製品に関する散布図で、本当に相関がみられない事を明らかにしている。相関係数は 0.26 で、この値は、完全に関係のないデータセットに見られる数値と同じである[14]。

D.2.3 システム・レベル ESD

CDM 破壊とシステム・レベル (IEC) 破壊の間の相関が殆どない事を示すケース・スタディをここで、いくつか議論する。

ケース・スタディ 1:

このケースは、装置の筐体に放電した時に、CDM 的な電位差と電流が生じて、IEC の放電が直接デバイスに印加されるケースである。ESD ガンをシステム筐体に放電したとき、筐体とシステム PCB の間の狭い間隙で火花放電が検出された。この間隙は PCB のグランド・パターンに近く、壊れた IC のグランド・ピンはそこに接続されていた。電源とグランド間にある電源クランプが、図 D5a に示すとおり、壊れていた。破壊の原因は、火花によりスタートした制御できない放電がクランプを通して流れた事であった。破壊電圧はシステム筐体に依存し、筐体と PCB の間隔は変化していた。

ケース・スタディ 2:

このケースは、システム基板のコネクタに直接放電した事で生じた。デバイスの CDM 破壊との相関は見られなかった。このケースでは、コネクタの接点が、その端子に印加した高電流によってひどく損傷した。PCB を調べた結果、コネクタからデバイスへの印刷回路に寄生パターンが発見された。最初的高速／高電流部分は寄生パターンがインダクタンスとして働きブロックされた。印加した波形を IC の所で測ると、最初のパルスは見られなかった。第 2 のピークだけが IC に届いていた。結果、生じた破壊は図 D5b に示す。

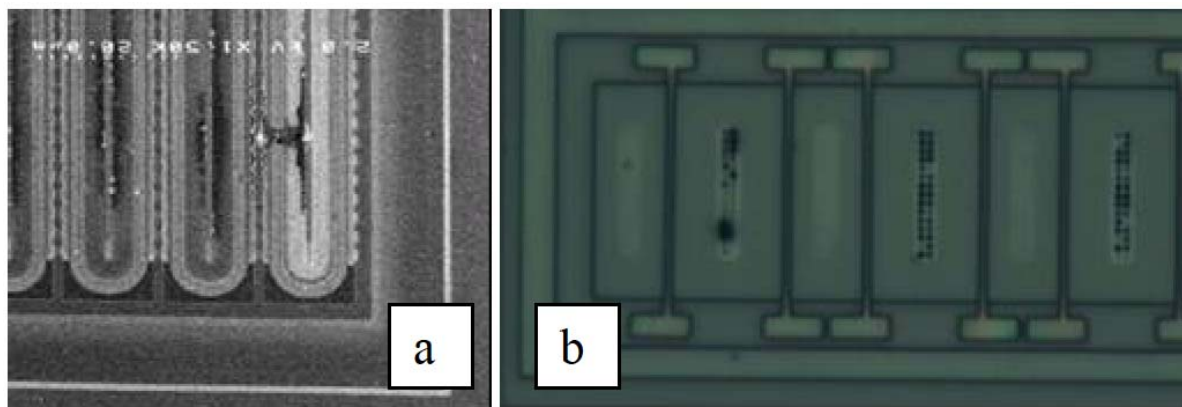


図 D5: システム・レベル ESD による電源ドライバ LDMOS の破壊(a)及び出力バッファ NMOS のドレイン・コンタクトの破壊(b)

これらのケース・スタディは CDM とシステム・レベルの間に相関がない事を例証する。更に、これらは、部品レベルの ESD 保護だけでは高いシステム・レベルの保護を得るには不十分である事を示している。

D.2.4 EOS

図 D6 に EOS 破壊の 2 つの例を示す。図 D6a は入力ピンに対してグラウンドとの間にストレスを印加した時の 2 ピンテストの結果を示している。ストレスは、パラメータ・アナライザを使って、 V_{cc} の 1.5 倍の過電圧を加えた。図 D6b は電源ピンに対して V_{dd} の 1.5 倍のストレスを、グラウンドとの間に加えた時の破壊を示す。これは、反対にデバイスが正常に電源の供給を受けている時に実施した。破壊はこわれた IC のコア部分に発生した。特徴的な変色が容易に観察できる。

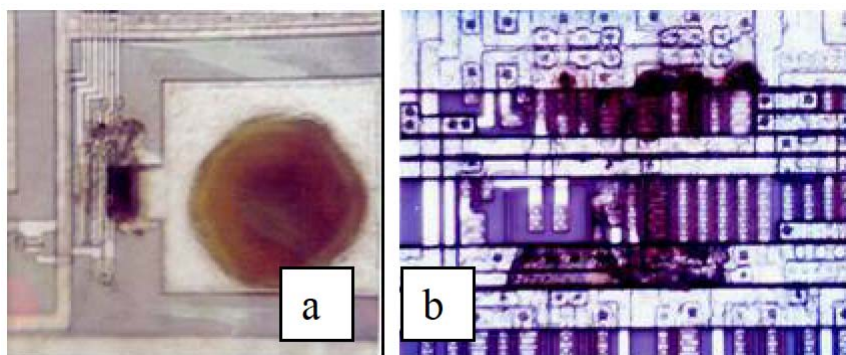


図 D6: EOS 破壊、入力ピン (a) 及びコア部分 (b)

D.2.5 CBE

このケース・スタディは図 D7 に示すように、システムボード上の 1 つのデバイスの IC 端子の ESD 保護ダイオードの溶解に関する。この CBE をシミュレートするために、TLP テスタを用いて信号を加えた。ダイオードの破壊電荷量は $3.6A/100ns$ と測定できた。これは $360nC$ に対応する。IC のデバイス容量を $12pF$ であったとすると、同じ電荷量を発生するには $30kV$ の CDM イベントが必要になる。これは、単一の部品の CDM テスト ($1ns$ 時定数の放電) で得られるレベルよりはるかに高い。

IC を含む PCB の容量はデバイス容量の 20 倍、すなわち $240pF$ と測定された。この高容量の放電時定数は CDM の時定数の 2.5 倍であった。もし PCB が $500V$ にチャージしていると、総エネルギーは上記と同様のレベルになるであろう。この事は、CBE が CDM と相関がない事を明確に説明する。付属書 E.5 節で同様のケースの詳細を示す。

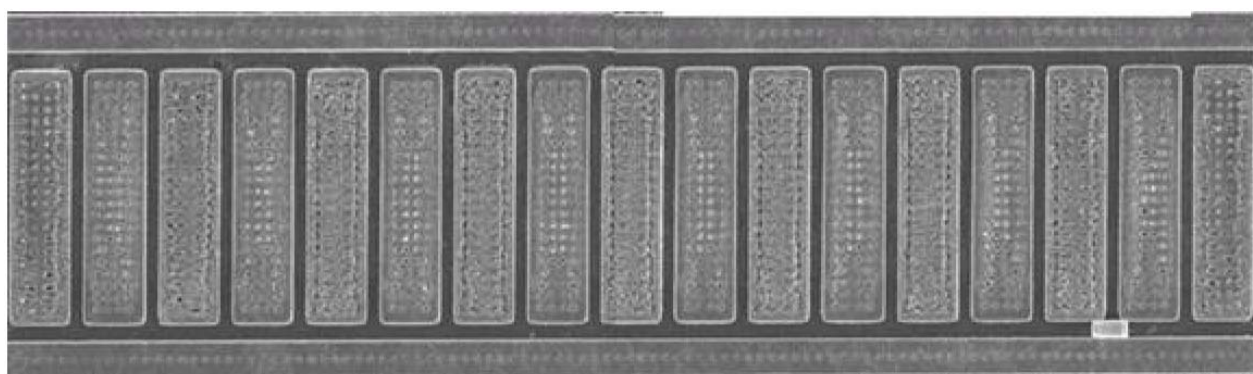


図 D7 : ESD 保護ダイオードの全てのコンタクトが破壊した

D.3 結論

この付属書では CDM とその他のストレス・タイプの間に関係がないことを示した。それ故、CDM を他のいかなるストレス・タイプで置き換えることはできないし、他のいかなるストレス・タイプに置き換わる事も出来ない。CDM レベルを増加する事が他のストレス・タイプに対する性能を高めることにはならない。

References

- [1] ANSI/ESD STM5.3.1-1999 or JESD22-C101D.
- [2] ANSI/ESD STM5.1-2001 or JESD22-A114F.
- [3] ANSI/ESD STM5.2-1999 or JESD22-A115-A.
- [4] White Paper 1: “A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements,” August 2007, www.esdtargets.blogspot.com.
- [5] IEC 61000-4-2, Ed. 1.2, 2001.
- [6] D. L. Lin, ‘FCBM-A Field-Induced Charged-Board Model for Electrostatic Discharges’, IEEE T. Ind. Appl., pp. 1047-1052, 1993.
- [7] D.C. Wunsch and R.R. Bell, ‘Determination of threshold failure levels of semiconductor diodes and transistors due to pulse voltages’, IEEE T. Nucl. Sci., NS-15, pp 244, 1968.
- [8] T. Smedes and N. Guitard, ‘Harmful Voltage Overshoots due to Turn-on Behaviour of ESD Protections during fast Transients’, Proceedings EOS/ESD Symposium, pp. 357-365, 2007.
- [9] W. Stadler et al., ‘From the ESD robustness of Products to the System ESD Robustness’, Proceedings EOS/ESD Symposium, pp. 67-74, 2004.
- [10] T. Smedes et al., ‘Relations between system level ESD and (vf-)TLP’, Proceedings EOS/ESD Symposium, pp. 136-143, 2006.
- [11] <http://www.esda.org/standardscommittee.html>, WG. 5.6, Human Metal Model.
- [12] JEDEC Standard, IC Latch-Up Test, JESD78B, <http://www.jedec.org>
- [13] Leo G. Henry et al. EOS and ESD Laboratory Simulations and Signature Analysis of a CMOS PLW” p117, 1994 ISTFA.
- [14] M. A. Kelly et al. A comparison of ESD Models and Failure signatures for CMOS Integrated Circuit Devices. EOS/ESD Symposium, pp.175-185, 1995.
- [15] S.Dabral and T. Maloney, Basic ESD and I/O Design. John Wiley, 1998.
- [16] Leo G. Henry. ESD Failure signature Differences in the Device core Logic and Protection Structures- A Case Study. P262 ISTFA 2003 and reprint p680 ISTFA 2004.
- [17] Leo G Henry & J.H. Mazur. Basic Physics of color-coded EOS metallization Failures (Differentiating between EOS and ESD). P143, 1998 ISTFA.
- [18] A. Olney, Real-World Charged Board Model (CBM) Failures, EOS/ESD Symposium, pp. 34-43, 2003.

付属書 E: ボード帯電イベントおよび CDM との関係

Alan Righter, Analog Devices

Pasi Tamminen, Nokia

Theo Smedes, NXP Semiconductors

Andrew Olney, Analog Devices

Toni Viheriakoski, Nokia

E.1 ボード帯電事象の問題の報告

印刷回路ボード (PCB) の ESD 破壊は、1980 年代から今日まで著しい注目を受けてきた。最近までの PCB の ESD は付属書 D、また、ESD 目標レベルに関するインダストリ会議の白書 1 で議論したように、システム・レベルに対する ESD 保護に大きく焦点があてられていた。

PCB に関連した放電トランジェントには 4 種類の別々なメカニズムがある[1]。最初のメカニズムでは、既に接地している PCB に帯電した人間が触れる場合、放電トランジェントは HBM を示し、生じる破壊は本質的に HBM となるであろう。2 番目のメカニズムでは、帯電したケーブル（引きずること等で摩擦により帯電する）が接地した PCB に接触し、ケーブル放電で PCB の部品を破壊させる。第 3 のメカニズムでは、接地しない帯電した機械が接地した PCB に接触する時、破壊した部品は機械モデル的な放電を受けている。S20.20 は ESD 制御された製造環境内でのケーブル放電に対する保護をするが、家庭やオフィスのように、ESD 制御されていない環境で使用するように製造したシステムは、ケーブル放電に耐えるように保護しておかなければならない。

1980 年代の終わりごろから、システム用の基板の帯電／突然の放電に起因する第 4 の ESD 脅威のメカニズムを示す理論と証拠が示されるようになった。

Pierce[2]は、部品対ボードの容量特性を比較し、部品の ESD 破壊エネルギーをシステムが IC に供給するエネルギーと関係づける事により部品の破壊電圧を比較し、ESD 破壊電圧の関係を最初に紹介した。同じエネルギーに対してずっと低い破壊電圧になる事が発見された。Boxleitner[3]は 1991 年にさらに進めて、回路基板の設計特性と放電パスの変化がシステムボードの上の部品の破壊電圧を大幅に変化させる、個々の部品の破壊電圧が 1/100 にもなる、事を紹介した。Lin[4]は FICBM (Field-Induced Charged Board Model : 誘導帯電によるボード帯電モデル) 放電を 6 インチ x 12 インチの回路基板を使ってモデル化する AT&T での試みを、報告した。このハードウェアは普通の ns-CDM テスタに極めて類似している。前記回路板に対する FICBM の波形の仕様を、ピーク電流、立ち上り時間及びパルス幅を含めて設定している。

ボード帯電イベントの為の応用とテスト条件を記述した標準のモデルは今日では存在しない。文献の大多数ではボード帯電イベントをボード帯電モデル (CBM) と呼んでいる。しかし、以下の議論では CBE

という用語を使用する。

E.2 ボード帯電事象（CBE）のあらまし

概念上は、CBE はパッケージに入った部品のデバイス帯電モデル（CDM）イベントと類似している。CDM イベントの期間、パッケージに入った IC に蓄えられた電荷は、接地あるいはそれに近い電位の導体と接触する直前（ps から ns）に放電する。CBE の期間、PCB 全体に蓄えられた電荷が、接地あるいはそれに近い電位の導体に接触する直前（ps から ns）に放電する。従って、CBE は CDM の拡張版と考えられる。ここでは、PCB が電荷を蓄える“デバイス”である。しかしながら、PCB は（ボード面の容量がより大きいので）単一の IC に比べてずっと多くの電荷を蓄えられるので、CBE の放電ピーク電流は CDM イベントに比べ大幅に高いのが普通である。その結果、帯電ボードの放電による破壊は並はずれて過酷で、EOS 破壊と間違いやすい。

ボードの充電には 3 種類の異なる方法があり、同様の放電手段がある。第 1 の方法は、接地しない PCB を帯電した人間が保持し、基板上の裸の放熱板等の金属部品を接地電位にすると、その結果発生した部品の破壊は、本質的に CBE になるであろう。第 2 の方法は帯電した PCB の（ボード上の）エッジ・コネクタが、PCB が挿入されるカードフレームのコネクタと接触する時に起きる。この PCB は最初に接触したコネクタを通して、急速に放電し、そのパス内の、感じやすい（壊れやすい）IC が破壊する。3 番目の方法では、帯電した PCB が、ウェーブ半田、入力コネクタ、電氣的テスト、または、大容量の金属物体との接触などで接地された時に流れる放電電流によってボードに取り付けた IC が破壊する。この場合には、PCB は帯電物体の電界の中または表面にあり、PCB 上の絶縁物（プラスチック・ソケット、プラスチック・カバー、コネクタ等のような）で電荷を生じ、電界内で接地されることにより、ボード上の帯電した絶縁物により部品を含む基板上の伝導部分が電圧を発生する。この電圧のグランドへの放電が引き起こす破壊は、帯電したボードによる破壊である。

E.3 CBE と部品レベル ESD テスト法との関係

電子工業会で広く使われている部品レベルの ESD スタンダード・モデルには人体モデル（HBM）とデバイス帯電モデル（CDM）がある。IC に関しては、これらのモデルの ESD テストは、個々の部品レベルで行い、ストレス・テストに関する認証を行う時に PCB に実装する事はしない。この部品レベルの ESD テストは、IC を PCB へ実装する前に IC に対して発生する実世界の ESD イベントを手動で、または自動的にシミュレーションするには効率的である。しかしながら、部品レベル ESD テストは、それらの IC が PCB に実装された後でいかに壊れやすいかを予測するには十分でない。実際、PCB に実装された IC は、その IC を個別に取扱う時に比べて、ESD に対して大幅に壊れやすかったり、あるいは壊れにくかったりするのである。これを支える情報は、付属書 D、D.1.4 及び D.2.5 節に見ることができる。

E.4 帯電ボードとそれに関連した破壊のケース・スタディ

実際の帯電ボード・イベント、及び、部品の場合とシステムの場合の寄生定数に関して部品の場合より破壊レベルが低下するケース・スタディの詳細を最近の研究が報告している。

Olney[5]は相互接続したパッケージ・リードフレームを細長い棒状につなぎ合わせた部品の“Charged Strip Model”での壊れやすさに関する報告をした。個々のピンを相互接続したリードフレームから切り離した時に壊れやすくなった。切り離したピンの帯電とその後の放電（共にテストのポゴピンからのもので、CDM テスタ内の短く切ったストリップ上で）では、個別の部品の CDM レベルに比べ、ストリップ CDM 電圧は極めて低かった。集合的なリードフレームで接続されたパッケージの正味の容量は、極めて低い結合リードフレーム抵抗／インダクタンス経由の放電経路を伴ったパッケージの数の関数である。

この研究はより詳細な調査[6]で引き継がれ、ボード上に取り付けた部品の ESD によるフィールドでの破壊という、ユニークな文献となった。この論文からの 2 つの例が、製造過程で激しい ESD 破壊を引き起こしたボードの帯電を説明するのに役立った。

E.5 ボード帯電事象のテスト法の例

文献[5][6]では、市販で入手可能な ns-CDM テスト・システムを使って、ストリップ、特別に設計した CBE テスト・ボード、そして、顧客から戻されたボードをテストした。この CBE 法はボード又はボードの部分が、通常は 4 インチ（101.6mm）平方より狭い電界帯電プレートの領域内に収まっていれば、使用できる。図 E1a は[6]の設定を使ってボードをテストする写真である。

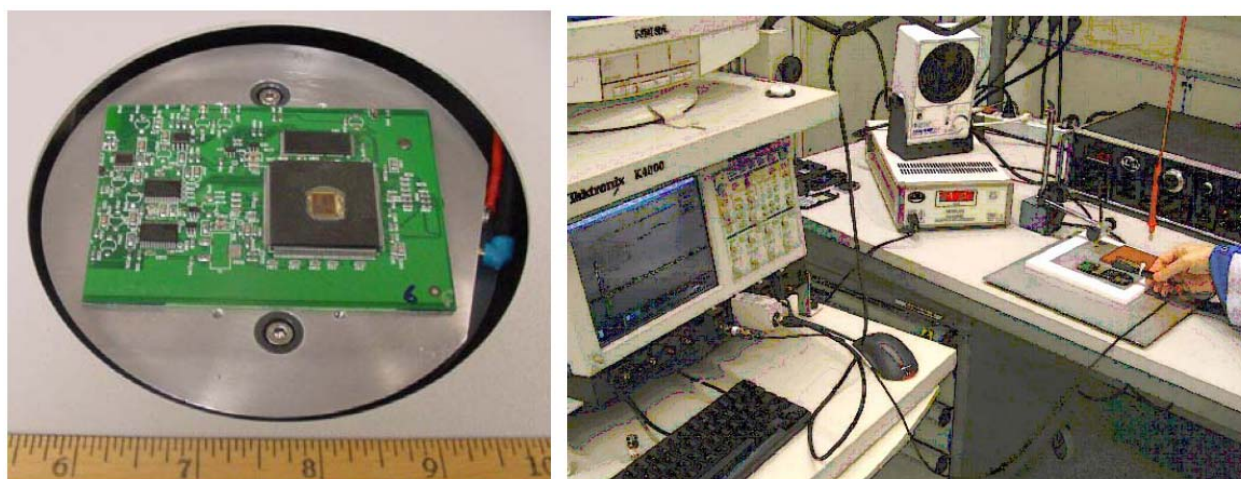


図 E1a(左)：市販 CDM テスタ上の顧客の PCB 写真。図 E1b(右)：PCB 用の特別設計 CBE 評価システム

次に、PCB の CBE 評価に使われる第 2 の設定を記述する。システム・レベルに対する、ESD に過敏な部品の確認をするには CBE の ESD ストレス・テストの原理を使う事ができる。この方法は、半組立品及びモジュールの ESD 耐性を評価するのに適している。CBE 耐性は製造環境でも有効で、容量、ポテンシャル及び電荷（量）などの静電気源の回路パラメータを使う事によって ESD リスクを推定する事ができる。

CBE 法のテストの設定は図 E1b に示し、それに対応する回路モデルを図 E2 に示す。試験する PCB を電氣的に浮いている誘導プレートの上に置く。絶縁箔で PCB を誘導プレートより絶縁する。PCB の容量は絶縁箔の厚さを正しく設定する事により、要求されるストレス・レベルに設定できる。薄い絶縁物は PCB に対する CBE ストレス・レベルを最高にするし、より厚い絶縁物を使うと現実の世界の状況を示すストレス・レベルに調節する事ができる。誘導プレートは第 2 の絶縁板によってグランド板から絶縁されている。誘導プレートの容量は、プレートの面積や絶縁物の厚さを変えたりして、工程で見られる影響に従い、または、一般的なレベル（例えば、PCB の容量より 4 倍高く）するなど、調節できる。

CBE ストレスの印加は下記によって実行できる。PCB を薄い絶縁シートの上に置き、PCB 及び誘導プレートを中和（ゼロ電位に）する。その後、高電圧発生器を使って、浮いている誘導プレートにストレス電圧を与える。この誘導プレートは PCB 上に電位を誘発する。電位が安定したらすぐに電圧源を切り離す。PCB 上の興味のある放電ポイントに短い接地線を持ったプローブで接触する。誘導プレートの初期と残留電位を、放電の前後で記録しておく。式（1～4）を使って放電パラメータを計算する事ができる。そして、ストレス・レベルは Q_{mobile} 、 E_{ESD} 及びストレス電圧によって与えられる。さらに、ストレス・レベルを確認する為には $C_{induction}$ 、 C_{PWB} 、 C_{ESD} 及び L の値も与えられなければならない。放電電流と転送電荷（量）を測定するにはオシロスコープを使う。

$$C_{ESD} = \frac{C_{Induction} \cdot V_{Initial} - C_{Induction} \cdot V_{Residual}}{V_{Initial}} \quad (1)$$

$$Q_{Mobile} = C_{ESD} \cdot V_{Initial} \quad (2)$$

$$E_{ESD} = \frac{Q_{Mobile}^2}{2 \cdot C_{ESD}} \quad (3)$$

$$L = \frac{\left(\frac{1}{2\pi f_0}\right)^2}{C_{ESD}} \quad (4)$$

ここで、

$V_{Initial}$ は ESD イベント前の誘導プレートの電位。

$V_{Residual}$ は ESD イベント後の誘導プレートの電位。

$C_{Induction}$ は誘導プレートとグランド板の間の容量。

C_{PCB} は PCB の放電回路と誘導プレートの間の容量で、測定できる。

C_{ESD} は放電回路のソース容量で $C_{Induction}$ と C_{PCB} の直列容量である。

Q_{mobile} は放電回路の伝送可能な電荷（量）である。

E_{ESD} は計算した放電のエネルギーである。

インダクタンス L は、振動していれば、共振周波数から計算できる。

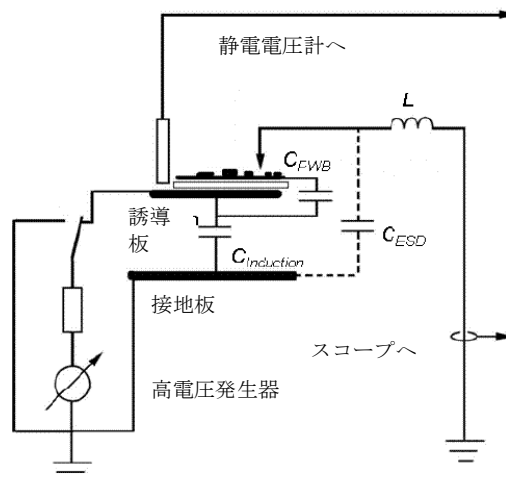


図 E2 : CBE の部品に対するボード・リスクを測定するための、変化量を設定できる CBE 法

E.6 ボード帯電事象のテスト結果

前節で述べた装置から得られた CBE 放電の例を表 E-I に示す。放電パラメータは小さい PCB (寸法 40mm x 100mm) 及び単一の PGA 部品 (寸法 10mm x 10mm) から得られた。ここでは、PCB は CBE 放電を意味しており、PGA は同じ設定であるが、CDM パラメータを与える。CBE 放電パラメータは静電ソース回路と放電回路に依存する。この例では、放電は 40mm の長さのグランド線を行い、放電電流を測るのに、電流プローブ CT2 を使った。測定した放電を図 E3 に示し、放電回路パラメータを表 E-I に示す。

表 E-I ソース回路のパラメータと計算した放電パラメータ

ストレス・レベル	$C_{\text{Induction}}$ [pF]	C_{PWB} [pF]	C_{ESD} [pF]	V_{Initial} +/-[V]	V_{Residual} +/-[V]	L_{Stray} [nH]	Q_{Mobile} [nC]	$E_{\text{Potential}}$ [uJ]
CBE	89	33	24	1024	748	<30	25	13
CDM	89	3	3	1024	995	<30	2.6	1.3

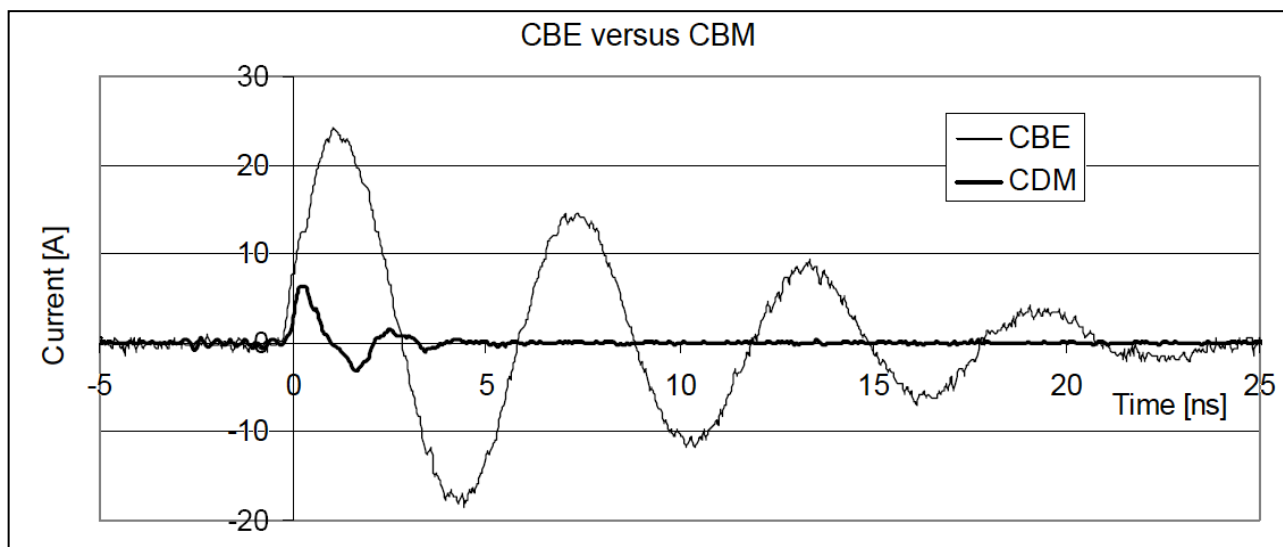


図 E3 : CBE 放電装置からの CBE 放電と CDM 放電の比較

[6]に示した CBE テスト装置に戻り、図 E4 では単一の DSP (デジタル信号プロセッサ) の CDM 放電波形と、顧客から戻ってきた図 E1a に示す PCB に実装した同じ DSP デバイスの帯電ボード波形を比較している。驚く事ではないが、与えられた帯電電圧 (本件では 250V) に対して、CBE 放電は CDM 放電に比べて極めて高いピーク電流をしめす。これは、PCB の容量が IC のパッケージ容量に比べてずっと大きいためである。また、CBE イベントは対応する CDM イベントに比べ、立ち上がり時間が速い。これは、本ケースでは、放電パスのインダクタンスが個別 DSP デバイスの場合より、PCB の方がより低いからである。これは、主として測定した PCB のパターンが IC のボンディング線に比べて格段に広く厚い事からくる。この事は、一般にも事実である。PCB に対してはずっと高いピーク電流とより速い立ち上がり時間を持つというこの事実は、デバイス・レベルでは事実上壊れる心配がなくても、ボード・レベルでは ESD 破壊を受けやすいかもしれないのである。もし実装した IC がその PCB の主要な放電パス内であれば、その IC の CBE ESD 破壊は更にずっと過酷なものになるであろう。その結果このような ESD 破壊は、EOS 破壊に似て見える可能性がある。

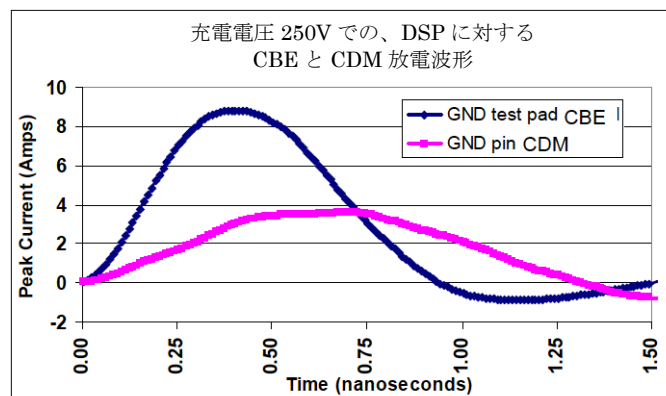


図 E4: CBE と CDM の放電波形の比較

E.7 ボード帯電事象 (CBE) 破壊の確認とその最小化

下記の条件が 1 つ以上揃うと IC が CBE ESD 破壊を最も受けやすくなる。

1. プラスチック・ソケット、プラスチック・カバー、プラスチック・コネクタ等電荷がたまり易い大きな絶縁物に隣接して IC がある。
2. PCB の端、特に PCB のエッジ・コネクタ、取り付け穴、またはテスト・ポイントなどの近くに IC がある。
3. IC が多くの電源／グラウンド・ピンを持っており、ボードの電源、グラウンド・プレーンに半田付けしてある、特に、電源／グラウンド・プレーンが IC に比べて大きい。
4. IC が大きなダイを持っており、放電パスのインピーダンスが非常に低い、特に、この IC が PCB の主放電パスである。
5. PCB がはっきりした EOS/ESD 保護、電源プレーン間の TVS (過渡電圧サプレッサ) 及びショットキー・ダイオードなどを持っていない。

PCB 上の IC 及びその他の部品は最初に部品を実装する時から、適切な ESD 保護を施しているケースやその他の筐体に挿入されるまでの間、最も CBE ESD 破壊の影響を受けやすい。平衡したイオナイザを

使って、PCB の組み立てライン全体にわたって、特に、絶縁部品（ソケット、コネクタ等）を取り付けるステップ、対流／IR リフロー又はウェーブ半田の直前で、PCB の帯電を最小に抑えるように、すべきである。この事は、本書の CDM コントロール、第 3 章（3.2.2 節）のケース・スタディでも確認できる。

更に、コネクタの設計が、I/O ピンを最初に電氣的に接続するようになっているなら、それは、設計ミスである。通常は、最初に接触するのはグランド・ピンか、またはコネクタの周囲の EMC シールドであるべきだ。

CBE に対する感じやすさはボードの寸法／配置、ボード／ボード上で使っている材料の帯電能力、特定の組み立てステップ等の関数である。ある特定の CBE テスト装置が、全ての可能性のある CBE 放電の筋書きを再現できるわけではない。測定したピーク電流は、ボード上のどこで電流を測定したかにも依存する。CBE の感じやすさの分析は、個別の適用に最もふさわしく、CBE の条件の特別の組み合わせが、その用途で必要とする CDM 耐性電圧の評価を導く事が出来るのである。

ボードの組立と回路ボードの取扱、ボードのシステムへの組み込みなどの時に、ESD 協会からの S20.20 のような公認の ESD コントロール・プログラムに忠実であれば、このような破壊の発生を防ぐ助けになる[8]。しかしながら、それで CDM/CBM 破壊が発生しない事を保証は出来ない。例えば、保護テープを LCD 画面から引き剥がす組み立てステップとその後の LCD の PCB 上への取り付けには、1、2 秒しか要さず、平衡したイオナイザが、生じた電荷を LCD より除去するに十分な長さではない。

E.8 要約

ボード帯電イベント（CBE）は他の ESD モデルほど良く文書化されていないが、電子装置のシステム・レベルの製造時には多くの実世界の ESD 脅威となっている。与えられた PCB に使用する全ての個々の部品が部品レベルで高い ESD 強度を、たとえ、持っていても、これらの部品の中の 1 個以上が、PCB に実装された後で、ESD 損傷を非常に受けやすいかもしれない。PCB は個々のデバイスに比べ、極めて大きな容量を持っているので、CBE 破壊は CDM 破壊に比べ極めて過酷である。従って、PCB 上のある IC の破壊を EOS のせいにせず、CBE の ESD 破壊を探索すべきである。ボードの組立と回路ボードの取扱、ボードのシステムへの組み込みなどの時に、ESD 協会からの S20.20 のような公認の ESD コントロール・プログラムに忠実であれば、このような破壊の発生を防ぐ助けになるが、製造環境の更に進んだ分析により電荷の生成とその後のボードの急速な放電を理解する事が重要である。

References

- [1] White Paper II: Trends in Semiconductor Technology and ESD Testing, ESD Association, 2006.
- [2] D. Pierce, "Can Charged Boards Cause IC Failure?," EOS/ESD Technology, February / March 1988.
- [3] W. Boxleitner, "The ESD Threat to PCB-Mounted ICs," EOS/ESD Technology, October / November 1991.
- [4] D. L. Lin, "FCBM-A Field-Induced Charged-Board Model for Electrostatic Discharges," IEEE Transactions on Industry Applications, Vol. 29, No. 6, pp. 1047-1052, 1993.
- [5] A. Olney, A. Richter, D. Belisle and E. Cooper, "A New ESD Model: The Charged Strip Model," EOS/ESD Symposium Proceedings, EOS-24, pp. 163-174, 2002.
- [6] A. Olney, B. Gifford, J. Guravage and A. Richter, "Real-World Charged Board Model (CBM) Failures," EOS/ESD Symposium Proceedings, EOS-25, pp. 34-43, 2003.
- [7] P. Tamminen and T. Viheriäkoski, "Characterization of ESD Risks in an Assembly Process by Using Component-Level CDM Withstand Voltage," EOS/ESD Symposium Proceedings, EOS-29, pp. 202-211, 2007.
- [8] R. Gaertner, "Do We Expect ESD-failures in an EPA Designed According to International Standards? The Need for a Process-Related Risk Analysis," EOS/ESD Symposium Proceedings, EOS-29, pp. 192-197, 2007.