

White Paper 1: A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements

白書 1 : 部品レベルの HBM/MM ESD
仕様と要求を低くする事例

Industry Council on ESD Target Levels
ESD 目標値に関するインダストリ会議



翻訳者：インダストリ会議メンバー（磯福佐東至）

May 2008

2008 年 5 月

Revision 1.5

第 1.5 版

Abstract

概要

これまで 20 年以上もの間、IC の部品レベルの ESD 目標値は HBM (2kV)、MM (200V) とともに、一定値に据え置かれてきました。これらの値を変更することは、考慮される事はありませんでした。OEM に対して、要求される今日の静電気管理レベルが、これらの高い HBM/MM レベルを必要としているとは限らないことは、後に本書のデータが示すとおりです。現在、最先端のシリコン技術において、これらのレベルまで、ESD 性能を過剰設計することは、シリコン面積と性能の浪費の増大となり、更に、製品の革新サイクルの遅れにもつながっています。静電気管理技術の改善、フィールドでの不良率、ケーススタディ、ESD 設計データなど、IC の供給者及び提携製造業者 (CM) により収集された情報に基づき、私たちは、HBM/MM の ESD 目標レベルを、より、現実的で、なおかつ、安全な値に下げることが、提案いたします。これらの新しい値 (1kV HBM および 30V MM) は、顧客で実施できる静電気管理法、最新の ESD 設計法により容易に達成可能です。

About the Industry Council on ESD Target Levels

ESD 目標値に関するインダストリ会議に関して

この会議は、米国、ヨーロッパ、アジアの主要半導体会社数社が ESD 目標値を決定し、推奨するために集合した後の 2006 年に発足しました。そのゴールは IC 製品の ESD に関する要求値を、ESD 保護エリア内で IC 製品を安全に取扱い、実装するための ESD に関する要求を、シリコン技術の微細化および IC の設計からの束縛に焦点を当てながら、設定することです。この会議は、活動的なフルメンバー会社からの代表者と種々の支持会社からの多くの準メンバーで構成しています。全会員は、IC の供給者、契約製造会社 (CM)、ESD テスタ製造会社、ESD コンサルタント、及び ESD IP 会社を代表しています。出荷した製品から言うと、EE タイムスの 2007 年 8 月 6 日の記事によると、会員の IC 製造会社は、上位 10 社の中の 7 社を、上位 20 社のうちの 12 社を代表しています。このインダストリ会議の会員は継続して増加しており、関心のある団体は、当会議の議長にご連絡ください。

Core Contributing Members

中心的な貢献会員

Colin Bolger, VIA Technologies

Brett Carn, Intel

*Charvaka Duvvury, Chairman

Texas Instruments (c-duvvury@ti.com)

Yasuhiro Fukuda, OKI Engineering

Reinhold Gaertner, Infineon

Robert Gauthier, IBM

Ron Gibson, Celestica

*Harald Gossner, Chairman

Infineon (harald.gossner@infineon.com)

Hiroyasu Ishizuka, Renesas

Satoshi Isofuku, Tokyo Electronics Trading

Larry Johnson, LSI

John Kinnear, IBM

Jim Miller, Freescale

Homi Nariman, AMD

Alan Righter, Analog Devices

Theo Smedes, NXP Semiconductors

Arnie Steinman, MKS Ion Systems

Teruo Suzuki, Fujitsu

Benjamin Van Camp, Sarnoff Europe

Supporting Members (August 2007)

サポート会員 (2007 年 8 月)

Jon Barth, Barth Electronics

Stephen Beebe, AMD

Leo G. Henry, ESD/TLP Consulting

ChanSu Kim, Samsung

Alan Liang, TSMC

David Mendez, Soletron

Tom Meuse, Thermo Fisher Scientific

Koen Verhaege, Sarnoff Europe

Nobuyuki Wakai, Toshiba

Tetsuaki Wada, Matsushita Electric Industrial

(翻訳者注)

この日本語版は、本白書を、日本国内の関係者に手軽に読んでいただけるようにする事を目的として作成いたしました。出来るだけ、原文の意図するところに忠実に、日本語にするよう、努力いたしましたが、能力不足で、間違えている部分もあろうかと思います。間違いに気付かれた方は、お手数でも、ご一報いただければ幸いです。修正いたします。なお、より正確に、ご理解されたい方は、原文をご参照ください。原文は、下記ホームページより無料でダウンロード可能です。

www.esdforum.de => News

または

www.esdtargets.blogspot.com

Mission Statement

使命に関する声明

ESD 目標値に関するインダストリ会議の使命は、最新の IC 製品の ESD 強度に対する要求を、ESD 保護領域で安全に取扱い、実装できるに十分なレベルに見直すことにある。当協会は、組立側の能力と、実用的な保護設計に対する微細化の進むプロセス技術による制約とを調整しつつ、将来の ESD 目標値に関する、整理統合した勧告を行う。当協会の会員および、準会員はこれらの勧告される目標値が各社の目標となるよう促進する。当協会は独立した団体として、結果と、その裏付けとなるデータを、関心ある標準化団体に提示する予定です。

Preface

序文

本書は、半導体製造会社及びその顧客の品質組織に対して、安全な ESD レベルに対する要求を評価、決定するための情報を提供する目的で記述してあります。本書を通じて、部品レベルの ESD で、ESD の目標値を現実的なレベルに下げることが単に極めて重要なだけでなく、緊急を要する事を明白にします。本書は概要に示した目的を支持するために、可能な限り多くの詳細な技術情報を提供できるよう、章に分けて構成しています。私たちは、本書を、まず、Executive Summary、管理者のための要約、で始め、各章の重要事項、FAQ（よくある質問）と進め、本書全体を読まなくても、読者にとって重要な情報が容易に得られるようにしてあります。更に、これらの FAQ は本書に含まれるデータおよび結論を解釈する時に、しばしば発生する誤解を防ぐ事を目的としています。本書の内部で指摘する部品レベルの ESD 試験は、JEDEC、ESDA/ANSI など適切な仕様で定義された手順によるものであります。

Disclaimers

声明書

ESD 目標値に関するインダストリ会議は、いかなる規格標準化団体とも提携せず、JEDEC、ESDA、JEITA、IEC または AEC に後援された作業部会でもありません。

本書は、異なる半導体供給会社、ないしは、契約製造会社からの ESD エキスパート、個々人によって編纂されました。本書のデータは、本書内に記述している特定の分析のために選択した多くの異なる種類の製品に対して収集した情報を提供しており、特定の部品に関するものではありません。読者は、本書の情報を、EOS イベント、またはシステム・レベルの ESD 事故に起因する、(ESD とは) 無関係なフィールドでの不良の証拠であると誤解してはいけません。本書は、システム・レベル ESD に対する要求に対して影響を及ぼす事のない、部品レベルの ESD に関する、勧奨のみに言及しています。

本インダストリ会議は、これらの勧奨を提供しますが、これらの勧奨を受け入れた団体に対して、いかなる責任も、義務も負いません。

Executive Summary：管理者、経営者用の要約

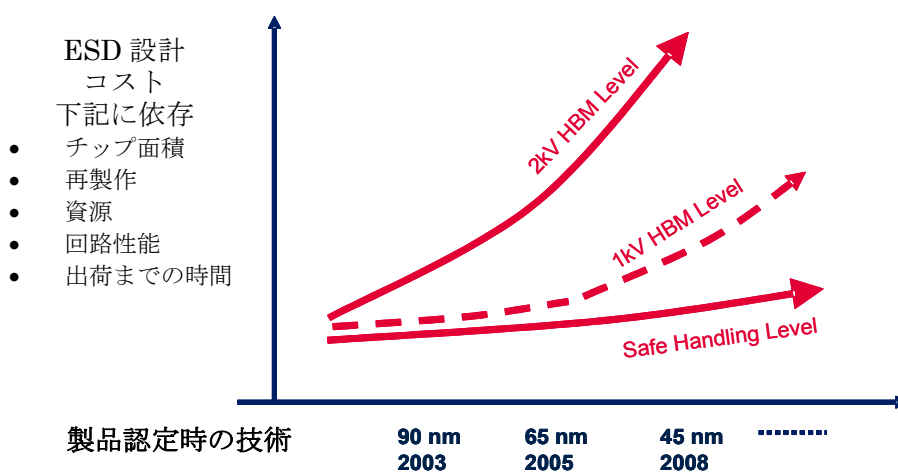
この要約部分では、もっとも重要な問題点と結論を示すために、本白書のあらましを記述します。より詳細については本書の、各章に記載されています。

ESD の挑戦

問題：

現在の産業界の HBM および MM の ESD 認証目標レベルは、近代的な組み立て、製造環境でいかなるレベルの ESD 保護が必要とされているか、また、最新技術による IC、特に高性能の回路に対して実用的に得られる保護レベルがどの程度か、いずれから見ても、維持できなくなっています。産業界の多くで、実世界でのストレス・レベルとは何の関係もない目標値に対する不良に起因する ESD 認証試験の不良が、今日ではきわめて多くなっています。このような問題は市場に出荷するまでの時間、顧客からの信用に関して、重大かつ不必要な影響を与えています。

ESD 保護に関する供給者／顧客のコスト

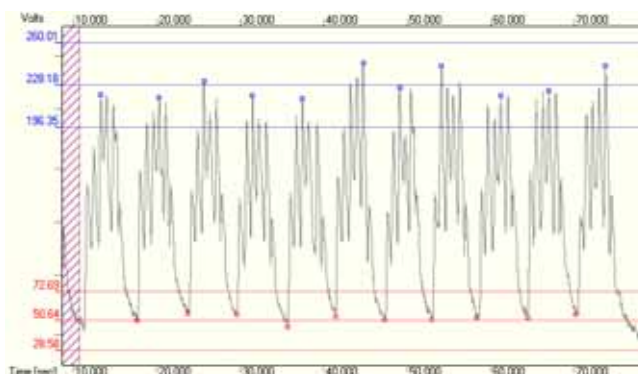


データ：

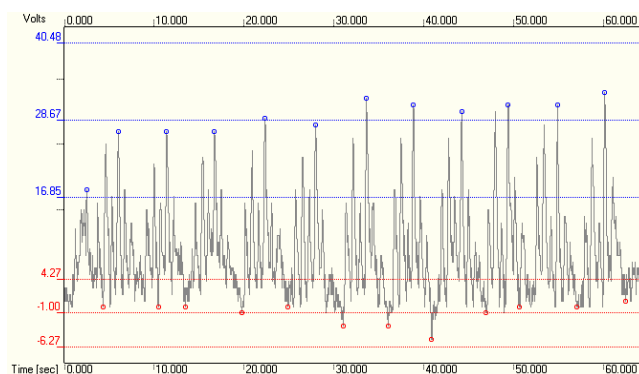
一般に受け入れられている HBM、2kV の要求は 20 年以上前に設定され、この値は、500V 未満に制御する現在の ESD 管理法（第 2 章）、及び 2kV 以下の性能で出荷した製品からの著しい量のフィールドからの返品が無かったという事実（第 4 章）から考えると、過剰仕様のレベルと言えます。

Executive Summary：管理者、経営者用の要約（続き）

管理された製造環境内で歩行する人体の電圧



(a)



(b)

(a) 基本的ではあるが、理想的な管理法ではない場合の ESD レベル：<500V

(b) 適切な基本的管理法を採用した場合の ESD レベル：<100V

提案：

私たちは、回路設計と、ESD 保護エリア内での安全な取扱いと実装の両方で受け入れられる現実的な ESD レベルに関する要求を明記するために、HBM 及び MM の ESD 目標レベルを下げることを提案します。

HBM の ESD 分類の要約

HBM レベル	分類	備考
2kV	要求レベルを超えている	基本的な ESD 管理のもと
1kV	余裕をもって要求を満たす	基本的な ESD 管理のもと
500V	要求を適切に満たしている	基本的な ESD 管理のもと
100V ～<500V	敏感である	より進んだ ESD 制御法が必要（ANSI/ESD S20.20 または IEC61340-5-1）

重要な注意：上記で提案した HBM レベルは MM に対する十分以上の強さ（>30V）を完全に保証し、基本的な ESD 管理法によって取り扱うことができます。

目次

管理者、経営者用の要約.....	5
ESD の挑戦.....	5
本書の主要な内容.....	9
よくある質問.....	10
第 1 章：HBM/MM ESD 要求に関する歴史的な経過	17
1.1 HBM 目標レベルに関する動機付け.....	17
1.2 MM の紹介に関する動機は？.....	18
第 2 章：ESD および管理環境における変化と改良.....	19
2.1 ESD 取扱手法の歴史.....	19
2.2 ESD コントロールの地球的な実施.....	20
すべての導体を接地、接続する.....	21
絶縁物上の電荷をコントロールする.....	21
輸送、保存には保護パッケージを使用する.....	21
ESD コントロール・プログラムと結果のデータ.....	21
プロセス分析の利点.....	23
2.3 自動化レベルの進展により HBM 障害状況が変わる.....	24
第 3 章：機械モデル-HBM と MM ESD の間の相関.....	26
3.1 相関.....	26
1kV の HBM 目標の結果.....	28
3.2 HBM/MM 比の例外.....	29
両極性対単極性ストレス.....	29
最新のテクノロジー.....	30
3.3 結論.....	32
第 4 章：HBM レベル対フィールド返品に関する分析.....	33
4.1 HBM レベルとフィールド返品の関係.....	33
4.2 ケース・スタディ.....	35
4.2.1 HBM 500V 以下の事例.....	35
4.2.2 HBM 500~1000V の事例.....	36
4.2.3 HBM 1000~2000 の事例.....	36
4.3 結論.....	37
第 5 章：顧客および供給者からの ESD に関する要求の影響.....	38
5.1 ESD に関する要求および仕様の欠陥.....	38
5.2 ESD フェイルの影響.....	38
5.3 改定した ESD 目標レベルの影響.....	40
第 6 章：部品レベル ESD に対する IC テクノロジーのスケーリングの効果.....	42
6.1 ESD 強度に対するスケーリングの効果.....	42

6.2 保護設計のウィンドウ.....	45
6.3 ESD の容量負荷に関する要求.....	47
6.4 パッケージの効果.....	49
6.5 ESD テクノロジーに関するロードマップ.....	49
第 7 章：部品レベル ESD とシステム・レベル ESD の違い.....	52
7.1 システム・レベル ESD の歴史.....	52
7.2 部品レベルとシステム・レベル・ストレスのモデルの違い.....	52
7.3 ケース・スタディ.....	54
7.4 結論.....	54
第 8 章：新しい ESD 目標レベルの提言.....	56
8.1 HBM 及び MM に関する新しい、現実的な ESD 目標レベル.....	56
8.2 特殊なピンの取扱.....	57
8.3 新しい提言を適用するまでの 時間的枠組み.....	57
8.4 ESD 設計の将来のコスト.....	57
8.5 製品の ESD 評価基準.....	58
8.6 今後は.....	60

本書の主要な内容

第1章：歴史的な経過を紹介するために、HBM および MM 仕様の起源を記述しています。

第2章：産業界で広く実用化されている、大幅に改良された ESD 管理法を記述し、HBM 500V/MM 30V より大幅に低いレベルに ESD をコントロールする方法を解説しています。

第3章：MM の評価がしばしば冗長であることを立証するために、HBM 保護レベルから得られる、MM 性能をまとめています。

第4章：インダストリ会議メンバーからのデータを整理して紹介することにより、フィールドからの返品は製品出荷時の HBM レベルとは無関係であることを示します。また、2kV の要求は時代遅れになったと言う重要な点を示します。

第5章：いわゆる ESD の“コスト”を回路性能、シリコンのレスピン（再製作）の回数、製品の遅れ、供給者と顧客の保証されない欲求不満などに関して記述しています。

第6章：高性能回路を実現するための、たゆみないシリコン技術のスケーリングが ESD 設計に深刻な影響を及ぼしています。これらの問題を詳しく解説することによって、現在の 2kV の HBM 規格仕様が、保護回路の設計にとって、間もなく、非現実的から、不可能になるのがなぜかを説明しています。

第7章：部品レベルの ESD とシステム・レベルの ESD の違いを概説することにより、部品レベルの要求を下げるのが、システム・レベルの信頼性とは無関係であることを示しています。

第8章：変更した ESD レベルに関する総合的な提言とそれを正当化する理由を示しています。直ちに適用できるように、IC 製品の総合的な ESD 分類を示してあります。

よくある質問

Q1 - 部品の ESD レベルを下げることは総合的なシステムの信頼性に影響がありますか？

これは、しばしばある、誤解概念です。HBM 性能を下げることにより、システム・レベルの不良が増えるという証拠は存在しません。第 8 章で記述したとおり、システム・レベル試験は外部インタフェース・ピンに対してのみ実施するので、その保護設計手法は全く別です。実際、第 8 章で示すとおり、インダストリ会議ではシステム・レベル ESD 保護、ケーブル放電保護およびトランジェント・ラッチアップが重要で、将来注目しなければいけないことを合意しています。

Q2 - もしシステム・レベル ESD 試験がシステム・レベル（部品も含み）ESD 性能を保証しない場合、部品レベルの HBM ESD の目標値がより高くても、無いよりは良い程度ではないか？

ここでも、広範なコストの分析、顧客への遅れ、回路性能への影響の検討の過程で、この質問は誤った安全感を与えるだけです。第 4 章および第 8 章に記述した私たちのデータと分析は、システム・レベルの ESD と部品レベルの ESD は互いに関係がなく、システム ESD 保護はピン対応で行わなくてはならず、(部品レベルとは) 異なる対策が必要です。本書では、さらに続けて、システム・レベル ESD が重要であることは明白であり、部品レベルへの過剰な要求に目標を絞ることは、より良いシステム・レベル ESD への対応と設計から、資源を吸い上げかねない事を論じています。

Q3 - ESD 破壊は EOS 不良の根本的な原因ですか？

低い ESD レベルのデバイスは EOS 不良が発生する可能性が高いですか？

低い ESD レベルのデバイスはシステム不良が発生する可能性が高いですか？

これは、間違った仮説であるだけでなく、長年にわたり、主張され続けています。ESD ($1\text{ nS} \sim 1\mu\text{ S}$) は EOS の一部分である事は確かですが、EOS 事象は時間領域でずっと長く (マイクロ秒から数十ミリ秒)、熱エネルギーの大きさは数桁も大きいのです。EOS 不良は違った原因で発生します。過去に、会社内で行われたいくつかの主要な研究により、何百万もの製品を追跡調査した結果、両者の間には何のつながりもないことが判明しました。第 4 章に提示するデータは、追跡したフィールドからの返品がデバイス出荷時のそれぞれの ESD レベルと関係していないことを示すことによって、この事を明確に裏付けています。第 8 章に示したように、システム・レベル保護には別の試験法と別の保護戦略が必要です。IEC システム・レベル試験法による 8 kV システム・レベル ESD にパスする製品が、その中のいくつかのピンでは HBM で 500 V またはそれ以下であったというケース・スタディを私たちは、見えています。より低い HBM ピンも、 2 kV のピンも総合システム内では同様にうまく機能しています。以上の理由で、部品レベルの HBM ESD が低いからと言って、不良構造と保護方法が異なるので、システム・レベル ESD 性能が劣ることにはなりません。

Q4 - 1kV または 500V の HBM が適切で、安全である事に同意はするが、ESD 性能を販売上の利点とするものとの競争はどうしたらよいのか？

通知、特に、本書により通知を受け取った、大部分の顧客は、唯一、重要な事は、仕様に対する回路性能と安定した製品納期であると言うことを理解していただけると、私たちは希望しています。(本書で勧告している通り) 最低必要な部品レベル ESD 性能を満たしており、基本的な静電気コントロールを採用していれば、1kV、2kV または 4kV の ESD 性能を持つ、どの製品を使っても、システム・レベル ESD 性能の向上、EOS 破壊の原因の減少にはつながりません。これらの詳細に関しては、第 4 章、第 8 章をご覧ください。

Q5 - 本書で推奨された変更 ESD レベルによって製造、組立業者に対する負担の変更はありますか？

ありません。製造、組立業者は基本的な静電気コントロールを行う責任がありますが……。製造工程、ハンドリング工程で静電気コントロール状況を評価する事は、ESD レベルの如何を問わず必要な事です。現在の ESD 目標レベルは高止まりで据え置かれてきました。変更されたレベルは現実を反映したもので、顧客に対する負担の変更(増大)を強いるものでは有りません。第 2 章の基本的 ESD コントロール、そして、特に厳格な ESD コントロール・プログラムを持たない、異なる製造工場へ出荷した製品に関する第 4 章の多くのデータによって、これらの主張が裏付けられています。

Q6 - 基本的な ESD コントロール法は 1 kV から 500V HBM を許容するに十分でしょうか？または、何か特別な予防措置が必要ですか？

HBM 強度が少なくとも 500V あれば、基本的な ESD コントロールで安全に取り扱うことができます。詳細は第 2 章に記載してあります。ANSI ESD S20.20 および IEC 61340-5-1 のような最新の ESD コントロールを採用すると、HBM 強度 100V のデバイスでも相応なコストの負担で、安全に扱うことができます。

Q7 - すべての契約製造業者 (CM、Contracted Manufacture) がこれらのレベルに安全に適合するよう、正しくコントロールする事を保証できますか？

電子部品を取り扱う CM は通常、基本的な ESD コントロール・プログラムに関する専門知識をもっています。CM は、顧客とのビジネスを行う条件として、ESD コントロール・プログラムを設備し、評価する事が既に求められています。第 2 章で記述しているように、ただ基本的な (ESD) コントロール法だけで、HBM 強度 500V の部品を、安全に取り扱えることを容易に保証します。

Q8 - もしこれらの提案が HBM 及び MM のみを対象にしているのであれば、それは、自動的に、CDM レベルの要求も同様に下げることの意味しますか？

当会議はまず、*HBM/MM* に焦点を絞り、すべての関連データを収集後、これらのモデルの現実的で安全な提案を提示しました。同様に、*CDM* も実世界の不良モードとして危機的であると同時に、実際には、テクノロジーと設計の束縛によるさらに深刻な脅威が見られています。本当に必要な *CDM* に関する要求レベルおよび、*CDM* テスタのストレスと実世界のイベントの間の相関に関しての研究がまだ十分ではありません。更に、[第6章](#)で指摘している通り、パッケージ寸法がストレス・レベルに対して著しい影響を与えていると思われる *CDM* レベルで、ある特定のレベルを要求する事に関して、混乱が多くあります。当協会は、*CDM* 効果の探求を行い、データを収集して、安全で実用的な必要レベルを提案する事を考えています。これらの探求は2008年の早期に終了する事を期待しています。

Q9 - インダストリ会議が今、部品 ESD レベルの低下を推し進めるのはなぜですか？

殆ど全ての顧客に受け入れられているにもかかわらず、10年近くの間、現在の要求レベルはオーバー・スペックであり、より低いレベルでも非常に安全であると広く考えられてきました。部品レベル ESD に関するこの認識は、[第4章](#)にも記載しております。技術の微細化の進行とさらに高度な回路性能に対する要求の広がりのために、これらの仕様を再調査し、現在の実情に現実的に合うよう変更する必要が生じてきました。[第5章](#)では仕様の再調査が必要になった IC 技術の変化の概要を示しています。また、[第2章](#)では部品 ESD の目標レベルの低減をサポートするための ESD コントロール法の最先端を記述しています。安全な目標 ESD レベルに関する提案は[第8章](#)に述べてあります。

Q10 - 1kV または 500V に HBM レベルを下げた部品を取り扱う自動車関連製造ラインでは、何か追加すべき注意はありますか？

基本的な (ESD) 管理法はすべての製造ラインで等しく、効果的に適用しなければならないので、自動車関連製品も、特別な追加注意なしに、同様に安全であると期待できます。[第4章](#)では、*HBM* 強度に対する、自動車関連対非自動車関係のフィールド返品率を提示することによって、この事を示しています。しかしながら、この事と、*IEC* システム・レベル試験から来る高い ESD ストレスにパスすべき、外部インタフェース・ピンに対する要求と混同してはいけません。この、部品レベル *HBM* 試験と *IEC* システムレベル試験の違いは[第7章](#)で議論しています。

Q11 - ある顧客は常に、200V または 250V MM に固執しています。この事はあなた方の会議の提言とどう関係しますか？

インダストリ会議全体が関わった限りでは、ESD コントロールされた環境で製品を取り扱う時に、200~250V の *MM* イベントが発生すると理解できるような状況は有りません。本白書のデータから、当会議では、30V *MM* を十分すぎる値として推奨しています。私たちは、200V は過去の遺物であり、部品およびシステム・レベル ESD の信頼性に対する妥当性は、自動車関連、または他のタイプの製品でもありません。この事は、[第3章](#)でより詳しく見直しています。

Q12 - 本結論が正しいと納得できるための十分なデータがあることを私たちは如何にして知る事ができますか？

本インダストリ会議では、現在の部品の ESD レベルが過大仕様である事を示す、十分整理したデータを収集しました。第4章のデータはこの結論に対する豊富な証拠を提供します。そして、第2章に記したとおり、広く一般的に実用化されている、基礎的な静電気コントロール法によって、これらの推奨値に対して高い水準の確信を与えることができます。

Q13 - 最近、インダストリ会議が ESD レベルを変更する事を急いでいるという主張がありますが、これは、正当な主張ですか？

本会議は、本問題に関連した十分な不良率データを集め、このデータ収集を会議を構成する各会社の製品、品質技術者と調整し、このトピックを慎重に調査しました。これらの技術者たちは、製品の品質を継続的に改良する事に焦点を絞り、広範なタイプの製品を代表する何百万個の部品を出荷した後に、自分たちの体験から、彼らも同じく、十分な証拠があることを、そして、(本書で提案されている) 変更 ESD レベルが本当に妥当なものである事を確信しています。このデータの例は第4章に提示しています。

Q14 - もし、これらの新しい推奨レベルが安全であるのなら、なぜもっと以前に実施されなかったのですか？

以前は、供給側も、顧客も、著しいコスト、工期に対する拘束がなかったので、要求レベルに合わせることに問題を感じていなかったのです。しかし、2年間位前から、現在のこれらのレベルに合わせる事が加速度的に困難になってきました。第5章で議論している通り、極端な長さの時間と資源がピン数の多いデバイスの複雑な ESD 試験のために、それも、不良が実世界の結果ではなくても、目標レベルにただ合わせるだけのために、費やされてきました。しかしながら、底辺は、ESD レベルをより現実的なレベルに移行させることによって、市場への出荷時間の短縮と顧客ニーズに合った高性能製品を実現しつつ、ESD 設計の多くの不要なコストを削減することが、最終の目的です。これら全てが、製品の信頼性を損なうことなく達成できるのです。

Q15 - もし私たち、顧客が現状に対して幸せであるとしたら、なぜ私たちが部品 ESD レベルを変更する事を欲しなければいけないのか？私たちに対しては何か(メリットが)あるのでしょうか？

私たちは、IC 製品の顧客がこれらの変更した ESD レベルが安全で理にかなっている事を信頼するであろうことに全く疑いを持っていません。供給者に、この自由を与えることによって、顧客は、短期の設計サイクルでより高性能の製品を期待できます。言葉を変えれば、これはウィン・ウィンの提案です。この可能性の影響は、第5章に記載してあります。

Q16 - 供給者はより低い ESD レベルで出荷した製品を見て、フィールドからの返品不良がないと言う。もしすべてのピンが弱いのでなければ、このタイプのデータが妥当である事にどうして確信が持てますか？

これは、幾分誤解のある考え方です。第4章で提示したデータは、追跡したフィールドからの返品がデバイスを出荷した時のそれぞれの HBM ESD レベルとは無関係である事を明白に示しています。すなわちフィールドからの返品の原因は、EOS によるもので、ESD によるものではないのです。第4章のデータで興味深い点は、これらの不良が、多くの場合、最低の HBM レベルのピンに見られていない事です。EOS 不良の見られる返品は実装した基板のピンの機能に依存している場合が多いのです。

Q17 - 70 年代の初期に 2kV ESD が可能性のある規格として議論され、80 年代に広く受け入れられるレベルになった。これが、なぜ、もう妥当でないのか？

2kV HBM/200V MM の目標レベルが設定された頃には、ESD コントロール法があまり良く理解されていなかったのです。第2章で議論しているように、これらは劇的に改善されました。それと同時に、IC チップの組み立て法も大きな変遷を経験しました。基本的な ESD コントロール要素を導入すると、HBM および MM は、最新の組立ラインではデバイスに対して、リスクではなくなりました。

Q18 - ある IP 供給者が言うように、安価でより効率的な ESD 保護の方式を提供できるなら、従来と同じレベルを維持する事は意味のある事ではないのでしょうか？

どんな保護回路を採用するかは問題ではありません。第6章で概観しているように、最後には同じ物理的条件で制限されます。“目標レベル”は物理学と独立では有りません。使用される保護デバイスに無関係に、もし ESD 目標値が逡減できれば、ESD 配置領域および、通常の電氣的性能への影響も同様に軽減できます。そこで、問題は、適切な ESD 目標レベルを選択する事にあります。ESD の過剰設計は非効率的で、無駄となります。

Q19 - 変更された目標レベルは 45nm あるいはそれ以降のテクノロジーに対してのみ適用されますか？

180nm 以前の製品までは、何とか安全であり、5 年以上前でも設計サイクルにはかなりの影響が出ていたことに関するデータは豊富にあります。この情報のいくつかは、第4章、第5章に見られます。45nm および 32nm、それ以下では ESD コストの問題はさらに悪化してゆきます。

Q20 - これらの変更された目標レベルは CMOS だけに限られていますか、それともシリコン技術には無関係ですか？

全ての異なるテクノロジーによる IC 製品が ESD 過剰設計に苦しんでいます。従って CMOS 製品のみを考慮する理由はありません。第 4 章のデータは同様の論争を、シリコン技術に関係なく適用した事例を示す、広範な情報を提供します。

Q21 - インダストリ会議がこれらの提案を行うのは、供給者側でお金を節約するためですか？

“ESD コスト” の概念は供給者にも顧客にもあてはまります。供給者は現状の ESD 要求に合わせるために、試験、デバッグ、再設計を繰り返し実行します。顧客と供給者は、改良のための方法を理解し、交渉するために、合同の会議を実行します。このような努力によって、製品の出荷が遅れ、製品の回路性能にも影響します。コスト曲線は第 8 章で議論しています。

Q22 - ある顧客にとっては機械モデル (MM) が、比較的、より重要であると言う、こだわりがありますが、それゆえ、これらの HBM の変更が MM にたいして、どんな影響をあたえますか？

第 1 に、いくつかの、数少ない例外を除けば、HBM と MM は本来関連している。第 3 章には、この件を詳述しています。第 2 に、第 2 章に概説している通り、基本的な ESD コントロール・プログラムの一環として、すべての機械を適切に接地する事を期待している。第 4 章でレビューしているとおり、出荷したユニットに関する我々の経験によると、HBM レベルの低い製品、すなわち MM レベルの低い製品が、2kV HBM レベル製品と同等に安全である事がわかる。したがって、必要な MM レベルは、実際の HBM 保護レベルによって得ることができる。

Q23 - コントロールされている ESD レベルより少し低い HBM/MM の ESD イベントが数多く、累積して起きる場合はどうなのでしょう？低レベルであっても高いフィールド不良率となるリスクはありませんか？

ありません。繰り返す ESD イベントが同一デバイスに、任意のレベルで発生するような事は一切あり得ません。

Q24 - 新しい HBM ESD の目標値は推奨 1kV と仮定して、これは現在の 2kV に比べ、半分ですが、MM の目標値が現在の 200V の半分の 100V と推奨されなかったのはなぜですか？ MM データが HBM に対すると同じ手法に含まれていないと仮定すると、MM30V への提言は少し過激では有りませんか？

この質問は、2kV HBM と 200V MM が独特の関係を持っているとまず仮定しています。第 3 章のデータはこの仮定を明確に否定しています。更に、第 3 章に示すとおり、1kV HBM は、ほとんどは、100V MM に相当するであろうが、最悪のまれなケースとして 30V もありうる。30V で、MM に対しては安全以上であると仮定して、それ以上の懸念は必要ありません。

Q25 - 本白書からの推奨が、2kVのHBM目標に合致しなかった大量の製品に基づいているのであれば、これらが最初に出荷されたのはなぜですか？なぜ、顧客はそれらを受け入れたのですか？

この質問に対する答えは様々です。ある場合には、次の設計サイクルで供給者がこれらのレベルを改良するという意図を示すことによって、顧客がそのデバイスを受け入れることに同意した。しかし、この、問題を先送りした状況で、大量の製品を出荷し、フィールドからの返品が見られなかったため、顧客も、供給者も、2kVの目標値レベルは実情ではなく、人為的に作られたものであるということに対して、自信を深めていったのです。第5章は1kVにパスする製品に関して、これを2kVに合わせるために膨大な資源を費やさなければならなかったが、第4章で報告している通り、どちらの製品でも、わずかな、関連のないEOS返品以外には、ESD返品は見つからなかったと言う、いくつかの事例を示しています。業界にわたって、製品、品質グループでは多くの同様な事例を経験しています。この事が、より現実的なESD要求を制定する推進理由となったのです。

Q26 - 会議は、今後5年以内にさらなる通減を提案しますか？

会議の第一の目的は、提案する変更ESD目標レベルを産業界に広く受け入れられるようにする事です。テクノロジーはさらに進歩するので、製造業者およびICデバイスの供給者にわたって、最終的にESD保護の責任がIC設計者から大幅に優れた静電気コントロールに移行する事を期待するのは、不適切ではありません。この事によって、半導体業界が将来は、システム・レベル性能へのシフトに注力できる事になります。

第 1 章：HBM/MM ESD 要求に関する歴史的な経過

Tim Maloney, Intel Corporation

Satoshi Isofuku, Tokyo Electronics Trading

Yasuhiro Fukuda, Oki Engineering

1.1 HBM 目標レベルに関する動機付け

1970 年代の始めに、移動する椅子に座った人を含む人体の HBM に関する最初の系統だった測定が見られる（例えば HP の研究）。人体モデルに関するこの初期の仕事の要約は、最初の EOS/ESD シンポジウム[1]で発表されている。これらの初期の HBM 研究の研究者たちは、リストス・トラップを付けていても、1～2kV の HBM は容易に発生する事を発見した。1970 年代の後から 1980 年代の初期に、自動車関連産業から、ESD のパルスレベルを設定する動きが始まった。フォード社は MM を採用し 200V とし、GM およびクライスラー社は HBM に、より焦点を絞り、クライスラー社では、より高い電圧も考慮しながら、極めて長時間熟慮した後で、最低 2kV を指定した。その間に、RCA の TV デビジョンでは 2kV HBM と、“Kinescope”試験法を決定したが、後者は誰も採用しなかった[2]。

顧客からのこのような要求に応じて、1980 年半ばまでに、半導体の会社は部品に対する内部 HBM 標準を設定し始め、それらの中でも、2kV HBM 仕様が最も一般的になった。この頃でも、CDM がデバイス不良の主原因である事が知られており、HBM 試験では必ずしも予測できず、CDM 試験からの設計方向転換も模索された。

この初期の HBM 試験はほとんど、MIL 仕様、883C、方法 3015.X によって記述された HBM に準拠した種々の試験機で行われていた。1980 年代に MIL スペックの大きな改良に積極的に活動した研究者達は、特に 3015.4 から 3015.7（最後は 1989 年）を覚えていることと思う。この間に行われた波形の規格の大きな変更と、それに続く研究によって、3015 の初期の版に準拠したテスト間では、半導体デバイスの破壊電圧が大幅に変化していた事を明らかにした[3、4]。短絡に対する電流波形規格が取り入れられた後に初めて、テストの内部寄生インピーダンスがある程度まで規格の対象になり、3015 準拠のテスト間の一貫性が得られるようになったのである。その間ずっと、2kV が簡易的な“良品レベル”の目標値として留まっていました。HBM 試験が 3015.7 に到達したとき（1989 年）、テストの波形は大きく改良されました。しかし、この時点で、米軍はこのスペックの改訂を終了しました。これ以降の HBM 規格の開発は ESD アソシエーションのスタンダード委員会（Standard Committees）と JEDEC に移行しました。

1.2 MM（機械モデル）の紹介に関する動機は？

MM 採用の理由は、次の 3 つでした。

- A. MM は接地しない半田ごてを半導体ピンリードに接触する時の破壊を再現する。
- B. 当時は、CDM などのフィールドでの破壊不良を再現するには、HBM よりも MM の方が良かった。
- C. MM の放電抵抗、 0Ω は、HBM より大きなピーク電流を供給するので、熱破壊に関しては、より低い MM 試験が可能である。

理由 A は最新の自動組み立て機械における ESD コントロールの劇的な改良によって現在ではもう存在しない。理由 B も、より新しい CDM 試験方法で、これらの不良を MM 試験よりはうまく再現できるようになったので、存在しなくなっている。理由 C に関しては、フィールドでのオーバストレス不良との相関がないので、HBM 試験そのものが意味を持たなくなってしまった（第 4 章）。

日本では、MM は半導体デバイスの ESD 性能を評価するために長年使われてきました。歴史的に言えば、最初の MM ESD 試験が報告されたのは 1977 より以前である。放電インダクタンスは、現在のように定義されておらず、放電波形も、同様、規定されていなかった。これは、日本の規格、EIAJ IC-121-1982、として採用された。放電抵抗も、放電インダクタンスも無かったので、これは、実際の“機械モデル”すなわち、金属と金属の接触による ESD に、現在の MM より近かった。その数年後に、MM 規格は、放電インダクタンスと振動波形を伴って、米国より戻ってきました。それ以降、MM 規格は、金属と金属の接触を再現するものではなく、現在では、CDM で、金属と金属の接触による ESD をシミュレートしています。JEITA では、1994 年に MM 規格を廃止し、HBM 規格の中に参考資料として追加しました（EIAJED4701）。

参考文献

- [1] W.M. King, “Dynamic waveform Characteristics of Personnel Electrostatic Discharge”, EOS/ESD Symposium Proceedings, EOS-1, 78 (1979).
- [2] L. Avery, private communication.
- [3] D.L. Lin, M.S. Strauss, and T.L. Welsher, “On the Validity of ESD Threshold Data Obtained Using Commercial Human-Body Model Simulators”, Proceedings of the 25th International Reliability Physics Symposium, 77 (1987).
- [4] M.S. Strauss, D.L. Lin, and T.L. Welsher, “Variations in Failure Modes and Cumulative Effects Produced by Commercial Human-Body Model Simulators”, EOS/ESD Symposium Proceedings, EOS-9, 59-63 (1987).

第2章：ESD および制御環境における変化と改良

Reinhold Gaertner, Infineon

Ron Gibson, Celestica

John Kinnear, IBM

2.1 ESD 取扱手法の歴史

ESD コントロール・プログラムは長年にわたって使われている。最初期のプログラムは火薬の製造に関係していた。この単純なプログラムは粉末を製造中、取扱中は、これを湿らせておく、というものであった。これによって、火薬が発火しない程度に、静電荷を低く保つことができた。

1950 年代から 1960 年代はエレクトロニクスは ESD イベントにそんなに敏感ではなかった。この時代のデバイスは、殆どのイベントに、問題なく耐えることができた。仮に、ESD イベントで故障することがあっても、総合的な故障率に比べると比率は非常に低かった。

1970 年代の終わりになって、大規模集積回路（LSI）が紹介されるようになると、ESD が問題として認められるようになった。業界のエキスパート・グループがこれは問題であると理解して、1978 年に米国で最初の ESD シンポジウムを計画した。その時には、技術論文が取り交わされ、問題と解決策に関するワークショップが行われた。この当時の各社は、また、ESD コントロール・プログラムの実施も開始した。各社は独自のプログラムを持ち、情報の共有はなされなかった。標準化したプログラムの必要性は当時は認められていなかった。

米国軍は、静電気と ESD に関する問題を認識した最初の組織であった。ESD プロセス・コントロールに取り組んだ最初のスタンダードは MiL-STD-1686 であり、1980 年 5 月に発行された。このスタンダードは、その姉妹編であるハンドブック、Mil-HBK-263 と共に、産業界の最初の ESD コントロール・スタンダードを代表するものであった。軍へのエレクトロニクスの供給者は全て、このスタンダードに従う事を要求された。しかしながら、殆どの私的な部門では、自社で開発した手法に従っていた。これらの初期のスタンダードは、人と包装（パッケージング）に注目していた。絶縁物のある場所の（ESD）コントロールは、不必要な絶縁物の除去を除き、多く考慮されることなく、ほとんどの場合、エンドユーザー側に任されていた。工具、機械、自動機器は、殆どのプロセスが手動であったので、特に気に掛けられず、本当に考慮されることは無かった。基本的な指示は、全ての物、全ての人を同一電位に保つ事であった。

これらの最初の ESD コントロール・プログラムに関する、追加の問題点に、静電気をコントロールするために使う材料を認証するスタンダードが無いことがあった。その結果、多くの異なるタイプの試験、異なる方法、異なる計測器が生じ、さらに異なる結果を導く事となってしまった。1980 年代の始めに、材料の試験に係るいくつかの問題解決を試みるために技術協会、ESD アソシエーション（ESDA）が形成された。ESDA からの最初のスタンダードはリスト・ストラップ、作業サーフィス、および床材など

の簡単な材料の試験に関するものであった。これらのスタンダードは、ある製品と他の製品を比較する方法を創造した。これら材料の供給者は、このスタンダードを使って、製品をよりよいものへ改良する事が出来た。例えば、単純なリスト・ストラップが、産業界の内部で、多くの変遷を経験する事になった。簡単な金属ビーズ・バンドから始まって、人とのより良い接触をし、更に、連続モニタリングをも可能とする、システムにまで進化したのである。以前に比べ、格段に信頼度の高い接続と、長時間の寿命を提供している。スタンダードでは、一貫性のある方法でリスト・ストラップを試験する方法を提供しているので、欠陥の生じた物を取り除き、交換できる。これ以前には、材料は、電気的特性にかかわらず、物理的に壊れるまで使用されていた。

1980 年、1990 年代にはエレクトロニクス製造産業は、各々の会社が全ての製造を自社内に置く形態から、多くの契約製造業者（CM）または電子製造供給者（EMS、Electronic Manufacturing Suppliers）を多く抱える形態にと変貌しました。軍規格、およびヨーロッパ規格、CECC 00 015:1991 は時代遅れになりました。これらは共に、あまりにも限定的で、コントロール・プログラムのすべての面を見ていなかったのです。

1995 年に ESDA は Mil-STD-1686 をインダストリ・スタンダードに置き換える仕事を与えられました。ANSI/ESD S20.20-1999[1]スタンダードは ESD プロセス・コントロールの後継版でした。このスタンダードに続いて、第 3 者機関の検定プログラムが確立され、そのスタンダードに適合する事を立証した。今日では、このスタンダードは更新され、ANSI/ESD S20.20-2007 に置き換わっています。これと並行して、IEC では、IEC 61340-5-1 [2]を更新して、技術的に ANSI/ESD S20.20-2007 と同等にする作業が続けられています。このスタンダードの現在の状況は、国際スタンダードの最終草案（Final Draft International Standard、FDIS）で、国際スタンダードにするための投票を、今年(2007 年)実施しています。これらのスタンダードは、もし、これに従えば、HBM 100V のデバイスを安全に取り扱えるように記述してあります。これら全てのスタンダードには改良された制御材料、知識、ESD コントロール法が記述されています。

2.2 ESD コントロールの地球的な実施

ESD に敏感な製品の製造は現在では地球上のあらゆる場所で行われている。しかし、1990 年代の終わりとから、電子製品製造の高コストから低コスト地域への移行トレンドが、これまでになく高まってきました。地球的にみると、今日存在している ESD プログラムのタイプ、レベルには大きな違いがあります。ESD コントロール・プログラムの範囲は：

- A. 殆ど、または全く ESD コントロールがない
- B. 基本的な ESD コントロール
- C. 最新の ESD コントロール・プログラム

ESD コントロールのレベルは地域に強く関連するものではなく、多くの場合、顧客の要求によって動かされる。効果的な ESD コントロール・プログラムを確立するには多くの方法があります。そのため、効果的な ESD プログラムの設計も、最終的に使用するコントロールも、かなり違ったものになります。し

かしながら、確立し、維持されている ESD コントロール・プログラムの全てが、下記の 3 つの基本原則に従っています。

- 全ての導体を接地、接続する
- 絶縁物の上の（帯電）電荷をコントロールする
- 輸送、保存には保護パッケージを使用する

これらの原則をさらに詳しく見てみましょう。

全ての導体を接地、接続する：

ESD に敏感なデバイス、およびそれと接触する全ての他の物を、同じ電位に保つことによって、ESD 関連事象は発生しなくなる。この同電位状況は、環境内のすべての導体を接地(アース)するか、または、同一電位を保つために相互に接続するかで、確保できる。この状況における導体には、人間、作業机面、ESD に敏感なデバイス、全ての工程に関係する導体、デシペイティブ材料、など、ESD に敏感なデバイスと接触するもの全てを含む。導体の接地および相互の接続によって、HBM、MM 放電の可能性を最小にできる。

備考：もし、ESD に敏感なデバイスに接触するすべての導体を接地すると、その会社では、MM 耐量 10V までのデバイスを取り扱えるようになる。

絶縁物上の(帯電)電荷をコントロールする：

良い ESD コントロール・プログラムでは全て、下記を実施している：

1. ESD に敏感なデバイスを扱う場所では、**不必要な**絶縁物に関連した手順を削除する。
2. 製造／ハンドリング工程に必要な絶縁物上の、容認できない静電界が何によって発生しているかを特定する（詳細は ANSI/ESD S20.20 を参照）

絶縁物上の電荷をコントロールする事により、CDM 関連の ESD 事象の発生を最小にすることができる。

輸送、保存には保護パッケージを使用する：

最後に、製造工程間、または ESD に敏感なデバイスの他の場所（顧客へまたは、次の処理工場へ）への輸送時に ESD イベントが発生する事を回避するために、デバイスを ESD 保護パッケージに封入しておかなければならない。パッケージに包むことによって得られる適切な保護レベルは、包装システムによって異なり、そのシステムに責任を持つ会社によって決定されるべきである。

ESD コントロール・プログラムと結果のデータ

A. 殆ど、または全く ESD コントロールがない

数はすくないが、基本的な ESD コントロール・プログラムさえも導入していない（これは、ESD コントロールが殆ど無いか、皆無で、定期的に評価もしていない事を意味している）会社では、たとえ 2000V HBM の ESD 感度であっても、ESD に敏感なデバイスは取り扱うことができない可能性が極めて高い。図 1 は、ESD フロアでなく、ESD 用履物もない製造工場環境で、歩行する人体の電圧を示す。この状況では、HBM ESD 感度 2000V のデバイスを人が破壊する可能性がある。

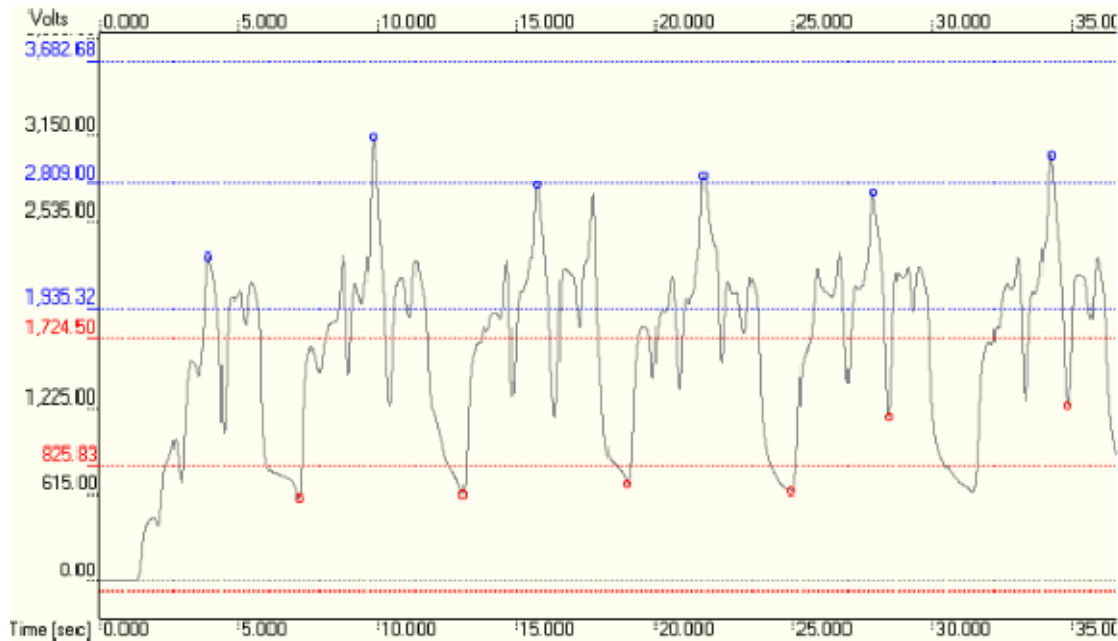


図 1. ESD 対策なしの床を ESD 用履物なしで、製造工場を歩く人体の電圧

B. 基本的な ESD コントロール

いくつかの会社では、基本的な ESD コントロールを実施している。基本的な ESD コントロールでは、必要なコントロール要素はすべて持っているが、余分には持っていない。もっとも簡単な ESD コントロール・プログラムはリスト・ストラップを使って人体を接地し、ESD に敏感なデバイスを取り扱う作業機の表面を接地し、静電気を発生する材料を全て除去し、ESD に敏感なデバイスの工程間の移動には保護パッケージを使う事で構築できる。このタイプのプログラムは、下記のような会社で良く採用されている。

- A. 製造作業が小さな領域に制限されている。
- B. ESD に敏感なデバイスを取り扱う人員の数が少ない。
- C. 製品の価値が低い。
- D. 製造されている製品の信頼度が低い。

しかしながら、簡単だからと言って、このプログラムが効果的でないわけではない。正しく接地したリスト・ストラップ・システムは作業者の電圧を 10V 以下に維持できる。プログラムが、頻繁に監査していれば、このプログラムは、どこから見ても多重 ESD コントロール・プログラムを使うと同じくらい効果的である。

C. 最新の ESD コントロール・プログラム

最後に、多くの会社が、取り扱うデバイスを壊さないために、最新の ESD コントロール・プログラムを採用している。絶え間ないモニタ、イオン化装置、ESD フロアと履物を使うことにより、下記の環境で ESD プログラムに関し、数等上の冗長度と簡便さを追加できる。

- A. デバイスが ESD に対して極めて敏感である。
- B. 完成品の価値が高い。

C. 作業人員が多く、売上高が高い。

D. 製品に高い信頼度が要求される。

これらの全ての要素、およびそれ以上を希望する場合には、更に複雑な ESD 制御プログラムを導入する必要がある。

プロセス分析の利点

ここでは、ESD コントロール測定を導入する場合と、より深い ESD コントロール・プロセスの分析を行う場合の差を例示しています。図 2 は導電 ESD フロア・システムを設置した製造箇所の例を示しています。不幸にして、この会社では、作業者が着用する、ESD 履物システムの評価に努力しなかった。グラフに見られるように、作業者の電圧は、会社が確立しようとした 100V HBM のレベルを優に超えてしまっている。採用した履物は、単に価格面より選択されたのです。しかしながら、このような靴でも、500V のデバイスのための保護には適しています。

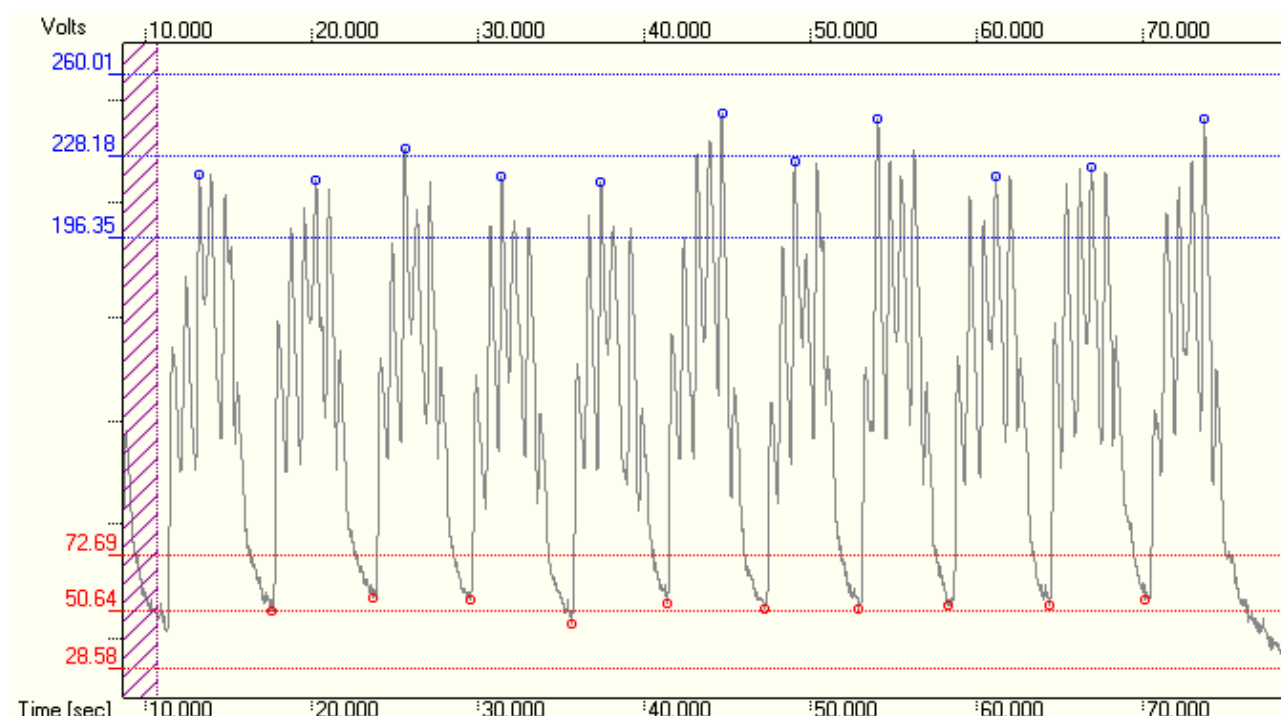


図 2. 導電性 ESD フロア・システムを設置した製造環境での人の電圧 (図 1 と比較)

しかし、もしこの会社が彼らの決定の暗示する事を理解できたなら、適切に選択された履物を導入し、第 3 図のように、HBM 100V の敏感なデバイスも取り扱える目標に安全にミートできたのです。

ESD プログラムを簡単に危うくするその他の要因は、ESD コントロール要素が機能していることを評価する頻度が極めて少ないことである。最も成功している会社は、自社の ESD コントロール・プログラムを頻繁に監査し、全てのコントロール要素が想定通りに機能していることを確認している。ESD コントロール・プログラムの確立のための 2 つの良い手段は、ESD アソシエーションが発行した ANSI/ESD S20.20、または、その後、2007 年に国際スタンダードの草案として発行される予定の IEC61340-5-1 を導入することである。この文書は共に、HBM 100V またはそれ以上の感度のデバイスを安全に取り扱う事のできる ESD コントロール・プログラムを確立するために必要な組織、ガイドラインを提供する。

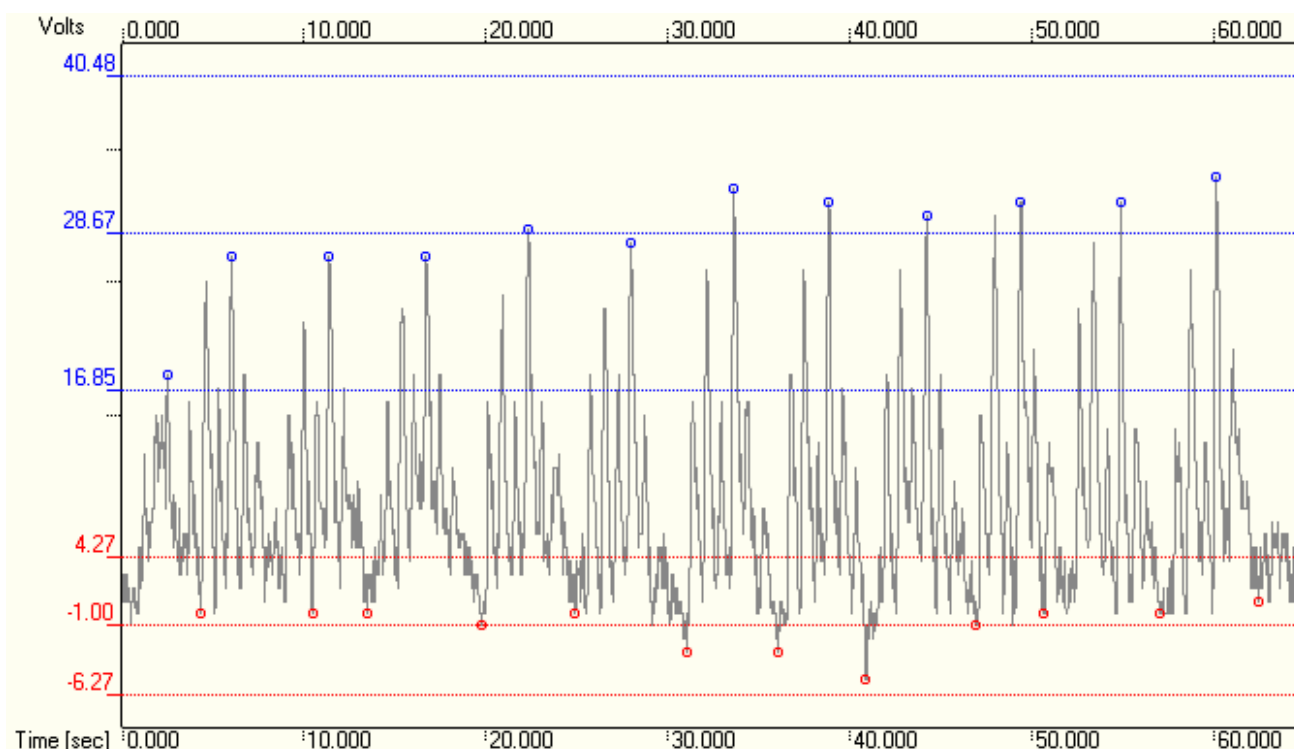


図 3. 適切に選択した履物を使った場合の、図 2 と同じ製造工場／ESD フロアでの人体の電圧

結論：

ESD コントロール・プログラムを確立し、その ESD コントロールが設置したとおりに働いているか頻繁に評価する事によって、ほとんどの会社は、500V HBM またはそれ以上の敏感さのデバイスを容易に取り扱える。しかし、ESD コントロール製品を少し注意して選択する事により、100V HBM プログラムが容易に達成できる。

2.3 自動化レベルの進展による HBM 障害の変遷

印刷回路基板（PCB）製造の複雑さ、自動化レベルは、近年著しく進化した。何年も以前にはほとんどのデバイスは容易に接触できるピンをもったパッケージを使っており、ピン数も少なく、ピン間隔も比較的広がった。このようなデバイスは、通常、作業者が手作業で組み立てていた。この作業環境ではある 1 ピンに対する人体からの放電の可能性が高い。

今日の最新パッケージは数千の I/O を持っており、これらの I/O は、パッケージ周辺のピンであったり、（BGA の半田）ボール、またはチップスケール IC であったりする。I/O と I/O の間隔は、ピン数の多いダイを、適当な寸法のパッケージに入れるために、劇的に減少した。その結果、パッケージに入った部品を手作業で組み立てることは不可能となり、人手の介在しない作業（接地した機械／工具／取り上げて付ける：pick and place）によって自動化された。最新の ESD コントロール・プログラムは、2.2 節で議論したように、これらのハンドリング環境形態で非常に効率よくコントロールできるように進化した。それ故、最新の、高頻度で ESD コントロール・プログラムを監視している自動組み立てラインでは、HBM または MM のリスクはきわめて低くなっている。

修正作業／目視検査エリアなど、通常は小規模のエリアなどの製造領域では、人がデバイスに触れるので、これらの（HBM、MM）イベントはまだ残っているが、ESD コントロール・プログラムの導入と監視を効果的に行えば、これらのエリアでも、HBM／MM 放電のリスクは最小にできる。

この事は、フィールドでの ESD に関する殆どの不良は CDM 的なストレスに起因するものであって、HBM 的ストレスによるものではない事を報告している文献によっても確認できる[3]。

参考文献

- [1] ANSI/ESD S20.20-1999; Protection of Electrical and Electronic Parts, Assemblies and Equipment (Excluding Electrically Initiated Explosive Devices)
- [2] IEC 61340-5-1; Electrostatics – Part 5: Specification for the protection of electronic devices from electrostatic phenomena – Section 1: General requirements; 12.1998
- [3] R. Gaertner; Do we expect ESD-failures in an EPA designed according to international standards? The need for a process related risk analysis; ESD Symposium 2007; Anaheim, CA, USA

第3章：機械モデル—HBM と MM ESD の間の相関

Theo Smedes, NXP Semiconductors Benjamin van Camp, Sarnoff Europe

本章ではHBM ESDとMM ESDの間の、製品のESD強度の関係を記述します。典型的には、多少の例外を除き、MMの値はHBMの値の1/30またはそれ以上である事を示します。この事は、もし製品が1kV HBMにパスすれば、MM性能としては30Vを超えていると期待できるという事です。そして、この値は、第2章で説明されているように、十分な値です。

3.1 相関

前の章（第1章）で、MMスタンダードの成長を解説しています。歴史的には、HBM:MM比は通俗的には1:10が使われてきました。これは、それぞれのスタンダード[1、2]の分類から明らかです。例えば、HBMのクラス2では、製品は最低2kVにパスするが、MMのクラス2は200Vにパスしなければならない。この、通俗的に受け入れられていた比は、スタンダードの開発時期の製品を観察する事から始まったと思われる。この観察は文献[2]で紹介されており、1:11.7という比を得ている。

文献[4]では、1:10から1:20の間を見積もっている。[5]では、2種の異なるMMを使って、テスト構造を測定し、1:10および1:17の比を立証する論文を出した。[6]では、最新CMOS技術の内部のスタックドNMOSTの何種類かに対して、1:13から1:18の範囲で比が変わる事を得ている。

全ての結果で、HBMでもMMでも、非常によく似たストレスによる不良が観測されている。

HBMとMMモデルにおいて印加される電荷を単純に同一視すると、比率1:2が期待できると容易にわかる：

$$C_{MM} * V_{MM} = C_{HBM} * V_{HBM} \quad \Rightarrow \quad V_{HBM} = 2 * V_{MM}$$

殆どの HBM および MM 不良は熱破壊に関係している。過電流が熱溶解／リフローを引き起こすのである。Pierce 氏の文献[7]はストレス中に IC に加わるエネルギーを同一視し、全てのエネルギーが破壊に使われると仮定して、下記の式を見つけたことを報じている：

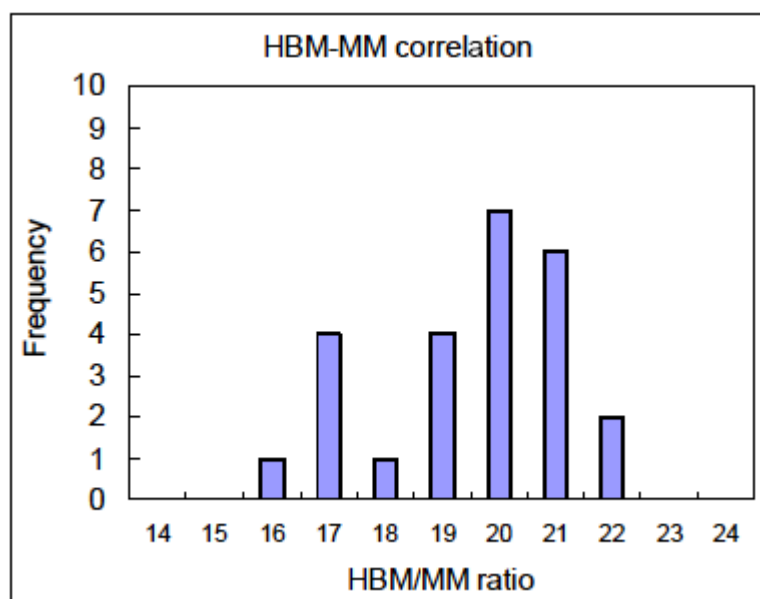
$$V_{MM} = \sqrt{R_{prot} * C_{HBM} / (C_{MM} * (R_{HBM} + R_{prot}))} * V_{HBM}$$

代表的な値を使うと、この式から、MM:HBM 比、1:25 が得られる。ここでは、破壊を導く電力はパルス幅に依存し、MM パルスは HBM パルスより狭いと言う事実を無視している。上記の式より、 R_{prot} （保護素子の抵抗）の増加が比を下げる事になることも明らかにしている。HBM 目標値を下げることによって、保護要素はより高いインピーダンスを持つことになり、そのために、MM レベルは(相対的に)より低い値に低下する。

その一方で、もし、保護が電圧を十分に制限できないと、不良を引き起こす。この場合、小さなデバイス、または、壊れやすい酸化膜は、ほんの少しのエネルギー（殆どのエネルギーは保護によって消費さ

れるので)によっても破壊する可能性がある。この理由のために、HBM と MM のピーク電流を比較するのが良い方法である。スタンダードによるとショートへのピーク電流は 2kV HBM 放電では 1.3A であり、200V MM 放電では 3.8A である。ピーク電流を同じにすると、MM:HBM 比として、1 : 30 を導くことができる。

そこで、理論的な見地から、MM と HBM の間の比は 1 : 30 またはそれ以下と予測できる。これを、製品、テスト構造で確認したのが、前述の文献である。当会議では、幾人かの会員からテスト構造、および製品のデータを収集した。図 4 ではテスト構造に関する結果を示している。平均値は、明確に 1 : 20 が発見され、30 以上のファクタは有りそうもないことも分かった。



平均値	19.1
中央値	20.0
3 σ	5.0
中央値+3 σ	25.5
最大値	21.9
最小値	15.7

図 4 : 最新の CMOS プロセスを使ったテスト構造の HBM/MM の相関

図 5 は異なる供給者およびテクノロジーからのいくつかの製品に関して集めたデータを示している。この図は、MM 破壊電圧と HBM 破壊電圧を対比して示している。もっとも良くフィットする回帰係数を求めると、比は 1 : 16 である。すべて、1 : 3 と 1 : 30 の線の内部に入っている。

図 6 は、HBM:MM 比を HBM 性能の関数として表示している。HBM レベルが増えたとその比も増える事は明白である。これは主として、高い HBM レベルを得るために、低インピーダンスの保護が必要である

と言う事実によるためである。保護インピーダンスは MM のピーク電流に影響するので、高い HBM 性能は大きな比に帰結する。従って、ファクタ、30 は、事実上、最悪ケースである。

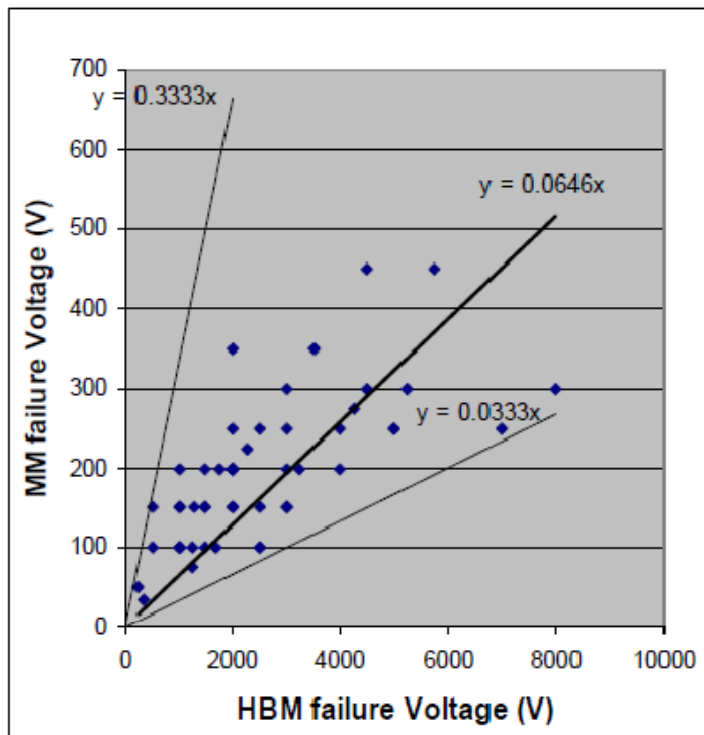


図 5. 何社からのいくつかの製品の MM 破壊レベル対 HBM 破壊レベル

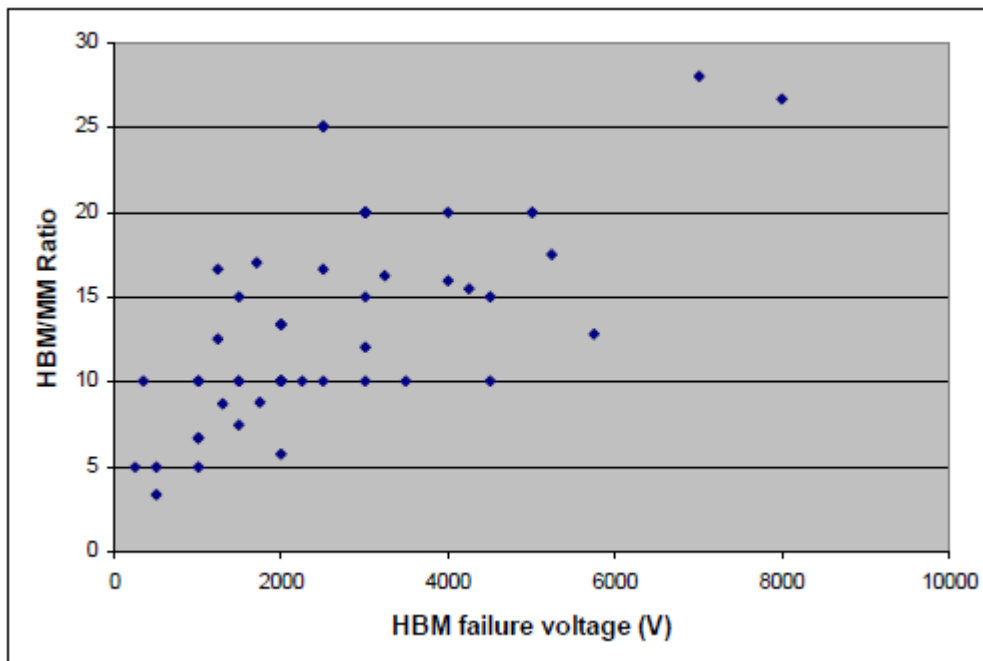


図 6. 何社からのいくつかの製品の HBM レベル対 HBM/MM 比

1kV の HBM 目標の結果

上記推論とデータは 1kV の HBM 性能が 30V と 200V の間の MM 性能を意味し、代表的な期待値として

は 60V であると言う期待を支持している。

上記推論は、MM の両極性ストレスが 2 つの単極性ストレスで近似できると事を仮定としている。これは、電流および電圧の立上り時間が同等でなければいけない事を意味している。それは、更に、テストの駆動力が、両ケースで同じでなければいけない事をも意味している。これらの過程は大多数のケースでは正しいけれども、MM および HBM で、不良モードが異なる場合があり得て、この場合には相関は不可能である。次の節では、MM と HBM が相関性がないケースに関して、いくつか、異なるテクノロジーと製品に関しての詳細な測定を交えて記述する。

3.2 HBM/MM 比の例外

両極性対単極性ストレス

MM と HBM の間の最も明白な違いは、MM が両極性の性質を有する事である。図 7 に示したように 2 つのモデルを関連付けることは、MM パルスの間に電圧がゼロをよぎるときに、デバイスが近似的に疑似静止期間にあると仮定しており、その時にのみ、正および負の HBM レベルから MM レベルを引き出すことができる。多くの場合、この疑似静止近似は理にかなっており、物理学を単極ケースに軽減できる。

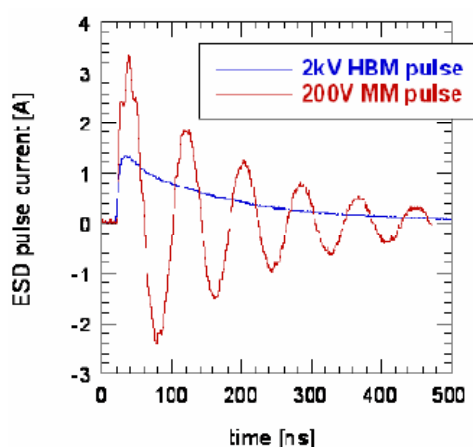


図 7. MM パルスと HBM パルス。おもな違いは MM パルスが両極性であること。

これは、しかしながら、一般性のある説ではない。この単純化が妥当でない、もっとも注目すべき物理効果は、動的ななだれ現象である。図 8 では、MM ストレスがピンと電源 VDD2 間に入っているダイオードを破壊したケースを示している。これは、ピーク電流、または MM パルスによって消費されるエネルギーだけを見ては説明できない。ダイオードのウェルに、最初の（正側の）振動時に電荷が注入され、ストレス極性が逆転した時に、これらの電荷が N ウェル/P+ジャンクションでなだれ現象効果を悪化させる。動的ななだれ現象は、デバイスの ESD に対する動きの中で、パルスの(極性)逆転が劇的な影響を与える最も重要な効果の一つです[8]。

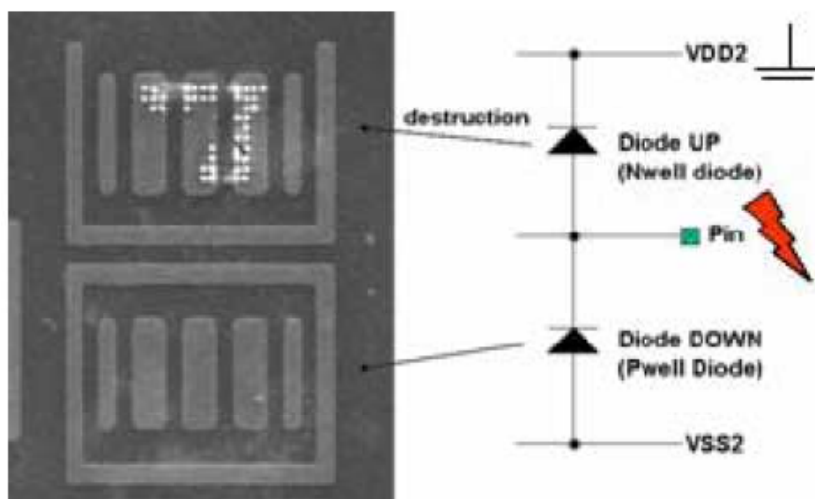


図 8. IO と VDD2 の間に印加した正の MM ストレスによって、上側のダイオードが破壊した。

最新のテクノロジー

図 9 は 65ns 高性能テクノロジーによる幅広い品種のテスト構造での HBM および MM 試験結果を示している。過半数 (67%) の構造は期待した相関値 (HBM/MM 10-30) と良く相関がとれた。少しの部分 (12%) では、相関が低く、ある程度の (21%) デバイスはこれより高い相関があった。与えられた数量が効果と頑丈さを示すようにするために、全ての構造を、自己保護的ドライバで、または敏感な部分を並列にして、測定した。

Pierce 氏の下記公式によって与えられるように：

$$V_{MM} = \sqrt{R_{prot} * C_{HBM} / (C_{MM} * (R_{HBM} + R_{prot}))} * V_{HBM}$$

低抵抗の保護デバイスに関しては高い相関が予想できる。しかし、この公式は、両試験器の寄生インダクタンス (MM テスタに比べ HBM テスタでは約 10 倍悪影響がある)、試験ボードの容量、試験ボード容量の寄生抵抗を考慮に入れていないので、注意を要する。この公式を図 10 にプロットしている。テストの寄生を補正する前で、0 Ω の保護デバイスで、無限大に近づく。つまり、この事は、 R_{prot} が小さい時には、近似は正しくない事を意味している。更に、この相関ファクタは、テストに密接に関係していること、実ライフと相関がない事、に注意しなければならない。テクノロジー・スケールが細くなるに従い、より低抵抗の保護デバイスが必要となり、 V_{HBM}/V_{MM} は増加する事になる。

同様に注意すべき重要なことは、両テストの寄生インダクタンスの違いが立上り時間に大きな違いを与えることである。ESD 保護の設計が貧しいと、相関ファクタに大きな変動が生じ、特に、MM 値はプロセス (ロット間) で変化する。

HBM と MM 認証レベルの間のこのような明白な誤相関の例は、サブミクロンのスマート電源 SIO テクノロジーにおける製品に関して報告されている。この製品は、8kV HBM をパスしている。これ以上のレベルでは、テストの制限で試験できなかった。同じ製品は、TSSOP32 パッケージで、CDM 1000V にパス

している。MM 認証試験の時に問題が見つかった。殆どのピンは問題なく認証できたが、特定の 1 組のピン組み合わせで 75V でフェイルした。この同じピン組み合わせは 50V MM でパスした。物理的な不良の痕跡は、ゲートが放電パスに接続されたトランジスタのゲート酸化膜の破壊であった。MM の両極性波形のために、逆回復効果が電圧オーバシュートを生じたため、と考えるのが最も近い。実際、粗い計算でも電圧が高く上昇し、このトランジスタのゲート酸化膜を壊すことがわかる。設計を修正する事により、この製品は 250V MM にパスした（壊れるまではテストしなかった）。この MM の問題に関してのフィールドからの返品は、最初の製品でも、改良品でも報告されていない。

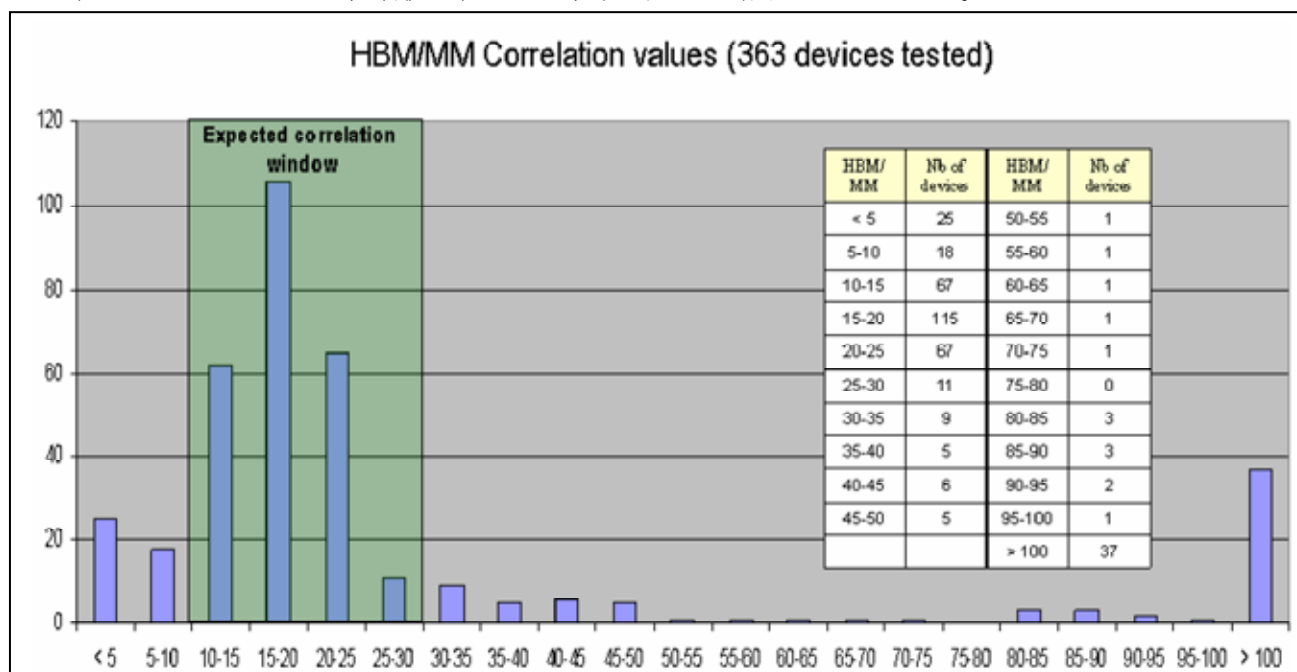


図 9. 65nm の高性能テクノロジーによるテスト・チップからの HBM および MM 結果

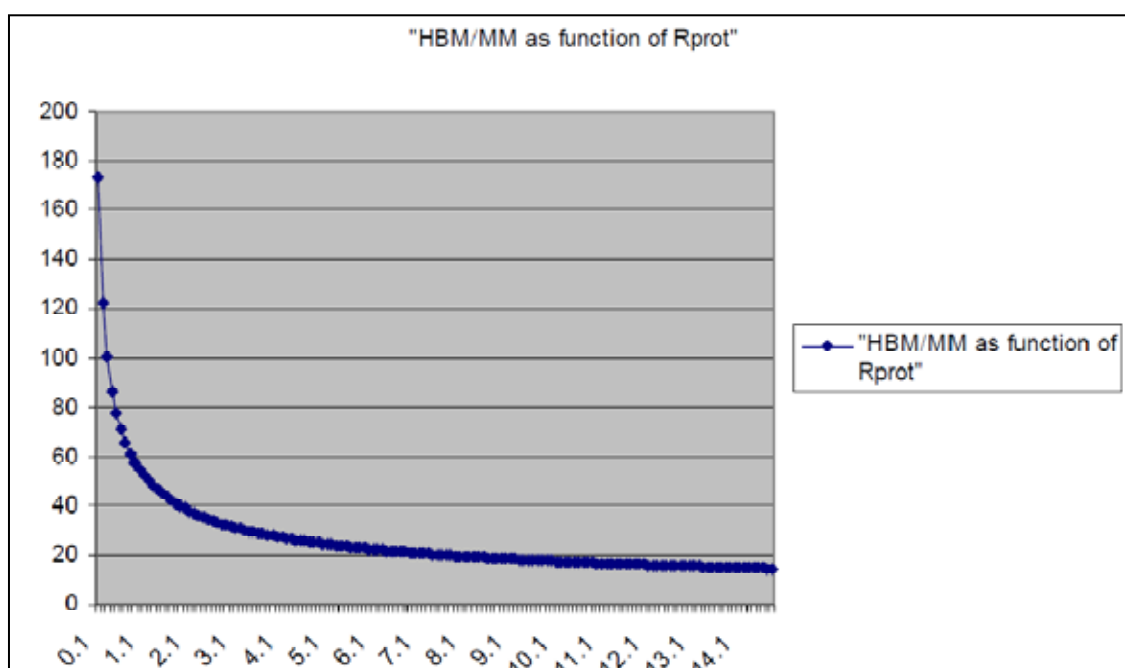


図 10. 異なる R_{prot} に対する Piece 公式

3.3 結論

製品に関する観察された HBM-MM の関係は、ほとんどが論理的な領域で期待される境界の間に入っていることを説明した。この一般的な関係に対するまれな例外も記述した。殆どの場合、これらは、比較的低速の保護エレメントを使った場合であった。

参考文献

- [1] ANSI/ESD STM5.1-2001 or JESD22-A114C.01.
- [2] ANSI/ESD STM5.2-1999 or JESD22-A115-A.
- [3] M. Kelly et al., 'A Comparison of Electrostatic Discharge Models and Failure Signatures for CMOS Integrated Circuit Devices', EOS/ESD Symposium, pp. 175-185, 1995
- [4] A. Amerasekera and C. Duvvury, 'ESD in Silicon Integrated Circuits', 2002
- [5] G. Notermans et al., 'Pitfalls When Correlating TLP, HBM and MM Testing', EOS/ESD Symposium, pp. 170-176, 1998
- [6] M.D. Ker et al., 'Electrostatic discharge implantation to improve machine-model ESD robustness of stacked NMOS in mixed I/O interface circuits', ISQED, pp. 363-368, 2003
- [7] D. Pierce, 'ESD Failure Mechanisms', ESD Symposium Tutorial, 1995-2005.
- [8] J. Whitfield et al., 'ESD MM Failures resulting from transient reverse currents', 44th IEEE IRPS, pp. 136-139, 2006

第4章：HBM レベル対フィールド返品に関する分析

Harald Gossner, Infineon

Theo Smedes, NXP Semiconductors

本章では、製品の HBM 認証レベルと、その製品を使用した場合、そのレベルと損傷のリスクの可能性との関係を議論します。この目的のために大量のデータを収集しました。以下の数節で、そのデータベースから得られた包括的な発見に関し議論しています。

4.1 HBM レベルとフィールド返品の関係

ある決まったレベルの ESD 認証レベルを持つ多くの出荷された IC のレベルと、フィールド返品比率との統計的な比較を、当会議に貢献する会社からの包括的なデータを元にして示します（図 11）。この統計には、総量 210 億個の部品が含まれています。内、24%は 500V にパスし、1000V HBM にフェイルした分類に入っていた。28%は 1000V と 1500V の間でパスしていた。4%は 2000V 未満の耐量であったが、1500V は超えていた。残りの 44%は 2kV HBM レベルに合格していた。ESD 耐量は、もっとも弱いピン組み合わせに対する電圧できめた。600 以上の認証済み／設計から手の離れたケースに関し、考慮した。出荷年で言うと、2000 年から 2006 年であった。このデータには、いくつかのピン組み合わせで、より低い ESD 認証レベルを含む設計品、多くのピンで ESD 強度を下げた設計品の両方を含んでいる。考慮された IC 設計には、通信、民生、記憶、自動車、および個別 IC を含む、種々の応用範囲が含まれている。これらは 1 μ m から 65nm の何種かのテクノロジーを使用して、製作している。組立は、米国、アジア、ヨーロッパの多くの場所で行った。全てで、最低、第2章で定義している、基本的な ESD 静電気コントロール・プログラムを稼働している。

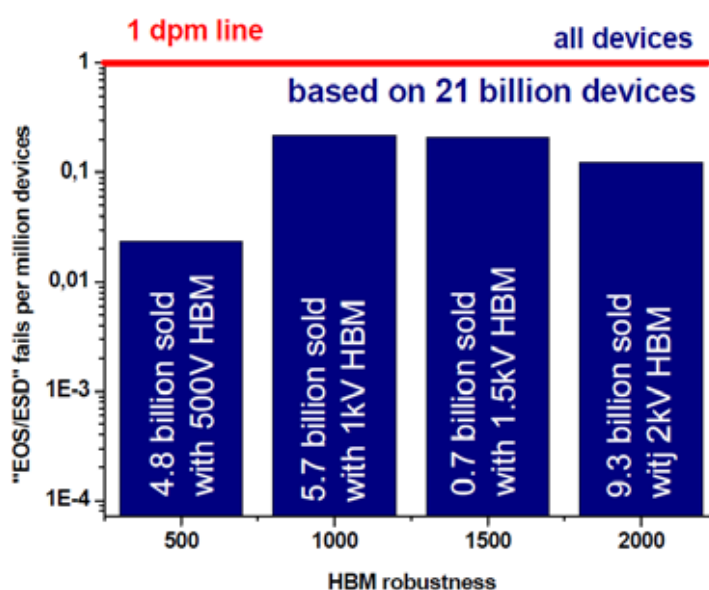


図 11. 達成された HBM 認証レベル対 IC 供給者へ返品された EOS/ESD 不良。総数 210 億個の部品が考慮された。

上記 EOS/ESD 不良率には、社内での取扱、ボード組み立て、OEM から戻った全ての不良デバイスが含まれており、多くの IC 供給者の不良解析部門で解析された結果である。物理的な不良解析における根本的な原因が ESD 破壊、または ESD または EOS（電氣的過ストレス）による破壊であると報告されたものがこの統計に含まれています。この事は、この図が、静電氣的に保護されている環境での放電、静電氣的に保護されている領域外での放電、制御ボード回路の誤動作に起因する電氣的な過ストレスなど、可能性のある電氣的な破壊メカニズムの全ての種類をカバーしている事を意味している。

同様の破壊写真およびフィールドでのストレス条件に関する情報不足のために、純粋な ESD イベントと EOS 関係破壊の間のより詳細な区別は、この統計では出来ていません。

しかしながら、EOS 関係の不良を含んでいても、全ての ESD クラスに対して、総破壊返品率は 100 万個当たり 0.1 (dpm) の欠陥であった。全ての不良デバイスが IC 供給者に返されていない事は明白です。特に、民生用 IC およびその他の大量、低価格製品に関しては、ボード製造者、OEM による解析努力はあまり行われなない。しかしながら、自動車用部品（欠陥に対する意識が非常に高い）のデータだけを抽出しても、自動車以外の部品と同じ HBM 認証レベルに対する EOS/ESD 破壊の分布を示している（図 12 及び 13）。両方のグラフは、電氣的ストレスに起因する不良率は 500V の閾値を超えていると HBM レベルには、無関係である事を示している。HBM 認証レベル 500V は電氣的破壊に起因する破壊の増加に対する十分な保護手段であると結論できる。

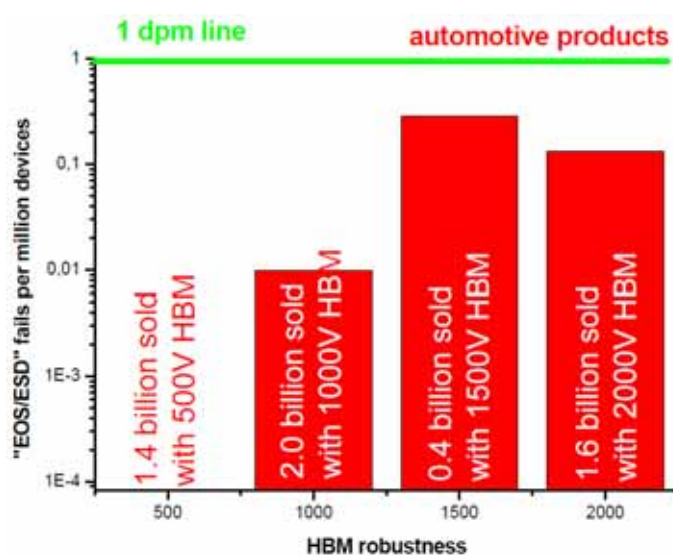


図 12. IC 供給者へ戻された自動車向け IC の EOS/ESD 不良とその HBM 認証レベルとの関係。総計 55 億個の部品を考慮に入れた。

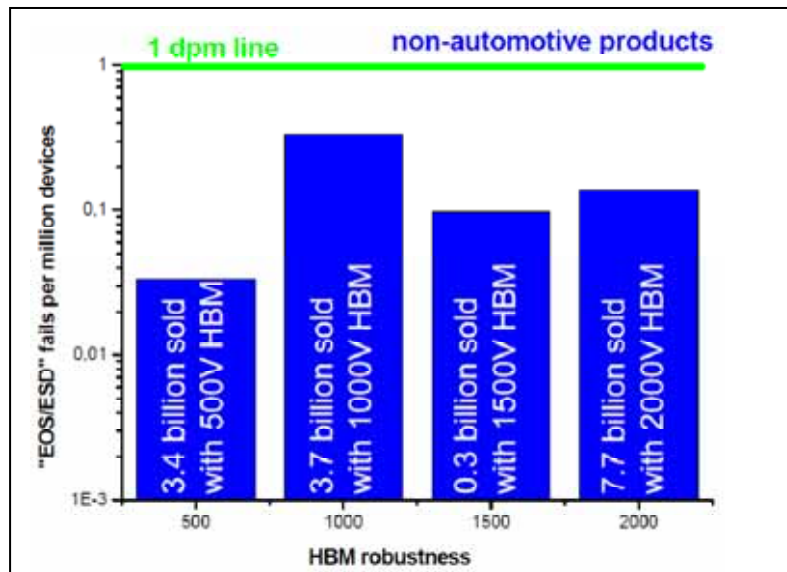


図 13. IC 供給者へ戻された自動車向け以外の IC の EOS/ESD 不良とその HBM 認証レベルとの関係。
総計 150 億個の部品を考慮に入れた。

4.2 ケース・スタディ

前節では、当会議で収集したデータ全体にわたるデータに関する発見を紹介した。個々のデータ点を詳細に議論するのは適切ではない。従って、本節では、いくつかの興味深いケースの詳細をとりあげます。これらはケース・スタディですから、それぞれは、必ず、特定の会社からの例ですが、当会議の複数の会社からの複数の例を使用しています。同様に、いずれのケースもそれ単独では、一般的な結論の証拠にはなりません。しかし、一緒に集めることによって、最終結論に対する確信を深めています。

4.2.1 500V HBM 以下の事例

ある会社は、同社で 100V HBM と 200V HBM の間でフェイルする 11 種の設計品を有していると報告している。このダイは外部のファウンドリと自社内の工場で製造され、パッケージ組立は、契約及び自社の組み立てラインで行った。合計総数 400 万個を出荷したが、1 個の返品もなかった。

他の会社では、各々が 100V HBM と 200V HBM の間でフェイルする、異なる ASIC 設計を代表する数十万個の部品を出荷した。概して、チップの強度をこのレベルに制限するのはほんの数ピンだけでした。いくつかの組み立て会社を使ったにもかかわらず、返品は報告されなかった。

他の例では、民生用電子装置用の 500V HBM 未満の部品の例が挙げられている。このデバイスは 90nm の SOI テクノロジーで製作され、多くの極東の低コスト CM で組み立てられた。900 ピン中、約 10 ピンに HBM レベルの低いピンが見られた。1100 万個を出荷して、ESD による顧客からの返品はゼロであった。新バージョンによって低破壊レベルの根本原因が分かり、改良した。設計変更により、1500V の部品と認定できた。このバージョンで 380 万個を出荷したが、それでも、ESD に起因する顧客からの返品

はゼロである。

比較的早く成熟したテクノロジーの EPROM 製品(90 年代の始め)では取り扱いに関する問題が見られた。PPM レベルは定かでないが、精査を始めるに十分なレベルであった。不良モードは HBM 試験で再現し、このデバイスは HBM 耐量が非常に弱い (HBM 耐量<500V) 事が見つかった。そのため、組立時にはより進んだ ESD コントロールが必要になった(分類テーブル参照)。このコントロールは、その当時には使う事が出来なかった。設計変更後、このデバイスは HBM 1500V に達したので、その後はフィールドでの不良が無くなった。

最後にある会社が限られた一部のピンで、400V HBM でパスし、500V HBM でフェイルするデバイスのケースを報告した。1600 万個のサンプルを販売した。過去 3 年間で 1 つだけ平均的な返品率を越える原因となった事故があった。この事故を追跡した結果、組立フローに問題があって、ESD とは関係がなく、結果的にも解消できた。改良設計により、2kV に合格し、4 百万個をそのバージョンで販売したが、以後は、問題は起きなかった。

上記のケースでは、もし必要な事前の注意をしていれば、極端に壊れやすい部品でも、ハンドリング可能である事を示している。

4.2.2 500V HBM~1000V HBM の事例

最初は、500V HBM ではパスするが、1000V ではフェイルする製品の例です。受け取った唯一の返品は追跡の結果、システム・レベルのストレスによるものであった。この顧客は、1000V HBM まで強化する事に従うよう要求した。そして、それは、再設計によって達成できた。新しい設計になっても、同じシステム・レベルの返品率が観察された。

2 つ目の会議会員からの報告は、1kV HBM ストレスにフェイルしている 3 つのタイプの製品に関するものである。1 つの製品は全てのピンが 1kV でフェイルした。他の 2 つの設計は少数のピンが 1kV にパスしなかった。これら全てで、ESD に関する苦情は 2 件だけに留まった。1 件は顧客のシステム・レベル認証に起因するものであった。残りは、外部と直接インタフェースする 1 つのピンの破壊であった。分った範囲では、このピンが故意にストレスを印加されてはいないが、これも、同様にシステム・レベルの破壊のケースである可能性が高い。より低い HBM レベルのピンでも、ESD 破壊はなかった。更に、明確な EOS フェイルがいくつか報告されている。これらは ESD 認証レベルのより低いピンだけでなく、まちまちのピンで発生していた。

4.2.3 1000V HBM~2000V HBM の事例

1kV HBM にパスし、1,500V HBM にフェイルする 1 つの製品が目標値よりはるかに低い dpm レベルを持っている。フェイルを深く分析した結果次の根本原因が見つかった:58%のフェイルは EOS に起因する、29%では問題なし、フェイルの 1%だけが ESD が原因であった。全ての EOS フェイルを追跡した結果、

IC の使い方が適切でなかった。

1000V と 2000V の間でフェイルする ASIC 設計例の報告がある。全ての製品が顧客に受け入れられた。販売量が比較的少量であったために、ppm 数値は残っていない。ESD 返品もない。1つの製品は1200V HBM でフェイルしており、EOS 返品がいくつかあった。返品は全て同一顧客からであった。この、同じ顧客からは、2kV HBM にパスする製品の同様なフェイルも報告されている。

別の会社からは、よく似ている 2つの設計品の報告がある。1つの製品は、1500V にパスし、2000V HBM でフェイルする。もう 1つの製品は 3000V HBM にパスする。この製品には顕著な不良率は見られなかったし、ppm レベルは目標値より十分低かった。同様に、両方の製品の間で、不良率に顕著な差は見られなかった。

130nm の CMOS プロセスによるマイクロプロセッサ IC では 1kV HBM、300VCDM の ESD 強度が得られていた。20 万個の出荷量に対して、フィールドからの返品はないことが分かっている。

4.3 結論

500V HBM およびそれ以上の IC は現存の IC および基板製造環境で安全に組み立てられると結論できる。この結論は平均的な声明で、第 2 章で記載したとおりの、基本的な ESD 静電気コントロールに従っていない製造箇所では有効ではありません。

第 5 章：顧客および供給者からの ESD に関する要求の影響

Charvaka Duvvury, Texas Instruments

Brett Carn, Intel Corporation

Larry Johnson, LSI

5.1 ESD に関する要求と仕様の欠陥

テクノロジーのスケーリングと I/O 性能に関する、かつてない要求の高まりのために、ESD 認証工程において ESD に関する多くの課題が発生する事は驚く事ではありません。フェイルはほとんどの場合、ごく少数のピンにのみ関係しています。この ESD フェイルのバグ取りには何週間も、時には何か月もかかり、その間、ESD 専門家、製品エンジニア、ESD 試験エンジニア、I/O 設計エンジニア、不良解析エンジニアが関わる作業が続きます。更に、緊急の場合には、品質管理者及び顧客との折衝エンジニアがはり付かなくてはいけない場合もあります。

広大な分析の間には、元の ESD フェイルが、繰り返し性のない、ランダムな事象である場合には、さらなる作業を必要とすることもよくあります。または、もっと最近の例では、テスト依存のフェイルが実験室の分析と一致せず、それらが ESD テスタ自身によって発生しているのではないかと疑問視する場合もありました。

こう言った製品評価の間、膨大な量の時間とコストが費やされます。しかし、最も重要な事は、その製品が市場に出るまでの時間の遅れです。多くの場合、分析と、顧客の ESD 要求に合わせるための最終的な改良によって、製品は、初期に意図していた製品に比べ、顧客に対して信頼度の低下したものになってしまいます。多くの IC 供給者が経験している事です。

5.2 “ESD フェイル” の影響

認証工程での ESD フェイルの結果には供給者も顧客も衝撃を受けます。ESD テスタで得られる ESD フェイルは、フィールドでのフェイルの確実性を意味していると、供給者も顧客も自動的に思い込んでしまいます。この白書に示しているデータはこの仮定を支持するものではありません。ESD フェイルが発見されたとき、供給者は次の質問を発するかもしれません：

- このフェイルは反復性があるのか、または変化する事はないか？
- 根本原因は確かに確認されたか？
- 何らかの変更が、ピンの容量に影響し、製品の性能に影響するだろうか？

(第 6 章、図 25 参照)

これらの質問に回答するには供給者と顧客に対してコストが発生します。ここでいう“コスト”は追加マスク／シリコン・ウェーハ製作に関する費用だけでなく製品の市場への供給の更なる遅れ、ESD 保護

の追加による期待回路性能の低下なども意味している。更に、供給者と顧客はこれらの課題を解決し決定の道筋に合意するための一連の討議に束縛されることになる。ここでは、以下の質問に答えなければならない：

- 目標 ESD 仕様の評価と決定にはどのデータを使ったか？
- 製品の供給に遅れがでるか？
- 満足できる解決までに、電話／面会会議は何度必要か？
- 再設計の認証のために顧客側で要する追加遅れはどの程度か？
- この信頼性改良によってその努力を正当化するものが得られるか？何もしない場合のリスクはあるか？
- 供給者、顧客にとって市場に出るまでの時間に関する総合的な影響は何か？

表 1 は、これらの事例を紹介するために当初 1kV HBM 目標値に合格していたいくつかの製品に関し、複数の会社から集めた実世界での例を要約している。いくつかのケースでは、製品の販売に対する混乱はなかったけれど、注入した努力は供給者、顧客双方のコストを意味している。極端な 1 例では、製品の出荷までに 2 年遅れた。顧客に対する追加コストは課題が解決するまでにもった会議と交渉、さらに、製品立ち上げへの影響などからきたものである。同様に、再設計が完了した後でさえも、不良率の改善の保証も、偶発的な間違ったフェイルや新しい破壊モードなどが発生しないと言う保証はない。これらの理由によって、現在の 2kV HBM という仕様に合格するコストは連続して上昇し、テクノロジー・スクエーリング効果とピン数の増加によって更に、それは、加速されている。

表 1：2kV の合格するまでの選択した製品に関するサイクルの例

製品	混乱	影響	遅延	合同会議の回数
P1	無	再設計	無	1
P2	有	再設計	2 年	10
P3	無	ESD 引き下げ	無	4
P4	多少	小規模な再設計	3 か月	>5
P5	無	無	無	>5
P6	有	多少の遅れ	6 か月	19
P7	無	無	無	2
P8	有	再設計	1 年	>5

表 1 の例は、各供給会社で製品のために要した日常的で、代表的な発生例を抽出したものである。製品の ESD を 1kV から 2kV に改良するための努力の間に開かなければならなかった顧客／供給者の会議の回数に注目してください。

そこで、顧客も供給者も下記の項目を見直し、試み、注目しなければいけません：

1. これらの努力は意味があったのか、または正当化できたのか？
2. 部品レベルの ESD に集中している間に、それ以外に設計が焦点を当てなければいけない事に対

して、何か影響がなかったか？そして、新しい製品の革新にどう影響したか？

この白書に含まれているデータは、当インダストリ会議の結論を、上記質問 1 に関して、2kV HBM に到達する努力が正当化できないと言う回答である事を示すことによって支持しています。質問 2 に対しては、数量的に答えることは難しいのですが、リスクのない項目から資源を吸い取ることによって、他の分野での製品の性能改良に関する努力を思いとどまらせる事があった事は明らかである。

図 14 では、別の例、2 つの異なるテクノロジー回路で製造した 8 種の製品に関する作業月数を示している。8 種、全ての製品が 1kV にパスしていたが、顧客に、2kV に合格するよう再設計を要求された。分析努力が 2~15 作業月の範囲である事が見られる。整理したインダストリ会議のデータは、平均の ESD 再製作には 7 作業月を要する事を示している。認証のための時間が追加遅れとして加わるので、市場への合計の遅れは 12 か月に及ぶ。

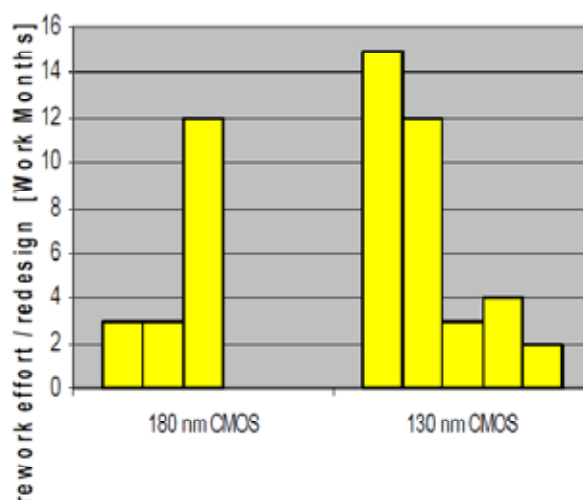


図 14. 1kV に合格する製品を 2kV にするために必要な ESD 再設計の労力の実例

5.3 改定した ESD 目標レベルの影響

部品の HBM 目標値を 1kV という安全レベルに改定する事により、顧客、供給者双方に利点がある。

- 1kV と 2kV の間の HBM 性能に関する設計の繰り返しが無くなり、出荷までの時間を短縮できる
 - たとえばケース・スタディで学んだように、12 か月もの時間が節約できる。
- IO 領域が節約でき、回路要求に割り振ることができる。
 - 例えば、ある計算によると、先端の回路では 43% もの縮小分を低リーク、高性能要求に使用できる。
 - 同様の縮小は、アナログ回路に使うこともできる。
- 容量が減るので、より高速回路の達成に追風となる
 - 例えば、45nm および 32nm テクノロジーで 16-18G ビット/秒は、2kV の設計では実現できないが、1kV あるいはそれ以下であれば、可能である。

- 短期的な利点は、明らかに、製造のための、より早い製品出荷であるが、次世代の ESD 開発と I/O 性能への影響はより重要である。
- 長期的な利点はより良い顧客関係、および、より適切なシステム・レベル ESD のための保護の開発機会の増加などが考えられる。

第6章：部品レベル ESD に対する IC テクノロジーのスケーリング効果

Charvaka Duvvury, Texas Instruments
Robert Gauthier, IBM

6.1 ESD 強度に対するスケーリング効果

回路性能と総合的な信頼性要求を達成した集積回路技術の進化は本質的な ESD 設計に大きな影響を与えた[1]。シリコンのスケーリング効果はより短いチャンネル長とより薄いゲート酸化膜によって回路速度を増すが、結果得られるトランジスタは ESD に対して極めて壊れやすくなり、破壊電流 (I_{t2}) が低下する。各々の新テクノロジー回路では、新しい逆の効果がみつかれる。表 2 はこのような技術トレンドと ESD への影響を 1980 年を起点として、今日まで、まとめている。

初期のテクノロジーが使われていた時代には、トランジスタのスケーリングは電流密度 (J) を増加させ、その結果、高消費電力 J·E (E は電界) となり、その結果 ESD レベルが低下した。次の主要変化では、チャンネルのホット・キャリアの信頼性を改善するために E を下げ、その結果、NMOS NPN のバイポーラ動作による電力密度が増加し (バイポーラ効率が減少し)、ESD が減少した。この後すぐに、ソース/ドレインへのシリサイドの拡散が紹介され、電流集中効果によりバイポーラ効果はさらに減少した。シリサイド効果に加えて、epi と共に、低いサブストレート抵抗を使ってラッチアップ効果を下げると、また別の ESD 設計に関する問題が、特に SCR 型のクランプを使った時に、発生した。しかしながら、コスト効率向上のために epi をバルク・サブストレートに置き換えると、更に又、別の、予期しなかった問題 - IO 領域および内部回路内で、寄生バイポーラによる相互作用が発生した。

表 2. テクノロジ・スケーリングの ESD への影響

特徴寸法	プロセス進化	ESD への影響	本質的な ESD 性能の低下要因
3um	接合スケーリング	NPN の強度	電流密度
2um	グレイトド接合	NPN の強度	電力消費
1um	シリサイド、epi 基板	NPN の強度	バラスティング効果と雪崩プロセス
0.5um	STI	SCR トリガ	寄生バイポーラ効果の減少
0.35um	バルク・サブストレート	寄生相互作用	バイポーラ効果の増加
0.18um	チャンネル長の短縮	I_{t2} の低下	局部発熱
0.090um	超薄 GOX	CDM 低下	クランプの効率低下
0.065um	より薄い金属層	HBM、MM、CDM 低下	金属部の発熱
0.045um	絶縁サブストレート	ESD 全て低下	電力消費の増加

テクノロジーがナノメータ領域に入ると、回路速度改良のために、ゲート酸化膜が大幅に薄くなり[1、2]、金属接続もより薄くなるので、ESD 感度は極めて悪化する。ゲート酸化膜が薄くなると CDM 性能は低下し、金属厚が薄くなると発熱効果により ESD 接続の抵抗が増え、IO パッドの電位を HBM および CDM 保護のための要求に合うに十分低く保つことが困難になる。図 15 は 130nm 位のテクノロジーからスター

トして、ESD メタル接続の破壊電流密度が減少し、テクノロジーが 65nm およびそれ以下に縮小するに従い、その効果が顕著に悪化する様子を示している。単位平方あたりの金属バスの抵抗は増加しており、そのために、エレクトロ・マイグレーションの信頼性マージンが減少する。この事は、電源／グランド・バスの経路が ESD 設計においてはさらに重要な役割を担う事になる事を意味している。

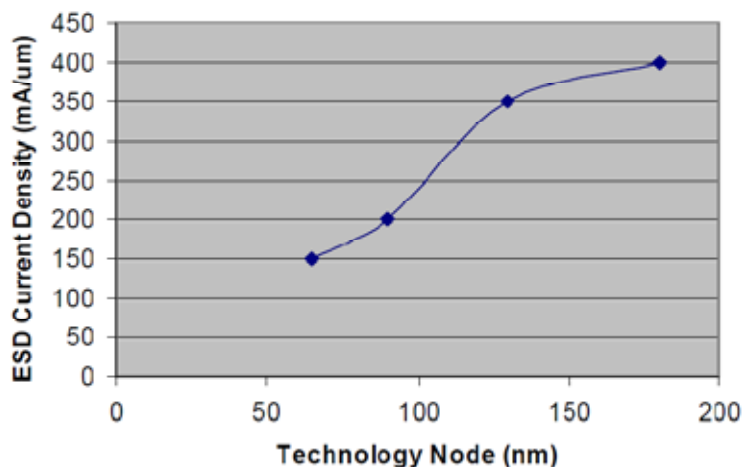


図 15. テクノロジー・ノードの関数としての金属の ESD 破壊電流

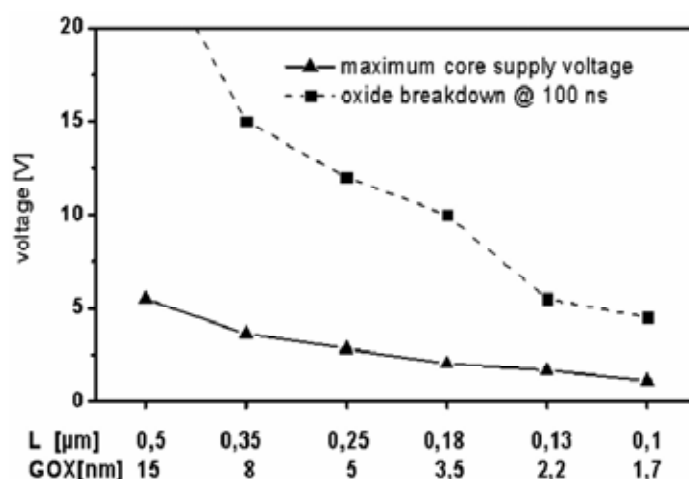


図 16. スケーリングの関数としての ESD 構造の酸化膜の降服電圧とコアの電源電圧の関係

図 16 では、コアの Vdd 供給電圧を、特徴的な寸法のトランジスタ長とゲート酸化膜の降服電圧をテクノロジー・ノードのスケーリングの関数として示している。この図には同時に、ESD 類似の条件で、ゲート酸化膜の破壊電圧が同様に低下する様子も示している。100nm ノードではゲート酸化膜の破壊は HBM ストレスで 5V に近づく。これは、IO の保護クランプは常に 1.3A または 2kV で 5V 以下でなければいけない事を意味している。図 15 で議論しているとおり、金属抵抗と電流密度の制限によって、2kV に合格する設計は挑戦的で、さらなる微細化のもとでは、不可能になるでしょう。

その他の新しいトレンドに“逆ポリ効果”がある。この場合、ポリの長さが減少すると I_{t2} の値が、予想外に減少する[1]。2 つの異なる説明が提示されている：1) 加熱に使える体積の減少[3]と 2) ポケット・

インプラントの吸収によるバイポーラ効果[4]である。チャンネル長を減少するために部分的な発熱と組み合わせ、SOI の紹介でチャンネル表面が大きく発熱し、ゲート・ダイオードでも比較的低い破壊電流性能を持てるようになる。SOI に加えて、今ではマルチゲート・トランジスタ (MuGFET)、または FinFET デバイスとも呼ばれているが、すでにきわめて低い I_{t2} と更に更に複雑なプロセス効果を示す技術が明らかになってきている[5]。FinFET の断面図を図 17 に示している。



図 17. 最新の FinFET の断面図

文献[5]から得られる NMOS FinFET の I_{t2} データは図 18 に示してある。このデバイスは寄生 NPN のようにトリガするが、その破壊電流は（実効幅 50um で）1mA/um 以下でさえある。これは、ESD 条件下でのデバイスの発熱に関する理解が必要で、レイアウトとデバイス構造の変更により I_{t2} を改良する方法を理解する必要があることを暗示している[6]。

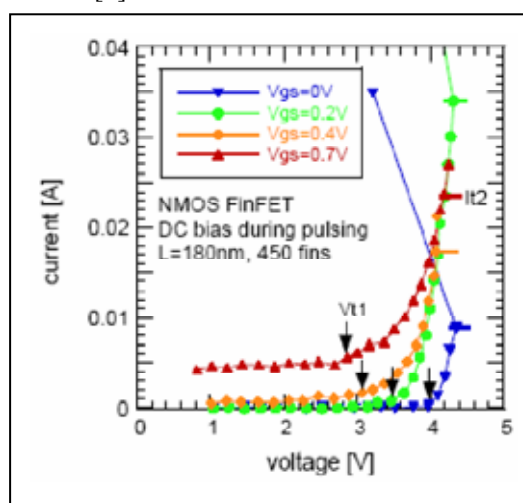


図 18. FinFET デバイス構造のゲートバイアス変化に対する I_{ds} - V_{ds} カーブとトリガ電圧 (V_{t1}) 及び破壊電圧 (I_{t2}) : [5]より

ESD に対する、次のスケーリング効果は 20Å 領域の超薄酸化膜の使用で、最初に 130nm/90nm テクノロジー・ノードで紹介された。このような薄い厚さの酸化膜ではよく使われるシリサイド・ブロックは選択枝に入らない。その理由はゲート間隔自身との接触を含むオン抵抗の増加がバイポーラがオンする時のドレイン電位を上昇させ、酸化膜を降服させるからである。更に酷な事には、90nm またはそれ以下のテクノロジー・ノードでの薄い酸化膜では 4~5V しかない酸化膜の降服電圧が CDM は言うに及ばず HBM 保護に対する設計を非常に困難にしているのである。酸化膜の絶縁降服メカニズムの統計的な性質は TDDB（時間依存の絶縁酸化膜の信頼性）としてよく知られている複雑なトピックであるが、TDDB

を ESD 領域に拡張するには、ESD 設計には次の挑戦が待っている。最近文献[8]で記述されたように、ESD 領域の酸化膜降服はプロセスの変化によって変わるので、与えられた CDM 仕様に対して設計するには予測がしづらい。ESD に対する影響はまだ細かく調査されていないが、テクノロジー・スケーリングに関するその他の課題がいくつかある。その中には、近い将来のストレンド・シリコンと持ち上げたソース・ドレイン接合、そして金属ゲートと High-K 誘電体の紹介がある。トランジスタ・スケーリングに於ける、より新しい進歩は、ESD 保護の戦略の完璧に新しい方向が探求され終わるまでは、ESD 感度に影響を与え続けることは明白である。

6.2 保護設計のウィンドウ

ESD 保護は 6.1 節に記述した技術のスケーリング効果によって戦略面で何度かの変化を経験した。80 年代初期の電界酸化膜デバイス (FOD)、90 年代の NMOS および接合トリガ型 SCR デバイスは広く使用されたが、現在の技術では、これらを実用化する事は困難で、ダイオード・クランプとダイオードでトリガする SCR のみが、ほとんどの場合、使用できそうな選択肢である。

代表的なダイオードとレイル・クランプをベースにした保護概念を図 19 に示した。全体の保護性能はダイオードのオン抵抗、VDD と VSS バスの抵抗、レイル・クランプの効率などに大きく依存する事に注目すべきです。この事はまさに、ESD 設計が窮屈な状況に直面していることを示している[9]。パッドでの容量を最小にするためにはダイオードの寸法をあまり大きくする事は出来ない。また、ダイオードへのメタル接続（これは容量負荷の大きな要素になってきている）は、ESD 電流を 1~2A HBM および 12~15A CDM の範囲に入れるため、パッド電圧を出来るだけ低く抑えるために、最小の抵抗値でなければいけない。

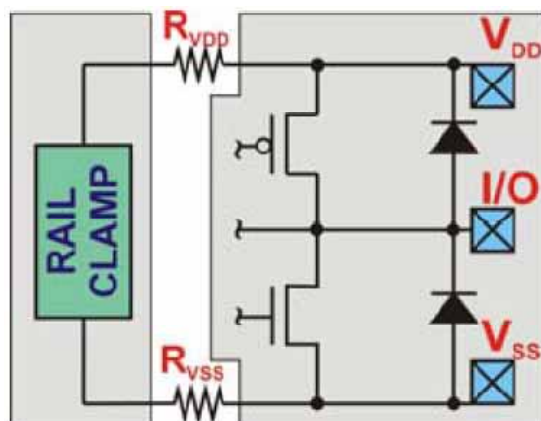


図 19. レイル・クランプ・ベースのコモン・ダイオード保護方式

標準デジタル IO の設計でさえも ESD 放電中にパッド部分に集中する電圧が入力ゲート酸化膜、または、特に出力トランジスタの I_{t2} が低い場合、出力ドレイン接合を、破壊する可能性がある。この事によって、文献[9]で報告されているように、ESD 設計ウィンドウが消えてなくなってしまう事になる。しかしながら、ウィンドウの相対的なマージンは保護クランプ設計の選択に依存する事にも注目すべきである。この点を図示するために、図 20 では、図 19 で示した、普通のデュアル・ダイオード保護デバイスの設計に対する制約を示している。テクノロジーの縮小によって、65nm 領域では 2A のための設計は消滅する

かもしれない。言い換えれば、1.3A（2kV HBM）のためには、ウィンドウは45%減少する。どんなランプ技術を採用しても、さらなるテクノロジーの縮小は、ESD 保護ウィンドウを更に減少する。

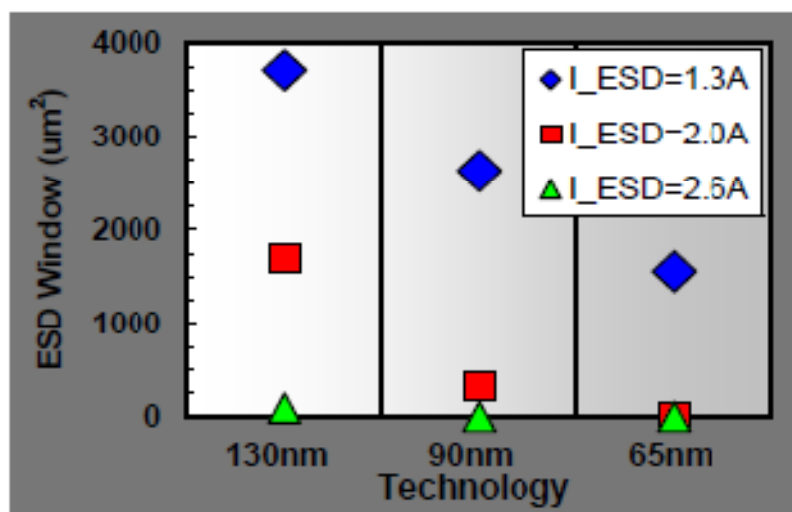


図 20. ESD 設計ウィンドウの縮小[9]

これらの効果は、高速 SERDES（HSS）マクロまたは RF リニア・アンプ（LNA）回路の応用を含む設計では更に苛酷になる。この設計ウィンドウの過酷さは図 21 で示した拘束による。保護設計は明らかに、動作電圧を妨害してはいけないし、入力ゲート酸化膜を保護するために、十分低いオン抵抗を持っていなければならない。ESD 設計ウィンドウを押し下げる熱破壊要素は、ほとんどの場合、最新のテクノロジーのデバイス内の金属発熱に起因している。このウィンドウが狭くなると、2kV HBM または 500V CDM を満たす事への挑戦はますます困難になる。

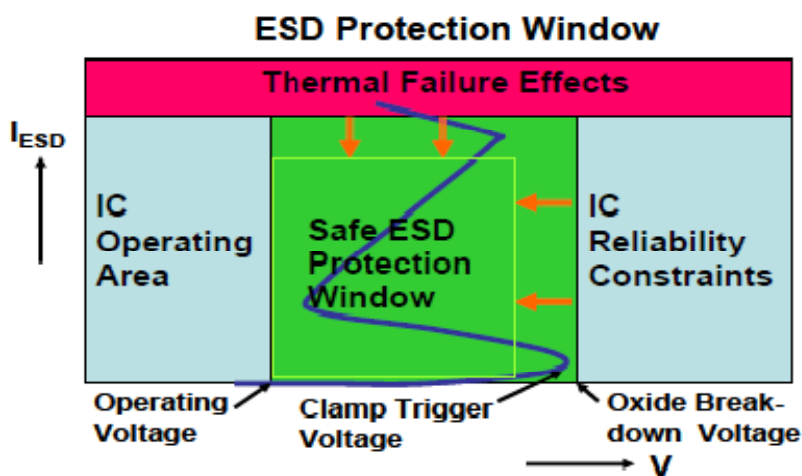


図 21. ESD 設計に関するテクノロジー・スケーリング効果

まとめると、ESD 設計に関する過酷な制約は下記による：

- 相互接続部の発熱
- ゲート酸化膜の低電圧降服
- 最新トランジスタの破壊電流の低下
- 回路の動作電圧の低下
- ESD 容量の許容範囲の低下

6.3 ESD の容量負荷に関する要求

無線周波数（RF）及び高い周波数（HF）でのデータ速度と周波数は、各新世代テクノロジーになるにつれて、継続して広がってゆくので、ESD デバイスに対する容量負荷の低減と品質ファクタ（Q ファクタ）の改良圧力が増加する。Q ファクタは Ω で表現したリアクタンスを Ω で表現した抵抗で割り算した値で定義する。RLC 直列回路では、 $Q = 1/R \cdot (L/C)^{0.5}$ で、R、L、C はそれぞれ同調回路の抵抗、インダクタンス、容量である。RLC の並列回路では、Q は上記表現の逆数である。図 22 は ESD の HBM レベル対 I/O の動作周波数の全般的な動向に関する一般例を示している。動作周波数の増加は、テクノロジーの微細化と、テクノロジーが連続的に縮小する事による性能向上に起因する。図 22 の 1 の領域では、チップ・レベルのバス抵抗と電源クランプ抵抗の組み合わせが I/O 信号パッドのクランプ電圧を支配し、そのため、信号パッドの ESD 保護は縮小前と同様（容量負荷がより大きく）ESD イベント中、総合的な信号パッドの電圧にわずかな影響しか与えない。図 22 の領域 2 では、信号パッドの ESD 保護回路は、容量負荷を減少するために、縮小され、ESD 保護デバイス自身が ESD イベント中の信号パッドの電圧を支配する。

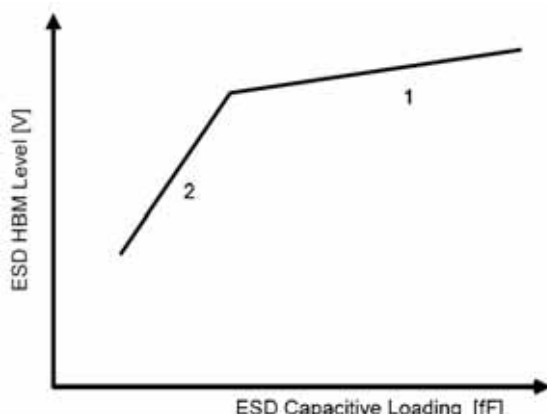


図 22. HBM の ESD レベル対 ESD 容量負荷効果の一般的なグラフ

図 23 は、今後の議論のための回路例として、双方向デジタル I/O のレシーバとドライバのそれぞれ初段と最終段のダブル・ダイオード・ベースの ESD 保護方式を示している。この単純化した図面には、Vdd とグランド・バス抵抗、電源 ESD クランプと電源の実効デカップリング容量が含まれている。ダブル・ダイオード・ベースの ESD 保護方式では、代表的に使われる電源クランプ法の一つは RC トリガ方式の MOSFET クランプである。任意の電源または他の I/O 信号を基準にして、正極または負極の ESD イベント期間中の I/O 信号パッドの電圧を計算するためには、Vdd および Gnd 側の電源抵抗、および電源クランプ自身にかかる電圧降下が、I/O 信号パッドの ESD 保護デバイスの電圧降下と同様に重要である。図 23 にはダブル・ダイオードを使った 2 次 CDM クランプを示しているが、これ以外にも、種々の形式の CDM デバイス（例えば SCR、ノン・シリサイド NFET）を使うこともある。図 24 は、HBM ダブル・ダイオードを除去してダイオード列でトリガする SCR（diode-string triggered SCR、DTSCR）を挿入した以外は、図 23 と同様の単純化した回路図を示している [11]。

図 25 では高速シリアル・リンク（High Speed Serial Link、HSS または SERDES コア）に対して割り当てられる容量負荷の量の特定の例を示す。HSS では ESD 容量負荷に並列に、相殺型の回路（t コイルなど）があって、ESD 容量負荷の半分程度を打ち消すと仮定している。図 25 は ESD デバイスのスケー

リングの容量効果に関する一つの例のみを示している；与えられたテクノロジーに対する特定の結果は変わりうる。しかしながら、一般的な動向では、高速 I/O に対する容量負荷への割り当ては減少する。

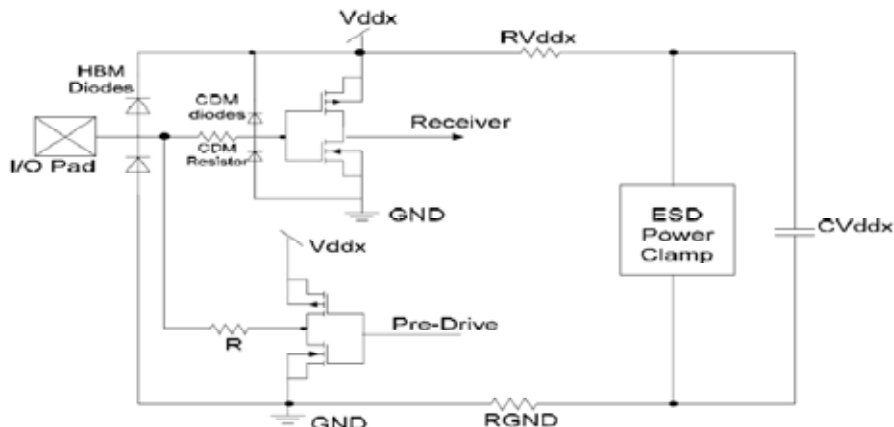


図 23. RC トリガ・レイル・クランプと一緒に使うダブル・ダイオード保護構造

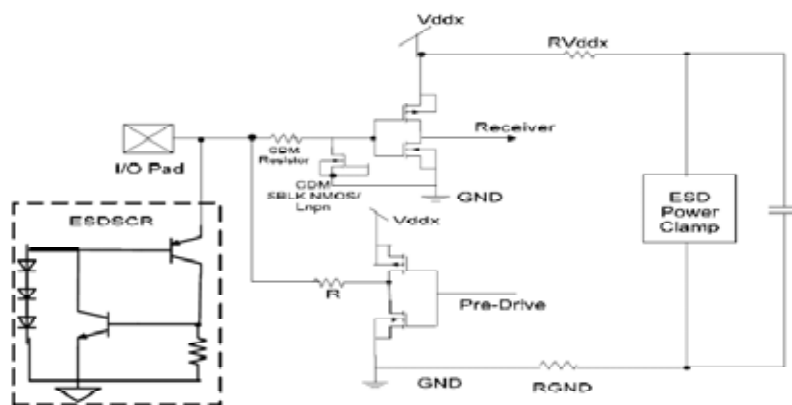


図 24. RC トリガ・レイル・クランプと一緒に使うダイオード列トリガ SCR (DTSR) 保護構造

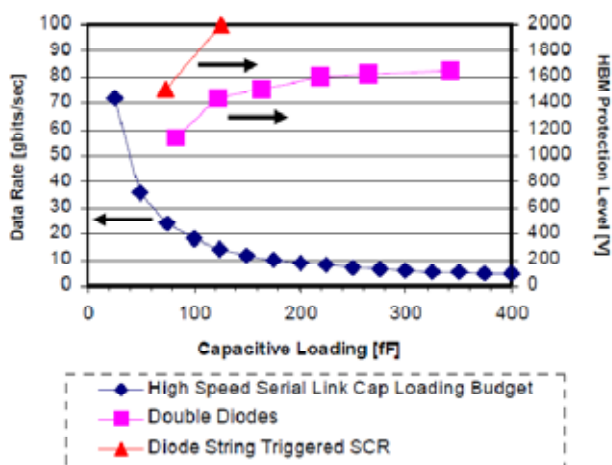


図 25. 高速シリアル・リンクデータ速度と HBM 保護レベル対容量性負荷要求

同様に図 25 にはダイオードおよび SCR ベースの ESD 保護(図 24 参照)概念に対する ESD 計算結果を前の曲線に追加している。図 25 の左側の y 軸で見られるように、データ速度が 6 ギガビット／秒から 12

ギガビット／秒に増えると、容量負荷の枠は約 300fF から 150fF まで減少する。図 25 の右側の y 軸では、HBM ESD の計算結果を示している。この計算では、65nm テクノロジーの高電流 TLP (HBM と同等のエネルギーのトランスミッション・ライン・パルス) データを使い、RC トリガ電源レイル・クランプ付きダイオード・ベース ESD 保護と、RC トリガ電源レイル・クランプ付きダイオード列トリガ SCR (DTSCR) とを比較している。この比較では、最悪ケースの ESD 強度と容量負荷要求の関係を、両タイプの ESD 保護に対して示している。ダイオード・ベースおよび DTSCR ベースの ESD 保護回路は、RF および HF 応用製品に対して最も普通の ESD 保護回路の内の 2 つである。機械モデル (MM) の結果も、HBM と同様の動向を示す。

図 25 を作成するために使用した ESD の境界条件を、参考のために、表 III に列記する。ESD デバイスの容量値は、65nm のテクノロジー・ノードで設計した実際の ESD デバイスから抽出ツールを使って抽出した FEOL と BEOL 容量の両方を含んでいる。

表 3. 計算に使用した仮定値

信号パッドの ESD 保護素子	信号パッドの ESD 素子のオン抵抗	RC クランプのターンオン電圧 (V)	RC クランプのオン抵抗 (Ω)	Vdd のデカップ容量 (fF)	Rvdd (Ω)	Rgnd (Ω)	許容最大パッド電圧 (V)
ダブル・ダイオード	容量負荷により変わる	0.5	0.5	0	1.0	0.5	4.0
DTSCR	“ ”	0.5	0.5	0	1.0	0.5	4.0

6.4 パッケージ効果

パッケージの進歩はその IC の用途により大きな影響を受ける。一般的には、特定のダイをパッケージに封入する時、同じ複数のピンを異なるパッケージに接続する場合、HBM 性能には殆ど影響がない。しかしながら、パッケージ寸法、ボンド線インダクタンスなどの変化は、同じダイを異なるパッケージに入れた場合、CDM 性能は変化する。デュアル・イン・ライン (DIP) からマルチ・チップ・モジュール (MCM) へ、それから、フリップ・チップ、およびスタックド・ダイへのパッケージ・タイプの進展は CDM に関する ESD 性能の可能性を決定づけてきた。なぜかと言うと、CDM ストレス・パルスに対しては、パッケージの容量が非常に支配的な役割を果たすからである。DIP パッケージは、取扱上、ピンが外部に露出しており、HBM に対して敏感であったが、ボール・グリッド・アレイ等の最近のパッケージでは、ピンは埋め込まれており、間隔も狭いので、HBM ストレスに対しては強く、殆ど影響を受けない。従って、CDM が総合的な ESD 信頼性に重要な役割を担う。CDM に関する重要な課題と、安全な製造のための適切なレベルは次の白書で取り上げる予定である。

6.5 ESD テクノロジーに関するロードマップ

ESD のロードマップ[12]は、図 26 で示すように、HBM ESD レベルとして得られるレベルに厳しい制限を見通している。図 26 より気づくべきことは、今後 5 年、32nm テクノロジーのあたりに、より重要なインパクトが予想されている。RF などの回路設計からの制限が、実用的な ESD HBM 設計のレベル

を最終的には 100V 領域まで低下させる可能性がある。同様に CDM レベルは 50V 領域まで低下する可能性がある。最後に、機械レベル (MM) のスケーリングはここでは提示していないが、これは、業界の多くが、一部の限られた用途を除いては、MM の要求はもはや、有効ではないと考え、IC の ESD 信頼性テストの主流から外そうという強い動きがあるためである。

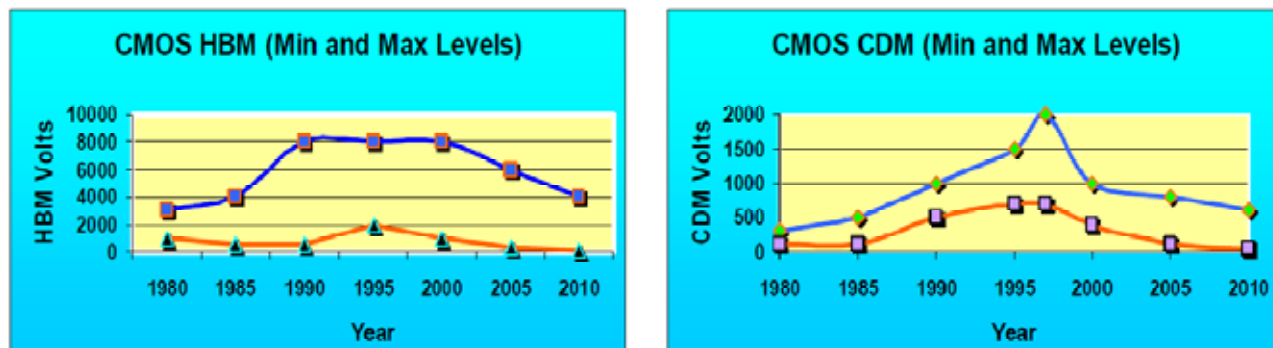


図 26. HBM と CDM のロードマップ [12]

上述の、これらのトレンドは製造ラインの ESD コントロールが絶対に必要になるという事を意味するのみである。幸運な事に、ピン間隔が狭いパッケージへの動向、人間による取扱機会の大幅な減少などにより、HBM の脅威が緩和される。しかしながら、CDM ESD のコントロール、これは、パッケージ構造依存で、保護レベルはテクノロジー・スケーリングによって低下するであろうから、注意深く考慮する必要がある。工場での CDM に対する ESD 制御は厳密に改良しなければいけない。

本章では、IC テクノロジーのスケーリングとそれに対応して増加する IC チップの ESD 感度を解説してきた。そこで明白になった事は、ESD に対する見方と戦略を変えなければいけないと言う事である。電子産業界で、工場のコントロールが、その他の要素と共に格段に改善されている事を前提にして、2kV HBM の要求の有効性に関する疑問がずっと投げかけられてきた。同様に、MM が何か意味のある追加情報を提供するか？ 実世界の CDM 放電事象を、特に、大きなパッケージに対して、改善された CDM 試験でいかに、より正確に代行できるか？ などといった疑問も常にあった。ESD はこれからも継続して、主要な信頼性課題であり続け、脅威の本質をより現実的に表現する限り、ある合理的な保護を実現する事が出来るであろう。重要な目的は、ESD 目標要求を適切に変更する事により、今日の現実的な部品 ESD に関する部品の製造／組み立て環境によって示される安全な ESD 目標レベルを維持しつつ、設計が設計性能目標を満たす事ができるようにする事である。一方では、ESD Association の白書[13]にも概略述べられている通り、システム IEC(システム・レベル ESD)、CDE (ケーブル放電イベント)、TLU (トランジェント・ラッチアップ) などの明白な脅威に、もっと注意を向けなければならない。

文献

- [1] C. Duvvury and G. Boselli, "ESD and latch-up reliability for nanometer CMOS technologies," IEDM, pp. 933-936, 2004.
- [2] S. Voldman, "ESD robustness and scaling implications for Aluminum and Copper interconnects in advanced semiconductor technology," ESD Symp. 1997.

- [3] K.H. Oh, K. Banerjee, C. Duvvury and R. Dutton, "Non-uniform conduction induced reverse channel length dependence of ESD reliability for silicided NMOS transistors," IEDM, pp. 341-344, 2002.
- [4] G. Boselli, J. Rodriguez, C. Duvvury, V. Reddy, P.R. Chidambaram and B. Hornung, "Technology scaling effects on the ESD design parameters in sub-100nm CMOS transistors," IEDM, pp. 507-510, 2003.
- [5] C. Russ, H. Gossner, T. Schultz, N. Chaudhary, K. Schroefer, W. Xiong, A. Marhsall, C. Duvvury and C. Cleavelin, "ESD Evaluation of the emerging MuGFET technology, EOS/ESD Symp. 2005.
- [6] H. Gossner, C. Russ, F. Siegelin, J. Schneider, K. Schroefer, T. Schlutz, C. Duvvury, R. Cleavelin and W. Xiong, "Unique ESD failure mechanisms in a MuGFET technology," IEDM 2006.
- [7] A. Salman, R Gauthier, E. Wu, P. Riess, C. Putnam, M. Muhammad, J. Woo, D. Ioannou, "Electrostatic Discharge induced oxide breakdown characterization in a 0.1 um CMOS technology," IRPS 2002.
- [8] A. Ille, W. Stadler, A. Kerber, T. Pompei, T. Brodbeck, K. Esmark and A. Bravix, "Ultra-thin gate oxide reliability in the ESD time domain," EOS/ESD Symp. pp. 285-294, 2006.
- [9] G. Boselli, J. Rodriguez, C. Duvvury and J. Smith, "Analysis of ESD protection components in 65nm CMOS technology: scaling perspective and impact on ESD design window," EOS/ESD Symp. 2005.
- [10] A. Jahanzeb, Y. Lin, S. Marum, J. Scichl, and C. Duvvury, "Investigation of device body size on CDM tester peak currents and variability," International ESD Workshop, 2007.
- [11] M. Mergens et al., "Diode- Triggered SCR (DTSCR) for RF-ESD Protection of BiCMOS SiGe and CMOS Ultra-Thin Gate Oxides", IEDM Digest, 2003.
- [12] ESD Association Road Map: <http://www.esda.org/>
- [13] ESD Association White Paper II: Trends in Silicon Technology and ESD Testing, 2006.

第7章：部品レベル ESD とシステム・レベル ESD の違い

Harald Gossner, Infineon

7.1 システム・レベルESDの歴史

システム・レベルESDの起源は1960年代にさかのぼる。キャスト付きの椅子に座った人が、メインフレーム・コンピュータ・システムに衝突した時に、システムがリセットしたり、予期しない結果が生じたりする事から認知された。予防策として、メインフレームの設計者は、ESDツールを開発してこの波形をシミュレートし、動作中の機械をこれらの事象で試験した。機械が動作し続ければ、試験は成功と考えられた。

この試験は信号ラインおよび電源プレーンにノイズを発生するように設計しており、機械が連続して動作できるようにしていた。破壊的な試験として設計したものではなかった。機械がノイズをいかに処理するかは、システムのパッケージング（回路基板のレイアウトからカバーの設計まで）、システム・アーキテクチャ（予期しない信号からシステムが回復できるように）から、SN比まで、多くの方法で解決された。

このスタンダードがIEC 61000-4-2へ発展した時に、ただメインフレーム・システムだけでなくそれ以外へも拡張された。現在では、ノートブックPC、ゲーム器、携帯電話などを含むより多くの機器がこのスタンダードに従う事を要求されている。このスタンダードはコネクタの端子に放電する事を要求しているので、敏感なデバイスでも問題なく使えるように、多くのシステム・レベルの設計が存在してきました。

7.2 部品レベルと、システム・レベル・ストレスのモデルの違い

標準化された部品レベルのESDストレスのテスト・ルーチンはパッケージに入ったICを認証する為に定義されている。このテストは、IC部品製造工場の環境で観測される不良痕跡を再現するように設計している。ひとつのICの全てのピンには、この試験中に、多くの回数の組み合わせストレスが印加される。ESDストレスを印加する時には、ICには電源は供給されない。認証段階でこれらの試験にパスさせる目的は、IC製造工場のESD保護領域で、そのICを安全に取り扱う事が出来ると言う事を保証する事である。

システム・レベルESDは、試験法も破壊機構も部品レベルとは全く異なる。ストレス・モデルも回路のESDパス環境も部品とシステム・レベル・モデルでは異なる。ICレベルのESD強度とシステム・レベルESD強度の間にはきっちりした相関は有りません。システム・レベルESD試験の手順は、IEC 16000-4-2 スタンダード[1]に記載してあります。

システム・レベル保護が設計対象とすべきシステム・レベルESDストレス事象は、最終使用者に、または、ESD保護領域外で、部品の交換時に触れられたり、操作されたりする、完全な電子装置のインタフェース端子へのESD放電である。静電気的には、環境は制御できず、放電レベルは10kVを超えることもある。

放電の波形は、パルス持続時間、電流共、広い範囲で変化する。完全なシステムの試験には、システムに依存した非常に柔軟な設定が必要となる。これは、例えば、試験対象のシステムとESDガンによるストレス・パルスの印加を卓上に置いて行う事で実現できる。この方法を個別のICの試験に拡張する事は簡単にはできない。一般的には、システムに印加された放電電流のどの部分がICに到達するか明確でない。また、システム・レベルESDテストに起因するEMI（放射電磁界）が部品レベルのESDテストでは得られない、独特の不良を引き起こす事も知られている。

これとは別に、システムの試験条件には、通電および非通電の両方での放電を要求している。そのために、機能的および破壊的なシステムESD試験不良をIC部品レベルのESD試験不良とは別に考慮しなければいけない。例えば、ICのラッチアップ事象のトリガリングに関して、機能的なフェイルは物理的な不良痕跡に至る事は通常なく、システムがリセットすると直ぐに消滅する。より大きなパルス・エネルギーとそれによる、通電システム内のDCストレスに起因する破壊的なフェイルはしばしば、部品レベルのESD不良に比べ、より大きい破壊痕跡を示す。

システム・レベルESD強度を決定するには、ほんの少しの関係ピンだけ（例えばコネクタへ接続するピン）を放電点につなぎストレスを加えるための、応用基板を必要とする。適切な応用基板を使ってICのシステム・レベルESD強度を評価する事が出来る標準化したセットアップを現在討論している[2]。システム・レベルESDテストの代表的な目標レベルは8kVまたは15kVである。これらのレベルでのピーク電流は24Aから45Aである。テスト・パラメータの比較を表IVにまとめている。

表4：JEDEC ESD22-A114-B（HBM）による部品レベルESD試験とIEC 61000-4-2によるシステム・レベルESD試験の比較

	部品レベルESDテスト	システム・レベルESDテスト
ストレス印加ピン	多くのピン組み合わせ	特別な少しのピン
電源	通電しない	通電および非通電
HBMの試験法	標準化	多くの放電モデルを使い、用途に特有
テストセットアップ	市販のテストとソケット	用途の特有の基板
代表的な認証ゴール	1－2kV	8－15kV
対応するピーク電流	0.65－1.3A	>20A
不良痕跡	破壊	機能的不良または破壊

システム・レベルESDストレスに曝されるピンは部品レベルのESDに対するピンに比べ、何桁も強いパルス・エネルギーに耐えるために、全く異なる保護を必要とする事は明白である。保護の経路は印刷配線板（PCB）レベル（例えば、過渡電圧抑制（TVS：transient voltage suppression）ダイオード）またはICレベルで提供される。経済的および技術的理由がこれらのいずれを選択するかに影響する。そして、また、用途によって異なる。もし、PCB上に実装するなら、チップ上の保護の高電流特性がPCBの保護のクランプ特性に合っている事が要求される。得られるシステムレベル・ストレスに対するフェイル・レベルはチップ上の電流経路の実効抵抗に関係する。PCB上の保護素子のクランプ電圧以下の領域で抵抗が低すぎ

ると、そのICは、システム・レベル放電中に供給される過電流によって必ず破壊される。

7.3 ケース・スタディ

システム・レベルESD（IEC）とHBM部品レベルESDの間に直接的な相関がないと言う事実を明白にするために、ケース・スタディを幾例か紹介する。低いHBM ESD認証レベルでIEC試験に完全にパスする製品と、2kV HBMでCDMとMM認証レベルも高いのにIECではフェイルする製品の2つのケースが知られている。この例では、高い部品レベルのHBMにより、高いシステム・レベルが得られると言う仮定は単純化しすぎていることを示している。この事は、HBMの強度試験をシステム・レベル強度の評価に使用する意味がない事を示しているのではない。しかしながら、IECでは、特定ピン試験法を使わねばならず、高電流特性評価によって行わなければいけない[3]。標準のHBM認証試験は、全く異なる不良メカニズムを扱っており、システム・レベル性能と比較すると、間違った解釈に達するのみである。

あるDSP ICは90nmテクノロジーで製作し、数ピンは500Vまたは1kV HBMしかなかった。このICは、顧客が実施したIECシステム・レベルESD試験にパスした。IECシステム・レベル試験を満たした事で、このDSPが、HBMレベルが低くても製造する価値があると言う顧客の確信を改善した。

130nmテクノロジーで設計された別の製品の35%のピンはHBM 500V未満でしかパスしなかった。この製品は、取り扱いに関する問題はなく、顧客による8kV IEC（コンタクト法）にパスした。

共に、2000Vの部品レベルHBMのパス水準を持つ2種の製品では顧客からの返品があった。HBMでもMMでもCDMでも不良痕跡は再現できなかった。システム・レベルESD試験で顧客で見つかったと同じ不良痕跡が見られた。このデバイスの劣化は50VのIECパルス・ストレスで始まっていた[4]。

ある0.35 μ mのテクノロジーで作成したICは最初のシリコンでは1.5kV HBMにパスした。この最初のシリコンで、1.5kV HBMを示していたピンは、要求されたIEC 61000-4-2レベルが得られた。設計変更の結果、同じピンは部品レベル試験で2kV HBMへの改善が見られた。しかし、以前パスしていたIECレベルでフェイルした。上に示したように、変更したチップ上のESD保護の強度を改良しても、このチップ上の保護のI-V特性は、（チップ）外部のPCB上の保護素子の追加電流を分流する事を考えると、改良になっていなかった。

7.4 結論

高いシステム・レベルESD保護を得るためには、高い部品レベルのHBM値を得る設計だけでは十分でない。多くの事例で、この仮定が誤解を生み、問題を引き起こしている事は証明されている。十分なシステム・レベルの保護には、それ専用で、そのピン特有の保護開発スキームが必要である。多くの事例で、ICとプリント基板（PCB）上の保護回路との合同設計努力、または、少なくとも、チップ上の保護構造の持つべき最適なIV特性とモデリングが、PCBレベルでの保護の最適化を可能にするために必要である。

概して、システム・レベルESD、または、ケーブル放電（CDE）のような、特定ピンに限定したシステム放電は、電子装置に関するより重大な脅威として考えられる[5、6]。近年、本件に関して、ICの設計、テストに関する、著しい努力がなされてきた[7－11]。しかしながら、これらはまだ、ほんの最初の段階に過ぎない。本会議は、IC供給者とその顧客が、今後このトピックに焦点を絞るよう、推奨する。システム・レベルのESD保護は、最終顧客での使用法にも関連して、電子装置のESD保護の分野での技術的な挑戦である。

文献

- [1] IEC standard 61000-4-2 edition 1.2, 2001 “EMC – Part 4.2: Testing and Measurement Techniques – ESD Immunity Test”
- [2] W. Stadler “State-of-the-Art in ESD Standards”, Proc. of 1st International ESD Workshop, Lake Tahoe, 2007, pp. 127-147, 2007
- [3] W. Stadler, S. Bargstaedt-Franke, T. Brodbeck, R. Gärtner, M. Goroll, H. Gossner, N. Jensen and C. Müller “From the ESD Robustness of Products to the System ESD Robustness”, EOESD Symp., 2004, pp. 67, 2004
- [4] S. Marum, R. Watson, and C. Duvvury, “Effects of Low Level IEC 61000-4-2 Stress on Integrated Circuits” Proc. of 1st International ESD Workshop, Lake Tahoe, 2007, pp. 262-273, 2007
- [5] W. Stadler, T. Brodbeck, R. Gärtner and H. Gossner “Cable Discharges into Communication Interfaces”, EOESD Symp., 2006, pp. 144-151, 2006.
- [6] B. Reynolds, M. Muhammad and R. Gauthier , “A Test Method to Determine Cable Discharge Event Sensitivity at the Module Level”, Proc. of 1st International ESD Workshop, Lake Tahoe, 2007, pp. 252-261, 2007
- [7] T. Smedes, J. Van Zwol, G. De Raad, T. Brodbeck and H. Wolf, “Relations Between System Level ESD and (vf-) TLP”, EOESD Symp., 2006, pp. 136-143, 2006
- [8] N. Lacrampe, F. Caignet, M. Bafleur and N. Nolhier, “VF-TLP based methodology for the prediction of ESD immunity of a PCB”, Proc. of 1st International ESD Workshop, Lake Tahoe, 2007, pp. 240-251, 2007.
- [9] S. Marum, D. Wang and A. Chadwick “Monitoring Clamp Voltage during IEC 61000-4-2 Stress”, Proc. of 1st International ESD Workshop, Lake Tahoe, 2007, pp. 450-457, 2007
- [10] J. Barth, J. Richner and L. G. Henry “System Level ESD Radiation Test Far Exceeds Real Human Metal Discharge”, Proc. of 1st International ESD Workshop, Lake Tahoe, 2007, pp. 467-478, 2007
- [11] J_H Ko, S_J Kim, K_S Im, K-K Jeon, S-J Song, C-S Kim, C-H Jeon, K-T Lee, H-G Kim, I-H Son “Abnormal HBM and MM Stress at Mobile LCD Module by Set-ESD gun”, Proc. of 1st International ESD Workshop, Lake Tahoe, 2007, pp. 450-457, 2007

第8章：新しい ESD 目標レベルの提言

Reinhold Gaertner, Infineon
Harald Gossner, Infineon
Charvaka Duvvury, Texas Instruments

8.1 HBMおよびMMに関する新しい、現実的なESD目標レベル

これまでの章で、ICの生産を歩留りロスと信頼性に関する懸念なしに行う事への部品レベルのHBMおよびMM耐電圧の影響に関し議論してきました。何社もの会議参加会社による200億個を越える部品に関し、500V～2kVの範囲のパス・レベルを持つICに関して、HBM認証レベルとフィールドからの返品率との間に関係がない事を示しました。このデータ・ベースは、通信用IC、民生用IC、ディスクリート、記憶部品、自動車用ICなどを含む、600以上の設計を含み、過去5年以上の間、世界中の、多くの異なる工場生産され、PCBに組み立てたものを抱合しています。従って、圧倒的に大多数の今日の製造工場はESDコントロール計測を装備し、500V HBMの部品を安全に取り扱う能力を備えていると言う結論を引き出すことができた。この結論には、ESD保護領域で行われる、ウェーハ技術からテスト、実装、プリント基板への最終実装までの全製造工程が含まれている。

この強固なESDコントロール計測の歴史は、本会議のデータに会議により代表されるESDコントロール会社により確認された。これらのデバイスには広範囲のESD保護回路を使っているのもので、この結果は、細かな保護回路コンセプトには依存しないと考えてよい。

部品レベルのHBMおよびMM認証基準は、ICを、プリント基板に実装するまではESD保護領域内で安全に取り扱えることを保証するために作られる。製造の流れの中のこの段階では、ICのどのピン組み合わせに対しても放電が起こりうる。ESD保護領域外の、後の製造段階における又は、最終システムを最終ユーザが取り扱う時に、十分なESD強度を保証するために、システム・レベルのESDスタンダードが、危険にさらされるピンに対して、適用されねばならないが、これは、本白書の意図する枠外です。

収集し、分析したデータに基づき、**当会議は、改訂HBM部品レベルの目標認証レベルとして、全会一致で1000Vを推奨します。**この目標レベルは、安全であると証明されている500V HBMに対して適切な余裕度を残している。1000V HBMは最小MMパス・レベル30Vに相当し、これは、製造環境でのMMに対する現在の静電気コントロール接地基準に完全に適合する。HBMおよびMMの目標値はESDA、JEDECおよびその他の規格制定団体からの同等の規格にも適用できる。このHBM目標値は製品に関する推奨要求で、ESD保護領域内でのMM強度をも、通常保証する。もし希望があれば、期待する相関の確認のために、MMに関する追加試験を行ってもよい。30Vを越えるレベルは全て、最小要求レベルに対する余裕度である。

認証レベル1,000Vを2,000V HBMと比較すると、産業界は下記の因子からくる利益を得る：

- 顧客にとってICの品質に変化がない
- 製造者にとって、工程の歩留まりに変化がない
- 不必要な、数多くの再設計を解消する
- 電子装置の市場への平均時間が短縮

8.2 特殊なピンの取扱

プリント基板レベルでまたは、ESD保護領域外で取り扱われる電子装置内で、ESD放電を受けやすいピンはシステム・レベルESDスタンダードに従わなければいけない。これは、システム特有のもので、デバイス・レベルのテストでカバーする事ではない。部品レベルのESDテストは、システム・レベル試験とは相関がない。弱いシステム・レベルESDが、高いHBMレベルのピンに対して見られることがある。ICのピンの内何本がシステム・レベルESDに曝されるかはシステム特有のことである。ピン数の多いICでも、システム・レベルの要求が必要なピンは通常ごく僅かなピンである。

長い間、少しのピングループ、例えばRFピンなど、に関するESD要求は、動作特性との交換条件であった。究極の性能要求を得るためには、この状況は、将来も続く事でしょう。

8.3 新しい推奨を適用するための時間的枠組み

この白書のなかのデータは過去5年間で越えるICに関する経験を反映している。製造現場のESD取扱能力に関する分析は特殊なプロセス技術、世代に限った事ではない。そのため、この提言は、一般的で、現在の、および将来開発される全ての設計に対して適用できる。しかしながら、この新提言適用の利点は65nm CMOSおよびそれ以下のULSI、更に、複雑なSoC/SiP設計において最大となるでしょう。これらのケースでは、過剰設計は平均的に、最も高価で（設計資源、ダイの製造／マスクのコストなどを含む）、最大の時間遅延の原因となるでしょう。

8.4 ESD設計の将来のコスト

部品HBM認証レベルの2kVから1kVへの移行を推奨する一方で、“ESDのコスト”に関して、更に続けて熟慮しなければいけない。第5章に記述したとおり、このコストは、指数関数的に上昇しており、供給者に対して、製品を予定通りに出荷するという重荷を課し、顧客が期待した性能の製品を受け取れない事で、迷惑をかけることになる。これらを見積もった曲線が図27である。

ESD 保護に関する供給者／顧客のコスト

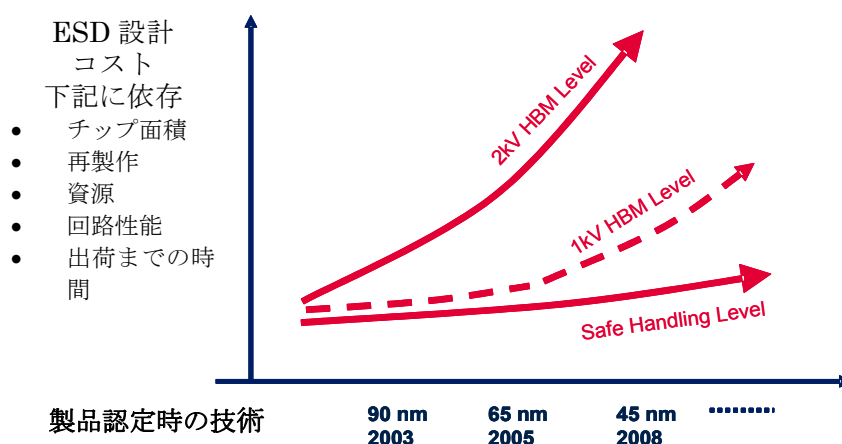


図27. 暦年、およびテクノロジー・ノードの関数としてのESDコストに関する見積もりコスト。現在の顧客の要求と、推奨するより低い目標値、および基本的なESDコントロール基準による、ESD保護領域内での取扱を前提としたより安全なレベルの要求で対比している。

安全な取扱いのみを、例えば、500V HBMレベルを要求すれば、ここ数年間のコストは不必要であったろう事、そして現在の2kV HBMレベルに止まっていると、この動向は、更に悪化し続けるであろうことは明白です。同様に明白な事は、ESD目標レベルが将来500Vまで、更に引き下げられた場合にも、テクノロジーの影響が顕著なために、ESD設計のコストは、上昇率は低いですが、依然上昇する。インダストリ会議が、なぜ、現在生産している製品のテクノロジーに無関係に、直ちに、ESDレベルを下げる事を提言するのかという事に関する強い論争がこの点にある。更に、この現実的な移行が、近い将来の、極めて進んだ、32nmおよび22nmテクノロジーでも利用しうる効果的なESD保護の開発のためのR&Dにより焦点を当てることを可能にする事になる。同様に重要な事は、トランジェント・ラッチアップ（TLU）試験、ケーブル放電事象（CDE）試験、などの、システム・レベルESDに対する保護の理解と開発により焦点を当てる事が必要である。電子応用におけるIC製品の、これらの、非常に重要なテストに関しては、文献[1]に記述してある。

8.5 製品のESD評価基準

本書内に提供した情報によって、インダストリ会議は、IC供給者、ICの顧客、OEMが下記の表5で要約した通り、真のHBM ESD要求を考慮する事を要請する。

供給者から顧客へ

本提言により、顧客と供給者の間のESD交渉は従来に比べ、より現実的でフレキシブルになる。表に示している通り、製品が2kVにパスすると、それは、全ての要求を越えていることになる。代わりに、1kVに合格していれば、8.1節に記載したとおり、マージンを持って安全である。本研究によれば、500V HBM

にパスするだけで、要求に適切に合致しており、安全である。最低のHBMレベルは、4章で示すとおり、30V MMを維持していることを常に保証する。それ故、現在の供給者と顧客の間の誤解を解消し、不必要な遅延を解消する。この事は更に、開発中の最新テクノロジーのためのESD要求に関する道をならすことにもなる。

カタログ製品

カタログ製品は多くの場合、多くの顧客との間で取り扱われ、数値的な分類が、意味を持ったり持たなかったりする。1kVまたは4kVにパスする製品は同様に信頼性がある。それ故、我々は、将来の分類を下記の通り採用する事を、提案する。これにより、カタログ部品の、曖昧な販売競争は解消できる。4kV HBMの製品Xは要求を越えており、2kV HBMの製品Yは要求を越えており、1kVの製品Zは余裕をもって、要求を満たしている。従って、これら3種類の製品の市場性は同等で、顧客にも供給者にも共に利益をもたらし、後は、真の意味で回路性能だけを重要なファクタとして考慮するだけで良い。

ESD HBM分類の要約

HBM レベル	分類	備考
2kV	要求レベルを超えている	基本的な ESD 制御のもと
1kV	余裕をもって要求を満たす	基本的な ESD 制御のもと
500V	要求を適切に満たしている	基本的な ESD 制御のもと
100V ～<500V	敏感である	より進んだ ESD 制御法が必要（ANSI/ESD S20.20 または IEC61340-5-1）

表5：JEDEC JESD22-A114-B(HBM)にのっとして試験した部品レベルESDの目標の提案

重要な注意：これらの提案されたHBMレベルは、必要なMM強度（30Vより上）に関して充分以上である事を保証し、基本的なESDコントロール法で扱える。

当会議は、これらの提言を2008年1月より実施できるよう、真剣に考慮する各種のスタンダード制定団体に対して喜んで、かつ、熱意をもって働きかけます。

8.6 今後は

表5に記したとおり、HBM ESDレベル500V未満の製品も、安全に扱えるが、ANSI/ESD S20.20又は、IEC61340-5-1などのより進んだESDコントロール法が必要になる。このより進んだESDコントロールの導入に要する費用は、漸増程度で済むでしょう。もし、まだその方向へ進みだしていない場合には、工場ないし製造領域では、そうする事を真剣に考慮しなければいけないでしょう。私たちは、テクノロジーをさらに微細化し、さらに高速の回路の応用が進むでしょうから、今後5年以内には、100Vまたは200V HBMの要求が決して非現実的ではなくなってくるでしょう。

現在、ESDの目標レベルのインダストリ会議ではICに関して要求される、CDMのESDレベルを安全なCDM目標レベルに到達させるべく、広範な研究を進めています。この結果、および、会議の提言は本白書の更新版として、今後1年以内に報告する予定です。

文献

[1]. White Paper II: Trends in Semiconductor Technology and ESD Testing, ESD Association, <http://www.esda.org/>

謝辞

本会議のメンバーは、この書類の作成に関しそれぞれの上司からの強力な支持と、激励に対して深謝いたします。

コアメンバーの電子メールアドレス

Colin Bolger, VIA Technologies

Brett Carn, Intel

***Charvaka Duvvury, Chairman
Texas Instruments**

Yasuhiro Fukuda, OKI Engineering

Reinhold Gaertner, Infineon

Robert Gauthier, IBM

Ron Gibson, Celestica

***Harald Gossner, Chairman
Infineon**

Hiroyasu Ishizuka, Renesas

Satoshi Isofuku, Tokyo Electronics Trading

Larry Johnson, LSI

John Kinnear, IBM

Tim Maloney, Intel

Jim Miller, Freescale

Homi Nariman, AMD

Alan Richter, Analog Devices

Theo Smedes, NXP Semiconductors

Arnie Steinman, MKS Ion Systems

Teruo Suzuki, Fujitsu

Benjamin Van Camp, Sarnoff Europe

ColinBolger@via.com.tw

brett.w.carn@intel.com

c-duvvury@ti.com

fukuda441@oki.com

Reinhold.Gaertner@infineon.com

rgauthie@us.ibm.com

rgibson@celestica.com

Harald.Gossner@infineon.com

ishizuka.hiroyasu@renesas.com

isofuku@tet.co.jp

Larry.Johnson@lsi.com

kinnear@us.ibm.com

timothy.j.maloney@intel.com

James.W.Miller@freescale.com

homi.nariman@amd.com

Alan.Richter@analog.com

theo.smedes@nxp.com

asteinman@ion.com

suzuki_teruo@fvd.fujitsu.com

bvancamp@sarnoffeurope.com